

DOCKET NO.: 260903 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroshi TAKAHARA, et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/02597

INTERNATIONAL FILING DATE: March 6, 2003

FOR: DRIVE METHOD OF EL DISPLAY PANEL

**REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION**Commissioner for Patents
Alexandria, Virginia 22313

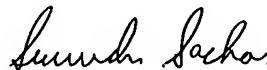
Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2002-127532	26 April 2002
Japan	2002-127637	26 April 2002
Japan	2002-284393	27 September 2002

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP03/02597. Receipt of the certified copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Attorney of Record
Registration No. 24,913
Surinder Sachar
Registration No. 34,423

Customer Number

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

BEST AVAILABLE COPY

REC'D PCT/PTO 26 OCT 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

PCT/JP03/02507

21.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 4月26日

出 願 番 号

Application Number:

特願2002-127532

[ST.10/C]:

[JP2002-127532]

REC'D 13 JUN 2003

W:PO PCT

出 願 人

Applicant(s):

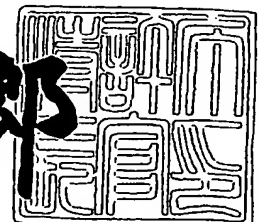
東芝松下ディスプレイテクノロジー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3039430

【書類名】 特許願

【整理番号】 K020003

【提出日】 平成14年 4月26日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/12
G09G 3/14

【発明者】

【住所又は居所】 東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

【氏名】 高原 博司

【特許出願人】

【識別番号】 302020207

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ソースドライバ回路と E L 表示パネルと E L 表示パネルの検査方法および検査装置。

【特許請求の範囲】

【請求項 1】 駆動用トランジスタ素子と、前記駆動用トランジスタ素子のゲート端子とドレイン端子とをオンオフする第 1 のトランジスタ素子と、 E L 素子と、前記 E L 素子のアノード端子と前記駆動用トランジスタ素子のドレイン端子とをオンオフする第 2 のトランジスタ素子と、前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線と、前記第 1 のトランジスタ素子のソース端子に接続されたソース信号線とを有する E L 表示パネルの検査方法であって、

前記第 1 のゲート信号線にオン電圧を印加し、前記第 1 のトランジスタ素子をオンさせることにより、前記ソース信号線に印加された電圧を前記駆動用トランジスタ素子のゲート端子に印加する第 1 の工程と、

前記第 1 の工程の後、前記第 1 のゲート信号線にオフ電圧を印加し、前記第 1 のトランジスタ素子をオフさせ、前記第 2 のゲート信号線にオン電圧を印加し、前記第 2 のトランジスタ素子をオンさせ、前記駆動用トランジスタ素子からの電流を前記 E L 素子に印加する第 2 の工程とを有し、

前記 E L 素子の発光状態を光学的に測定または検出する E L 表示パネルの検査方法。

【請求項 2】 ゲートドライバ回路の制御手段と、

E L 素子のアノード端子への電圧または電流を印加するアノード信号印加手段と、

前記 E L 素子のカソード端子への電圧または電流を印加するカソード信号印加手段と、

前記 E L 素子のソース信号線に電圧または電流を印加するソース信号印加手段と、

前記 E L 素子の発光状態を検出する光学的測定手段とを具備する E L 表示パネルの検査装置。

【請求項 3】 駆動用トランジスタ素子と、前記駆動用トランジスタ素子のゲート端子とドレイン端子とをオンオフする第 1 のトランジスタ素子と、E L 素子と、前記 E L 素子のアノード端子と前記駆動用トランジスタ素子のドレイン端子とをオンオフする第 2 のトランジスタ素子と、前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線と、前記第 1 のトランジスタ素子のソース端子に接続されたソース信号線とを有する E L 表示パネルの検査方法であって、

前記駆動用トランジスタ素子のソース端子をハイインピーダンス状態にし、
前記第 1 のゲート信号線および前記第 2 のソース信号線にオン電圧を印加し、
前記第 1 のトランジスタ素子および前記第 2 のトランジスタ素子をオンさせ、
前記 E L 素子の発光状態を光学的に測定または検出する E L 表示パネルの検査方法。

【請求項 4】 電流駆動の E L 表示パネルあるいはアレイの検査方法であって

ソース信号線に定電流を印加し、
前記 E L 表示パネルあるいはアレイのゲート信号線を順次選択し、前記定電流を画素の駆動用トランジスタ素子に流し、
前記ソース信号線の電位を、前記ゲート信号線を選択する信号に同期して測定する E L 表示パネルあるいはアレイの検査方法。

【請求項 5】 定電流を発生し、前記定電流をソース信号線に印加する定電流回路と、

画素に接続されたゲート信号線にオンオフ電圧を印加し、少なくとも 1 画素行を選択し、前記定電流を前記画素行に印加するゲートドライバ制御回路と、
前記ソース信号線の電位を測定する電位測定手段と、
前記電位測定手段が測定した電位を保持する記憶手段とを具備する E L 表示パネルの検査装置。

【請求項 6】 ソースドライバ I C の端子と接続する第 1 の接続端子と、
前記接続端子と接続されたソース信号線と、
前記ソース信号線の途中あるいは一端に形成された第 2 の接続端子と、

ゲートドライバ回路の電源配線と制御信号線に形成された第 3 の接続端子と、
前記ソース信号線の一端に形成され、3 段千鳥配置に形成された第 4 の接続端
子を具備する E L 表示パネル。

【請求項 7】 E L 素子と、
前記 E L 素子に電流を印加する駆動用トランジスタ素子と、
第 1 のソース信号線と、
前記第 1 のソース信号線に隣接した第 2 のソース信号線と、
前記第 1 のソース信号線に印加された電圧または電流を前記駆動用トランジス
タ素子のゲート端子に印加する第 1 のトランジスタ素子と、
前記第 2 のソース信号線に印加された電圧または電流を前記 E L 素子に印加す
る第 2 のトランジスタ素子と、
前記 E L 素子と前記駆動トランジスタ素子間に配置または形成された第 3 のト
ランジスタ素子とを具備する E L 表示パネル。

【請求項 8】 出力電流を段階的に変化する電流出力回路と、
ソース信号線と接続する接続端子と、
前記電流出力回路と前記接続端子間を接続する内部配線と、
前記複数の内部配線間を接続あるいは非接続させるスイッチとを具備すること
を特徴とするソースドライバ回路。

【請求項 9】 出力電流を段階的に変化する電流出力回路と、ソース信号線と
接続する接続端子と、前記電流出力回路と前記接続端子間を接続する内部配線と
、前記複数の内部配線間を接続する短絡配線とを有するソースドライバ回路を備
える E L 表示パネルの製造方法であって、
前記ソースドライバ回路をアレイ基板に実装し、
実装後に前記短絡配線を切断する E L 表示パネルの製造方法。

【請求項 10】 前記短絡配線は、エッチング処理により切断する請求項 9 記
載の E L 表示パネルの製造方法。

【請求項 11】 前記短絡配線は、レーザーにより切断することを特徴とする
請求項 9 記載の E L 表示パネルの製造方法。

【請求項 12】 駆動用トランジスタ素子と、

ソース信号線と、
 前記駆動用トランジスタのゲート端子とドレイン端子とをオンオフする第1のトランジスタ素子と、
 EL素子と、
 ソース信号線の電位を前記駆動用トランジスタ素子のゲート端子に印加する第2のトランジスタ素子と、
 前記第1のトランジスタ素子のゲート端子を制御する第1のゲート信号線と、
 前記第2のトランジスタ素子のゲート端子を制御する第2のゲート信号線を備えるEL表示パネル。

【請求項13】 駆動用トランジスタ素子と、
 ソース信号線と、
 前記駆動用トランジスタのゲート端子とドレイン端子とをオンオフする第1のトランジスタ素子と、
 EL素子と、
 ソース信号線の電位を前記駆動用トランジスタ素子のゲート端子に印加する第2のトランジスタ素子と、
 前記EL素子と前記駆動用トランジスタ素子間に配置され、前記駆動用トランジスタ素子からの電流が前記EL素子に流れることを制御する第3のトランジスタ素子と、
 前記第1のトランジスタ素子のゲート端子を制御する第1のゲート信号線と、
 前記第2のトランジスタ素子のゲート端子を制御する第2のゲート信号線と、
 前記第3のトランジスタ素子のゲート端子を制御する第3のゲート信号線とを備えるEL表示パネル。

【請求項14】 第1の駆動用トランジスタ素子と、
 前記第1の駆動用トランジスタ素子とカレントミラー対を構成する第2のトランジスタ素子と、
 ソース信号線と、
 前記駆動用トランジスタのゲート端子とドレイン端子とをオンオフする第1のトランジスタ素子と、

E L 素子と、

前記ソース信号線の電位を前記駆動用トランジスタ素子のゲート端子に印加する第 2 のトランジスタ素子と、

前記第 2 のトランジスタ素子のドレイン端子と前記ゲート端子とをオンオフする第 3 のトランジスタ素子と、

前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、
前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線と、
前記第 3 のトランジスタ素子のゲート端子を制御する第 3 のゲート信号線とを備える E L 表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明の主として自発光で画像を表示する E L 表示パネルなどこれらの E L 表示パネルなどを用いた携帯電話などの情報表示装置などに関するものである。また、E L 表示パネルなどを駆動する駆動回路に関するものである。また、E L 表示パネルあるいはアレイの検査方法と検査装置に関するものである。

【0002】

【従来の技術】

液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビ (T V) などの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

【0003】

【発明が解決しようとする課題】

しかし、液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。

また、色再現範囲が狭いという問題点があった。

【 0 0 0 4 】

近年、有機 E L（エレクトロルミネッセンス）表示パネルが開発されてきている。有機 E L 表示パネルは、低温ポリシリコン T F T（薄膜トランジスタ）アレイを用いてパネルを構成する。しかし、有機 E L デバイスは、電流により発光するため、T F T の特性にバラツキがあると、表示ムラが発生するという課題があった。

【 0 0 0 5 】

【課題を解決するための手段】

上記課題を解決するための第 1 の本発明（請求項 1 に対応）は、駆動用トランジスタ素子と、前記駆動用トランジスタ素子のゲート端子とドレイン端子とをオンオフする第 1 のトランジスタ素子と、E L 素子と、前記 E L 素子のアノード端子と前記駆動用トランジスタ素子のドレイン端子とをオンオフする第 2 のトランジスタ素子と、前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線と、前記第 1 のトランジスタ素子のソース端子に接続されたソース信号線とを有する E L 表示パネルの検査方法であって、前記第 1 のゲート信号線にオン電圧を印加し、前記第 1 のトランジスタ素子をオンさせることにより、前記ソース信号線に印加された電圧を前記駆動用トランジスタ素子のゲート端子に印加する第 1 の工程と、前記第 1 の工程の後、前記第 1 のゲート信号線にオフ電圧を印加し、前記第 1 のトランジスタ素子をオフさせ、前記第 2 のゲート信号線にオン電圧を印加し、前記第 2 のトランジスタ素子をオンさせ、前記駆動用トランジスタ素子からの電流を前記 E L 素子に印加する第 2 の工程とを有し、前記 E L 素子の発光状態を光学的に測定または検出する E L 表示パネルの検査方法である。

【 0 0 0 6 】

第 2 の本発明（請求項 2 に対応）は、ゲートドライバ回路の制御手段と、E L 素子のアノード端子への電圧または電流を印加するアノード信号印加手段と、前記 E L 素子のカソード端子への電圧または電流を印加するカソード信号印加手段と、前記 E L 素子のソース信号線に電圧または電流を印加するソース信号印加

手段と、前記 E L 素子の発光状態を検出する光学的測定手段とを具備する E L 表示パネルの検査装置である。

【 0 0 0 7 】

第 3 の本発明（請求項 3 に対応）は、駆動用トランジスタ素子と、前記駆動用トランジスタ素子のゲート端子とドレイン端子とをオンオフする第 1 のトランジスタ素子と、E L 素子と、前記 E L 素子のアノード端子と前記駆動用トランジスタ素子のドレイン端子とをオンオフする第 2 のトランジスタ素子と、前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線と、前記第 1 のトランジスタ素子のソース端子に接続されたソース信号線とを有する E L 表示パネルの検査方法であって、前記駆動用トランジスタ素子のソース端子をハイインピーダンス状態にし、前記第 1 のゲート信号線および前記第 2 のソース信号線にオン電圧を印加し、前記第 1 のトランジスタ素子および前記第 2 のトランジスタ素子をオンさせ、前記 E L 素子の発光状態を光学的に測定または検出する E L 表示パネルの検査方法である。

【 0 0 0 8 】

第 4 の本発明（請求項 4 に対応）は、電流駆動の E L 表示パネルあるいはアレイの検査方法であって、ソース信号線に定電流を印加し、前記 E L 表示パネルあるいはアレイのゲート信号線を順次選択し、前記定電流を画素の駆動用トランジスタ素子に流し、前記ソース信号線の電位を、前記ゲート信号線を選択する信号に同期して測定する E L 表示パネルあるいはアレイの検査方法である。

【 0 0 0 9 】

第 5 の本発明（請求項 5 に対応）は、定電流を発生し、前記定電流をソース信号線に印加する定電流回路と、画素に接続されたゲート信号線にオンオフ電圧を印加し、少なくとも 1 画素行を選択し、前記定電流を前記画素行に印加するゲートドライバ制御回路と、前記ソース信号線の電位を測定する電位測定手段と、前記電位測定手段が測定した電位を保持する記憶手段とを具備する E L 表示パネルの検査装置である。

【 0 0 1 0 】

第 6 の本発明（請求項 6 に対応）は、ソースドライバ IC の端子と接続する第 1 の接続端子と、前記接続端子と接続されたソース信号線と、前記ソース信号線の途中あるいは一端に形成された第 2 の接続端子と、ゲートドライバ回路の電源配線と制御信号線に形成された第 3 の接続端子と、前記ソース信号線の一端に形成され、3 段千鳥配置に形成された第 4 の接続端子を具備することを特徴とする EL 表示パネルである。

【 0 0 1 1 】

第 7 の本発明（請求項 7 に対応）は、EL 素子と、前記 EL 素子に電流を印加する駆動用トランジスタ素子と、第 1 のソース信号線と、前記第 1 のソース信号線に隣接した第 2 のソース信号線と、前記第 1 のソース信号線に印加された電圧または電流を前記駆動用トランジスタ素子のゲート端子に印加する第 1 のトランジスタ素子と、前記第 2 のソース信号線に印加された電圧または電流を前記 EL 素子に印加する第 2 のトランジスタ素子と、前記 EL 素子と前記駆動トランジスタ素子間に配置または形成された第 3 のトランジスタ素子とを具備する EL 表示パネルである。

【 0 0 1 2 】

第 8 の本発明（請求項 8 に対応）は、出力電流を段階的に変化する電流出力回路と、ソース信号線と接続する接続端子と、前記電流出力回路と前記接続端子間を接続する内部配線と、前記複数の内部配線間を接続あるいは非接続させるスイッチとを具備することを特徴とするソースドライバ回路である。

【 0 0 1 3 】

第 9 の本発明（請求項 9 に対応）は、出力電流を段階的に変化する電流出力回路と、ソース信号線と接続する接続端子と、前記電流出力回路と前記接続端子間を接続する内部配線と、前記複数の内部配線間を接続する短絡配線とを有するソースドライバ回路を備える EL 表示パネルの製造方法であって、前記ソースドライバ回路をアレイ基板に実装し、実装後に前記短絡配線を切断する EL 表示パネルの製造方法である。

【 0 0 1 4 】

第 1 0 の本発明（請求項 1 0 に対応）は、前記短絡配線は、エッチング処理に

より切断する第 9 の本発明の E L 表示パネルの製造方法である。

【 0 0 1 5 】

第 1 1 の本発明（請求項 1 1 に対応）は、前記短絡配線は、レーザーにより切断することを特徴とする第 9 の本発明の E L 表示パネルの製造方法である。

【 0 0 1 6 】

第 1 2 の本発明（請求項 1 2 に対応）は、駆動用トランジスタ素子と、ソース信号線と、前記駆動用トランジスタのゲート端子とドレイン端子とをオンオフする第 1 のトランジスタ素子と、E L 素子と、ソース信号線の電位を前記駆動用トランジスタ素子のゲート端子に印加する第 2 のトランジスタ素子と、前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線を備える E L 表示パネルである。

【 0 0 1 7 】

第 1 3 の本発明（請求項 1 3 に対応）は、駆動用トランジスタ素子と、ソース信号線と、前記駆動用トランジスタのゲート端子とドレイン端子とをオンオフする第 1 のトランジスタ素子と、E L 素子と、ソース信号線の電位を前記駆動用トランジスタ素子のゲート端子に印加する第 2 のトランジスタ素子と、前記 E L 素子と前記駆動用トランジスタ素子間に配置され、前記駆動用トランジスタ素子からの電流が前記 E L 素子に流れることを制御する第 3 のトランジスタ素子と、前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線と、前記第 3 のトランジスタ素子のゲート端子を制御する第 3 のゲート信号線とを備える E L 表示パネルである。

【 0 0 1 8 】

第 1 4 の本発明（請求項 1 4 に対応）は、第 1 の駆動用トランジスタ素子と、前記第 1 の駆動用トランジスタ素子とカレントミラー対を構成する第 2 のトランジスタ素子と、ソース信号線と、前記駆動用トランジスタのゲート端子とドレイン端子とをオンオフする第 1 のトランジスタ素子と、E L 素子と、前記ソース信号線の電位を前記駆動用トランジスタ素子のゲート端子に印加する第 2 のトラ

ンジスタ素子と、前記第 2 のトランジスタ素子のドレイン端子と前記ゲート端子とをオンオフする第 3 のトランジスタ素子と、前記第 1 のトランジスタ素子のゲート端子を制御する第 1 のゲート信号線と、前記第 2 のトランジスタ素子のゲート端子を制御する第 2 のゲート信号線と、前記第 3 のトランジスタ素子のゲート端子を制御する第 3 のゲート信号線とを備える EL 表示パネルである。

【 0 0 1 9 】

【発明の実施の形態】

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図 1 1 に図示する表示パネルの断面図では封止膜 1 1 1 などを十分厚く図示している。一方、図 1 0 において、封止フタ 8 5 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、不要光の反射防止のための位相フィルムなどを省略しているが、適時付加することが望ましい。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【 0 0 2 0 】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図 8 の表示パネルにタッチパネルなどを付加し、図 1 9、図 5 9 から図 6 1 に図示する情報表示装置とすることができる。また、拡大レンズ 5 8 2 を取り付けビデオカメラ（図 5 9 など参照のこと）などに用いるビューファインダ（図 5 8 を参照のこと）を構成することもできる。また、図 4、図 1 5、図 1 8、図 2 1、図 2 3 などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。つまり、本明細書で記載された駆動方法は本発明の表示パネルに適用することができる。また、本発明は各画素にトランジスタが形成されたアクティブマトリックス型表示パネルを主に説明するがこれに限定するものではなく、単純マトリックス型にも適用することができることはいうまでもない。

【 0 0 2 1 】

このように特に明細書中に例示されていなくとも、明細書、図面中で記載ある

いは説明した事項、内容、仕様は、互いに組み合わせて請求項に記載することができる。すべての組み合わせについて明細書などで記述することは不可能であるからである。

【0022】

近年、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、有機エレクトロルミネッセンス（EL）素子の複数をマトリクス状に配列して構成される有機EL表示パネルが注目されている。有機EL表示パネルは、図10に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）15、及び金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極105及び金属電極106間に直流を印加することにより、有機機能層（EL層）15が発光する。良好な発光特性を期待することのできる有機化合物を有機機能層に使用することによって、EL表示パネルが実用に耐えうるものになっている。なお、本発明は有機EL表示パネルを例にして説明をするが、これに限定するものではなく、無機ELパネルにも適用することができる。また、構造、回路などはTN液晶表示パネル、STN液晶表示パネルなど、他の表示パネルにも適用できる事項がある。

【0023】

カソード電極、アノード電極あるいは反射膜は、ITO電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜は低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層に形成したものである。つまり、誘電体ミラーである。この誘電体多層膜は有機EL構造から放射される光の色調を良好なもの（フィルタ効果）にする機能を有する。なお、透明電極のITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0024】

アノードあるいはカソードへ電流を供給する配線（図8のカソード配線86、アノード配線87）には大きな電流が流れる。たとえば、EL表示装置の画面サ

イズが40インチサイズになると100(A)程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で導体の厚みを厚く形成している。めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成し、配線を補強してもよい。また、必要に応じて、配線に積層してグラウンドパターンを形成し、配線との間にコンデンサ(容量)を形成してもよい。

【0025】

また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示される。

【0026】

金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

【0027】

なお、画素電極105などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜15を成膜するとよい。また、画素電極105としてのITO上にカーボン

膜を20以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、EL膜15は蒸着で形成すること限定するものではなく、インクジェットで形成してもよいことは言うまでもない。特に高分子有機EL材料ではこのインクジェット工法は有効である。この場合は、高分子有機EL材料を塗布する箇所に親水膜を形成しておくといよい。

【0028】

以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0029】

基板85、基板71の放熱性を良くするため、基板はサファイアガラスで形成してもよい。また、熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。たとえば、ダイヤモンド薄膜(DLCなど)を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板を使用したり、銅などからなる金属板を使用したり、絶縁膜に金属膜、カーボン膜を蒸着あるいは塗布などのコーティングしたりしたものをを用いてもよい。画素電極105を反射型とする場合は、基板材料としては基板の表面方向より光が出射される。したがって、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。

【0030】

また、基板85、基板71の外部あるいは内部に、画素形状に対応してマイクロレンズを形成または配置してもよい。マイクロレンズを構成することにより、EL膜から放射する光の指向性が狭くなり、高輝度化を実現することができる。

【0031】

本発明の実施例では、カソード電極106などを金属膜で形成するとしたが、これに限定するものではなく、ITO、IZOなどの透明膜で形成してもよい。このようにEL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる(もちろん、一方を光透過性のある金属膜で形成してもよい。あるいは、極薄い金属膜をカソード電極とし、このカ

ソード電極上にITOなどの透明導電体材料を積層して構成してもよい)。金属膜を使わずに透過率を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるように構成できる。

【0032】

基板85、71はプラスチック基板を用いてもよいことは言うまでもない。プラスチック基板はわれにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板等は板に限定するものではなく、厚さ0.05mm以上0.3mm以下のフィルムでもよい。

【0033】

ベース基板の基板として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製ARTONの厚さ200 μ mの1枚板が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板（あるいはフィルムもしくは膜）を配置する。

【0034】

以上のように基板71などをプラスチックで構成する場合は、基板71などはベース基板と補助基板から構成する。ベース基板の他方の面に、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。補助基板の光学的遅相軸と補助基板の光学的遅相軸とのなす角度が90度となるようにすることが好ましい。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【0035】

接着剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが

好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、基板の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に接着剤は先に記載したような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【0036】

補助基板および補助基板をベース基板に貼り合わせる際には、補助基板の光学的遅相軸と補助基板の光学的遅相軸とがなす角度を45度以上120度以下にすることが好ましい。さらに好ましくは80度以上100度以下にすることがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。したがって、円偏光板を使用した構成で、位相状態が異なることによる表示パネルのムラが発生しない。もちろん、円偏光板に関する事項は、基板がプラスチックに限定されるものではなく、ガラス基板の場合にも有効であることは言うまでもない。基板表面で反射する外光によるコントラスト低下を有効に抑制などできるからである。

【0037】

この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせることにより直線偏光を楕円偏光に設計どおりに変換できるようになるからである。基板などに位相差があるとこの位相差により設計値との誤差が発生する。

【0038】

ここで、ハードコート層としては、ポリエステル樹脂、エポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極（単純マトリックス型EL表示パネル）あるいは画素電極（アクティブマトリックス型表示パネル）を透明導電膜の第1のアンダーコート層とを兼ねる。

【0039】

また、ガスバリア層としては、 SiO_2 、 SiO_x などの無機材料、またはポリビ

ニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは $100\mu\text{m}$ 以下とする。ただし、基板など表面の凹凸を平滑化するために $10\mu\text{m}$ 以上とすることが好ましい。

【0040】

また、基板71、85などを構成する補助基板および補助基板として、厚さ $40\mu\text{m}$ 以上 $400\mu\text{m}$ のものを用いることが好ましい。また、補助基板および補助基板の厚さを $120\mu\text{m}$ 以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し成形時のむらまたは位相差を低く抑えることができる。好ましくは、補助基板の厚みを $50\mu\text{m}$ 以上 $80\mu\text{m}$ 以下とする。

【0041】

次に、この積層基板に、透明導電膜の補助アンダーコート層として SiO_x を形成し、必要に応じて画素電極となるITOからなる透明導電膜をスパッタ技術で形成する。また、必要に応じて静電気防止としてITO膜を形成する。このようにして製造した表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値 $25\Omega/\square$ 、透過率80%を実現することができる。

【0042】

ベース基板の厚さが $50\mu\text{m}$ から $100\mu\text{m}$ の薄い場合には、表示パネルの製造工程において、表示パネル用プラスチック基板が熱処理によってカールしてしまう。また、回路部品の接続においても良好な結果は得られない。ベース基板を1枚板で厚さ $200\mu\text{m}$ 以上 $500\mu\text{m}$ 以下とした場合は、基板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、特に厚さは $250\mu\text{m}$ 以上 $450\mu\text{m}$ 以下がよい。適度な柔軟性と平面性をもっているためと考えられる。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0043】

なお、基板などとして前述のプラスチック基板などの有機材料を使用する場合

は、光変調層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この無機材料からなるバリア層は、A I Rコートと同一材料で形成することが好ましい。なお、封止フタ 8 5、基板 7 1 と同様に技術あるいは構成により作製できることは言うまでもない。

【 0 0 4 4 】

また、バリア膜を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。たとえば、フッ素を添加したアモルファスカーボン膜（比誘電率 2. 0 ~ 2. 5）が例示される。その他、J S R 社が製造販売している L K D シリーズ（L K D - T 2 0 0 シリーズ（比誘電率 2. 5 ~ 2. 7）、L K D - T 4 0 0 シリーズ（比誘電率 2. 0 ~ 2. 2））が例示される。L K D シリーズは M S Q（methy-sil sesquioxane）をベースにしたスピン塗布形であり、比誘電率も 2. 0 ~ 2. 7 と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、 SiN_x 、 SiO_2 などの無機材料でもよい。これらのバリア膜材料は補助基板に用いてもよいことは言うまでもない。

【 0 0 4 5 】

プラスチックで形成した基板 8 5 あるいは 7 1 を用いることにより、割れない、軽量化できるという利点を発揮できる。他に、プレス加工できるという利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できる。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することができる。たとえば、円形に形成したり、球形（曲面など）にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸形状を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

【 0 0 4 6 】

また、プラスチックをプレス加工することにより形成した基板 7 1 の穴（図示せず）に、封止フタ 8 5 の位置決めピンを挿入できるように形成することも容易である。また、基板 7 1 内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、基板 7 1 などに凹部（図示

せず)を形成し、基板 8 5 に凸部を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、基板 7 1 と基板 8 5 とをはめ込みにより一体化することができるように構成してもよい。

【0047】

ガラス基板を用いた場合は、画素 1 6 の周辺部に E L を蒸着する際に使用する土手を形成していた。土手 (リブ) は樹脂材料を用いて、 $1.0\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下の厚みで凸部状に形成する。さらに好ましくは $1.5\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下の高さに形成する。この樹脂からなる土手 (凸部) 1 0 1 を基板 7 1 の形成と同時に作製することもできる。なお、土手 1 0 1 材料はアクリル樹脂、ポリイミド樹脂の他、SOG 材料でもよい。土手 1 0 1 は基板 7 1 をプレス加工する際に樹脂の凸部と同時に形成することが好ましい。これは基板 7 1 などを樹脂で形成することにより発生する大きな効果である。

【0048】

このように樹脂部を基板と同時に形成することにより製造時間を短縮できるので低コスト化が可能である。また、基板 7 1 などの製造時に、表示領域部にドット状に凸部を形成する。この凸部は隣接画素間に形成するとよい。この凸部は土手 1 0 1 となる。

【0049】

なお、以上の実施例では、土手として機能する凸部を形成するとしたが、これに限定することはない。例えば、画素部をプレス加工などにより掘り下げる (凹部) としてもよい。なお、平面な基板 7 1 を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

【0050】

また、基板 7 1、8 5 を直接着色することにより、モザイク状のカラーフィルターを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し、浸透させる。浸透後、高温で乾燥させ、また、表面を UV 樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピナーで膜を塗布し、現像する半導体パターン形成技術などでカラーフィルターを形成する。同様に技術を

用いてカラーフィルターの他、黒色もしくは暗色あるいは変調する光の補色の関係にあるの着色によりブラックマトリックス（BM）を直接形成してもよい。また、基板面に画素に対応するように凹部を形成し、この凹部にカラーフィルター、BMあるいはトランジスタを埋め込むように構成してもよい。特に表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平坦化されるという利点もある。

【 0 0 5 1 】

また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極 1 0 5 あるいはカソード電極 1 0 6 を直接に構成してもよい。さらに大きくは基板に穴を開け、この穴にコンデンサなどの電子部品を挿入する構成も例示される。基板が薄く構成できる利点が発揮される。

【 0 0 5 2 】

また、基板の表面を切削することにより、自由に模様を形成したりしてもよい。また、基板 7 1 などの周辺部を溶かすことにより形成してもよい。また、有機 EL 表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【 0 0 5 3 】

以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。また、基板 7 1 に穴をあけ、この穴に導電樹脂などを充填し、基板の表と裏とを電氣的に導通させたりすることもできる。基板 7 1 などが多層回路基板あるいは両面基板として利用できる。

【 0 0 5 4 】

また、導電樹脂のかわりに導電ピンなどを挿入してもよい。形成した穴にコンデンサなどの電子部品の端子を差し込めるように構成してもよい。また、基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。つまり、基板 7 1 など自身を多層の配線基板としてもよい。多層化は薄い基板をはりあわせることにより構成する。はり合わせる基板（フィルム）の 1 枚以上を着色してもよい。

【 0 0 5 5 】

また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすることができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色したりすることにより、積載した I C チップに光が照射されることのより誤動作することを防止できる。

【 0 0 5 6 】

また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術（インジェクション加工、コンプレクション加工など）を応用すればよい。また、同様の加工技術を用いることのより表示領域の半分を異なる E L 層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

【 0 0 5 7 】

また、基板 7 1 または基板 8 5 に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、基板 7 1、8 5 を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成し、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン（株）が開発したマイクロレンズ形成するスタンプ技術で実現できる。

【 0 0 5 8 】

基板 7 1、8 5 が空気と接する面には、反射防止膜（A I R コート）が形成される。基板 7 1 などに偏光板などが張り付けられていない場合は、基板 7 1 などに直接に反射防止膜（A I R コート）が形成される。偏光板（偏光フィルム）など他の構成材料が張り付けられている場合は、その構成材料の表面などに反射防止膜（A I R コート）が形成される。

【 0 0 5 9 】

なお、以上の実施例は基板 7 1 などがプラスチックで形成することを中心として説明したが、これに限定するものではない。たとえば、基板 7 1、8 5 がガラス基板、金属基板であっても、プレス加工、切削加工などにより、土手 1 0 1 な

どの凹凸部を形成または構成できる。また、基板への着色なども可能である。したがって、説明した事項はプラスチック基板に限定するものではない。また、基板に限定するものでもない。たとえば、フィルムあるいはシートでもよい。

【 0 0 6 0 】

また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる薄膜を形成することが有効である。また、静電防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

【 0 0 6 1 】

なお、表示パネルの光入射面あるいは光出射面に配置または形成する偏光板（偏光フィルム）は直線偏光にするものに限定するものではなく、楕円偏光となるものであってもよい。また、複数の偏光板をはり合わせたり、偏光板と位相差板とを組み合わせたり、もしくははり合わせたものを用いてもよい。

【 0 0 6 2 】

偏光フィルムを構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。

【 0 0 6 3 】

AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が1.37以上1.42以下のものが特性は良好である。

【 0 0 6 4 】

また、AIRコートは3層の構成あるいは2層構成がある。なお、3層の場合は広い可視光の波長帯域での反射を防止するために用いられる。これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられる。これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、2層以上の限定するものではなく、1層でもよい。

【 0 0 6 5 】

マルチコートの場合は酸化アルミニウム (Al_2O_3) を光学的膜厚が $nd = \lambda / 4$ 、ジルコニウム (ZrO_2) を $nd = \lambda / 2$ 、フッ化マグネシウム (MgF_2) を $nd = \lambda / 4$ 積層して形成する。通常、 λ として 520nm もしくはその近傍の値として薄膜は形成される。

【0066】

Vコートの場合は一酸化シリコン (SiO) を光学的膜厚 $nd = \lambda / 4$ とフッ化マグネシウム (MgF_2) を $nd = \lambda / 4$ 、もしくは酸化イットリウム (Y_2O_3) とフッ化マグネシウム (MgF_2) を $nd = \lambda / 4$ 積層して形成する。 SiO は青色側に吸収帯域があるため青色光を変調する場合は Y_2O_3 を用いた方がよい。また、物質の安定性からも Y_2O_3 の方が安定しているため好ましい。また、 SiO_2 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いて AIR コートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0067】

なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネルなどの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料に親水性が良好な材料で構成しておくことが好ましい。

【0068】

1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ (トランジスタ) を形成する。形成するトランジスタは、同じ種類のトランジスタであってもよいし、Pチャンネル型とNチャンネル型のトランジスタとるように、違う種類のトランジスタであってもよいが望ましくはスイッチングトランジスタ、駆動用トランジスタとも同極性のものが望ましい。またトランジスタの構造は、プレーナー型のトランジスタで限定されるものではなく、スタガー型でも、逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域 (ソース、ドレイン) が形成されたものでも、非セルフアライン方式によるものでもよい。

【0069】

本発明の E L 表示素子 1 5 は、基板上に、ホール注入電極（画素電極）となる I T O、1 種以上の有機層と、電子注入電極とが順次積層された E L 構造体を有する。前記基板にはトランジスタが設けられている。

【 0 0 7 0 】

本発明の E L 表示素子を製造するには、まず、基板上にトランジスタのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極である I T O をスパッタ法で成膜、パターンニングする。その後、有機 E L 層、電子注入電極等を積層する。

【 0 0 7 1 】

トランジスタとしては、通常が多結晶シリコントランジスタを用いればよい。トランジスタは、E L 構造体の各画素の端部に設けられ、その大きさは $10 \sim 30 \mu\text{m}$ 程度である。なお、画素の大きさは $20 \mu\text{m} \times 20 \mu\text{m} \sim 300 \mu\text{m} \times 300 \mu\text{m}$ 程度である。

【 0 0 7 2 】

基板 7 1 上には、トランジスタの配線電極が設けられる。配線電極は抵抗が低く、ホール注入電極を電氣的に接続して抵抗値を低く抑える機能があり、一般的にはその配線電極は、A l および遷移金属（ただし T i を除く）、T i または窒化チタン（T i N）のいずれか 1 種または 2 種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。E L 構造体の下地となるホール注入電極とトランジスタの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常 $100 \sim 1000 \text{nm}$ 程度とすればよい。

【 0 0 7 3 】

トランジスタ 1 1 の配線電極と E L 構造体の有機層との間には絶縁層を設ける。絶縁層は、 SiO_2 等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、S O G（スピン・オン・ガラス）で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよい。中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【 0 0 7 4 】

E L 構造体の発光ピークは 2 つ以上であってもかまわない。本発明の E L 表示素子は、緑および青色発光部は、例えば、青緑色発光の E L 構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光の E L 構造体と、この E L 構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【 0 0 7 5 】

次に、本発明の E L 表示素子 1 5 を構成する E L 構造体について説明する。本発明の E L 構造体は、透明電極である電子注入電極と、1 種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも 1 層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明の E L 構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。

【 0 0 7 6 】

ホール注入電極としては、ホール注入電極側から発光した光を取り出す構造であるため、例えば、ITO（錫ドープ酸化インジウム）、IZO（亜鉛ドープ酸化インジウム）、ZnO、SnO₂、In₂O₃ 等が挙げられるが、特に ITO、IZO が好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、10～500nm 程度とすることが好ましい。素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、シート抵抗値 10～30Ω/□（膜厚 50～300nm）の ITO が挙げられる。実際に使用する場合には、ITO 等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。

【 0 0 7 7 】

ホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成

することが好ましい。スパッタガスとしては、特に制限するものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0078】

電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg (Ag: 1~20at%)、Al・Li (Li: 0.3~14at%)、In・Mg (Mg: 50~80at%)、Al・Ca (Ca: 5~20at%) 等が好ましい。

【0079】

電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとするれば良く、0.1nm以上、好ましくは1nm以上とするればよい。また、その上限値には特に制限はないが、通常、膜厚は100~500nm程度とするればよい。

【0080】

正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0081】

電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0082】

発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層

の厚さは特に限定されず、形成方法によっても異なるが、通常、5～100nm程度とすることが好ましい。

【0083】

正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10～10倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときも同じである。

【0084】

また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0085】

本発明のEL素子15の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、トリス（8-キノリノラト）アルミニウム〔Alq3〕等の金属錯体色素、フェニルアントラセン誘導体、テトラアリールエテン誘導体、青緑色発光材料が挙げられる。

【0086】

なお、正孔注入層の材料に2%のフタルシアニンを添加したCuPcを採用するとよい。CuPcを単独で使う場合に比較して格段に耐熱性が向上する。

【0087】

85℃で1000時間駆動した後の輝度は、初期の輝度（400cd/m²に設定）に対し、CuPcのみでは約45%低下するが、フタルシアニンを添加したものが約35%減にとどまる。これは、フタルシアニンの添加によってCuPcの結晶化が抑制されたためと推定される。CuPcがアモルファス状態を保てば、

輝度低下を抑えることができる。フタルシアニン添加による耐熱性向上の効果は、1%以上5%以上で最も大きくなる。特に1%以上3%以下が適切である。なお、20%くらいまでは添加の効果はあるが、それ以上に添加量が増えるとかえって耐熱性は低下する。

【0088】

青色発光の有機EL素子15は、発光層の材料に発光波長が約400nmの「DMPhen (Triphenylamine)」を用いるとよい。この際、発光効率を高める目的で、電子注入層 (Bathocuproine) と正孔注入層 (M-MTDATA) にバンド・ギャップが発光層と同じ材料を採用することが好ましい。バンド・ギャップが3.4eVと大きいDMPhenを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまり、発光層で電子と正孔の再結合が起こりにくいからである。DMPhenのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、DMPhen中で励起したエネルギーをドーパントに移動させ、ドーパントから発光させることにより解決できる。

【0089】

EL材料として、りん光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率は2~3%程度である。蛍光発光材料は内部量子効率（励起によるエネルギーが光に変わる効率）が25%なのに対し、りん光発光材料は100%近くに達するため、外部量子効率が高くなる。

【0090】

有機EL素子の発光層のホスト材料にはCBPを用いるとよい。ここに赤色 (R) や緑色 (G)、青色 (B) のりん光発光材料をドーピングしている。ドーピングした材料はすべてIrを含む。R材料はBtp2Ir(acac)、G材料は(ppy)2Ir(acac)、B材料はFIrpicを用いると良い。

【0091】

また、正孔注入層・正孔輸送層には、各種有機化合物を用いることができる。正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。以前に説明したように、まず、アレイ基板71に画素を駆動するトランジスタ11を形成する。1つの画素は2個以上、好ましくは4個または5個のトランジスタで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧値として蓄積容量19に保持される。このトランジスタ11の組み合わせなど画素構成については後に説明をする。次にトランジスタ11に正孔注入電極としての画素電極を形成する。画素電極105はフォトリソグラフィによりパターン化する。なお、トランジスタ11の下層、あるいは上層にはトランジスタ11に光入射することにより発生するホットコンダクタ現象（以後、ホットコンと呼ぶ）による画質劣化を防止するために、遮光膜を形成または配置する。

なお、電流プログラムとは、ソースドライバ回路14からプログラム電流を画素に印加し（もしくは画素からソースドライバ回路14に吸収し）、この電流に相当する信号値を画素に保持させるものである。この保持された信号値に対応する電流をEL素子15に流す（もしくは、EL素子15から流し込む）。つまり、電流でプログラムし、プログラムされた電流に相当（対応）する電流をEL素子15に流すようにするものである。

一方、電圧プログラムとは、ソースドライバ回路14からプログラム電圧を画素に印加し、この電圧に相当する信号値を画素に保持させるものである。この保持された電圧に対応する電流をEL素子15に流す。つまり、電圧でプログラムし、画素内で電圧を電流値に変換し、プログラムされた電圧に相当（対応）する電流をEL素子15に流すようにするものである。

プラスチック基板にトランジスタを形成するためには、有機半導体を形成する表面を加工することで、炭素と水素からなるペンタセン分子を利用し電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20倍から100倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。

ペンタセンは、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上

に、シクロヘキセンと呼ばれる分子の単一層「分子バッファ」を塗布するとよい。この層がシリコン上の「sticky sites (くっつきやすい場所)」を覆うため、清浄な表面ができてペンタセンが非常に大きな結晶粒にまで成長する。

これらの新しい大きな結晶粒の薄膜を使うことにより、大型結晶粒のペンタセンを用いたフレキシブルなトランジスタ（トランジスタ）を作製することができる。このようなフレキシブルなトランジスタの大量生産のために、低い温度で液状の材料を塗ることによってトランジスタ（トランジスタ）を製造することができる。

また、基板上にゲートとなる金属薄膜と島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化する。そのため、モビリティが良好となる。

【0092】

有機トランジスタ（トランジスタ）として、静電誘導トランジスタ（SIT）と呼ぶ構造を採用することが好ましい。アモルファス状態のペンタセンを使用する。正孔の移動度は $1 \times 10 \text{ cm}^2/\text{Vs}$ と結晶化したペンタセンよりも低い。しかし、SIT構造を採用することにより周波数特性を高めることができる。ペンタセンの膜厚は100以上300 nmとすることが好ましい。

【0093】

また、有機トランジスタとしてp型電界効果トランジスタでもよい。プラスチック基板上にトランジスタを形成できる。プラスチック基板ごと折り曲げることが可能なので、フレキシブルなトランジスタ型表示パネルを構成できるペンタセンは多結晶状態とすることが好ましい。ゲート絶縁膜の材料にはPMMAを使用することが好ましい。有機トランジスタの活性層にはナフタセンを使ってもよい。

洗浄時に酸素プラズマ、 O_2 アッシャーを使用すると、画素電極105の周辺部の平坦化膜102も同時にアッシングされ、画素電極105の周辺部がえぐられてしまう。この課題を解決するために、画素電極105の周辺部をアクリル樹脂からなるエッジ保護膜（基本的には土手101）を形成している。エッジ保護膜

105の構成材料としては、平坦化膜102を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 SiO_2 、 SiN_x などの無機材料が例示される。その他、 Al_2O_3 、 Ta_2O_5 などであってもよいことは言うまでもない。

【0094】

エッジ保護膜101は画素電極105のパターニング後、画素電極105間を埋めるように形成する。もちろん、このエッジ保護膜101を2以上4 μm 以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手（メタルマスクが画素電極105とが直接に接しないようにするスペーサ）としてもよいことは言うまでもない。

【0095】

ゲート絶縁膜に比誘電率が24と高い Ta_2O_5 を採用するとよい。ゲート絶縁膜の厚さは129nmと厚く、しかもチャネル長は500 μm と長いにも関わらずP型トランジスタは電源電圧-5Vで良好に動作する。チャネル層の材料には、ペンタセンと呼ばれる有機材料を用いる。キャリアである正孔（ホール）の移動度は $0.40\text{cm}^2/\text{Vs}$ 以上、トランジスタがオン時のドレイン電流と、オフ時の漏れ電流との比は 10^4 を実現できる。

【0096】

画素電極105上にEL膜（15R（赤）、15G（緑）、15B（青））が形成される。各EL膜15はわずかな隙間をあけて形成されるか、周辺部を重ねられる。重ねられた箇所はほとんど発光しない。また、EL膜15上にカソードとなるアルミ膜106が形成される。

真空蒸着装置は市販の高真空蒸着装置（日本真空技術株式会社製、EBV-6DA型）を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ（大阪真空株式会社製、TC1500）であり、到達真空度は約 $1 \times 10^{-6}\text{Torr}$ 以下であり、全ての蒸着は $2 \sim 3 \times 10^{-6}\text{Torr}$ の範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源（菊水電子株式会社製、PAK10-70A）を接続して行うとよい。

このようにして真空層中に配置したアレイ基板上に、カーボン膜20～50 nmを成膜する。次に、正孔注入層として4-(N、N-ビス(p-メチルフェニル)アミノ)- α -フェニルスチルベンを0.3 nm/secの蒸着速度で膜厚約5 nmに形成する。

正孔輸送層として、N、N'-ビス(4'-ジフェニルアミノ-4-ビフェニル)-N、N'-ジフェニルベンジジン(保土ヶ谷化学株式会社製)と、4-N、N-ジフェニルアミノ- α -フェニルスチルベンを、それぞれ0.3 nm/sおよび0.01 nm/sの蒸着速度で共蒸着して膜厚約80 nmに形成した。発光層(電子輸送層)としてトリス(8-キノリノラト)アルミニウム(同仁化学株式会社製)を0.3 nm/secの蒸着速度で膜厚約40 nmに形成する。

次に、電子注入電極として、AlLi合金(高純度化学株式会社製、Al/Li重量比99/1)から低温でLiのみを、約0.1 nm/secの蒸着速度で膜厚約1 nmに形成し、続いて、そのAlLi合金をさらに昇温する。Liが出尽くした状態から、Alのみを、約1.5 nm/sの蒸着速度で膜厚約100 nmに形成し、積層型の電子注入電極とした。

このようにして作成した有機薄膜EL素子15は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ85をシール接着剤(シール剤)(アネルバ株式会社製、商品名スーパーバックシール953-7000)で貼り付けて表示パネルとする。

なお、封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。乾燥剤107によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

シール剤15からの水分の浸透を抑制するためには外部からの経路(パス)を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹凸を形成している。アレイ基板71の周辺部に形成した凹凸部は少なくとも2重に形成する。凸と凸との間隔(形成ピッチ)は100 μ m以上500 μ m以下に形成することが好ましく、また、凸の高さは30 μ m以上300 μ m以下とすることが好ましい。この凸部はスタンプ技術で形成する。このスタンプ技術はオムロン社がマイクロレンズ形成の方法として採用している方式

、松下電器がC Dのピックアップレンズで微小レンズの形成方式として用いている方式などを応用する。

一方、封止フタ 8 5 にも凹または凸部を形成する。凹または凸部の形成ピッチは基板 7 1 に形成した凸部の形成ピッチと同一にする。このように基板 7 1 と基板 8 5 の凹または凸部の形成ピッチを同一にすることにより凸部に凹部がちょうどはまり込む。そのため、表示パネルの製造時に封止フタ 8 5 とアレイ基板 7 1 との位置ずれが発生しない。凸部と凹部間にはシール剤を配置する。シール剤は封止フタ 8 5 とアレイ基板 7 1 とを接着するとともに、外部からの水分の浸入を防止する。

【 0 0 9 7 】

シール剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1. 4 7 以上1. 5 4 以下のものを用いることが好ましい。特にシール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で6 5 % 以上9 5 % 以下の割合で添加することが好ましい。また、この微粉末の粒子径は平均直径2 0 μ m 以上1 0 0 μ m 以下とすることが好ましい。微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなる。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

乾燥剤 1 0 7 の重量はシールの長さ1 0 m m あたり0. 0 4 g 以上0. 2 g 以下をすることが好ましい。特にシールの長さ1 0 m m あたり0. 0 6 g 以上0. 1 5 g 以下をすることが望ましい。乾燥剤の量がすくなくすぎると水分防止効果が少なくすぐに有機EL層 1 5 が劣化する。多すぎると乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。なお、乾燥剤 1 0 7 はシート状に形成しておき、フタ 8 5 とEL膜間に配置するとよい。その際、乾燥剤 1 0 7 にUV硬化樹脂を塗布しておき、配置後、紫外線を照射し、UV樹脂を硬化させて固定させるとよい。

図 1 0 はガラスのフタ 8 5 を用いて封止する構成であるが、図 1 1 のようにフィ

ルム（薄膜でもよい。つまり薄膜封止膜）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンド ライク カーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）。このフィルムを封止膜111して用いる。また、DLC膜などを電極106の表面に直接蒸着する構成ものよいことは言うまでもない。

なお、この場合は、カソードとアノードの位置関係は逆転する場合がある。薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）にして計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

以上のようにフタ85を用いず、封止膜111で封止する構成を薄膜封止と呼ぶ。基板71側から光を取り出す「下取り出し（図10を参照、光取り出し方向は図10の矢印方向である）」の場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜111は前述したように、DLC（ダイヤモンド ライク カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

EL層15側から光を取り出す「上取り出し図11を参照、光取り出し方向は図11の矢印方向である」」の場合の薄膜封止は、EL膜15を形成後、EL膜15上にカソード（アノード）となるAg-Mg膜を20オングストローム以上300オングストロームの膜厚で形成する。その上に、ITOなどの透明電極を形

成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜 1 1 1 を形成する。

有機 E L 層 1 5 から発生した光の半分は、反射膜 1 0 6 で反射され、アレイ基板 7 1 と透過して出射される。しかし、反射膜 1 0 6 には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板 7 1 に $\lambda/4$ 板 1 0 8 および偏光板（偏光フィルム） 1 0 9 を配置している。

なお、画素が反射電極の場合は E L 層 1 5 から発生した光は上方向に出射される。したがって、位相板 1 0 8 および偏光板 1 0 9 は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極 1 0 5 を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極 1 0 5 の表面に、凸部（もしくは凹凸部）を設けることで有機 E L 層 1 5 との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード 1 0 6 （アノード 1 0 5）となる反射膜を透明電極に形成する、あるいは反射率を 3 0 % 以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【 0 0 9 8 】

また、ディスプレイ内部に 2 層の薄膜を形成することによって実現する外光反射を光学干渉によって打ち消すことで有機 E L 表示パネルのコントラストを向上することができる。従来の円偏光板を使う場合に比べてコストを低減できる。また、円偏光板が抱えていた拡散反射の問題や、表示色の視野角依存性及び有機 E L 発光層の膜厚依存性の問題を解決できる。

【 0 0 9 9 】

基板 7 1 と偏光板（偏光フィルム） 1 0 9 間には 1 枚あるいは複数の位相フィルム 1 0 8 （位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。位相フィルムは入射光を出射光に位相差を発生させ、効率よく光変調を行うのに寄与する。

【 0 1 0 0 】

その他、位相フィルムとして、ポリエステル樹脂、P V A 樹脂、ポリサルホン

樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以上350nm以下とすることが好ましく、さらには80nm以上220nm以下とすることが好ましい。なお、位相フィルムと偏光板とを一体化した円偏光板（円偏光フィルム）を用いてもよいことはいうまでもない。

位相フィルム108は染料あるいは顔料で着色しフィルタとしての機能をもたせることが好ましい。特に有機EL15は赤（R）の純度が悪い。そのため、着色した位相フィルム108で一定の波長範囲をカットして色温度を調整する。カラーフィルターは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的である。顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

【0101】

以上のように位相フィルム108の一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせたりしてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成したりしてもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することによりかまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

【0102】

先にも記述したが、位相フィルムの機能はカラーフィルターに持たせてもよい。たとえば、カラーフィルターの形成時に圧延し、もしくは光重合により一定の方向に位相差が生じるようにすることにより位相差を発生させることができる。その他、平滑化膜102を光重合させることにより位相差を持たせてもよい。このように構成すれば位相フィルムを基板外に構成あるいは配置する必要がなくなり表示パネルの構成が簡易になり、低コスト化が望める。なお、以上の事項は偏

光板に適用してもよいことはいうまでもない。

【0103】

偏光板（偏光フィルム）109を構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【0104】

偏光板109はヨウ素などをポリビニールアルコール（PVA）樹脂に添加した樹脂フィルムのもものが例示される。一对の偏光分離手段の偏光板109は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち特定の偏光軸方向と異なる方向の偏光成分（reflective polarizer：リフレクティブ・ポラライザー）を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

【0105】

また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、例えばコレステリック液晶層と $(1/4)\lambda$ 板108を組み合わせたもの、ブリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッタ（PBS）等を用いることも可能である。

【0106】

図10では図示していないが、偏光板109の表面にはAIRコートを実施している。AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が1.37以上1.42以下のものが特性は良好である。

【0107】

また、AIRコートは3層の構成あるいは2層構成がある。なお、3層の場合

は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、2層以上の限定するものではなく、1層でもよい。

【0108】

マルチコートの場合は酸化アルミニウム (Al_2O_3) を光学的膜厚が $nd = \lambda / 4$ 、ジルコニウム (ZrO_2) を $nd = \lambda / 2$ 、フッ化マグネシウム (MgF_2) を $nd = \lambda / 4$ 積層して形成する。通常、 λ として 520nm もしくはその近傍の値として薄膜は形成される。Vコートの場合は一酸化シリコン (SiO) を光学的膜厚 $nd = \lambda / 4$ とフッ化マグネシウム (MgF_2) を $nd = \lambda / 4$ 、もしくは酸化イットリウム (Y_2O_3) とフッ化マグネシウム (MgF_2) を $nd = \lambda / 4$ 積層して形成する。 SiO は青色側に吸収帯域があるため青色光を変調する場合は Y_2O_3 を用いた方がよい。また、物質の安定性からも Y_2O_3 の方が安定しているため好ましい。また、 SiO_2 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0109】

なお、表示パネルに静電気がチャージされることを防止するため、表示パネルなどの表面に親水性の樹脂を塗布しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面などにエンボス加工を行ってもよい。

また、画素電極105にはトランジスタが接続されたとしたがこれに限定されるものではない。アクティブマトリックスとは、スイッチング素子として薄膜トランジスタ (トランジスタ) の他、ダイオード方式 (TFD)、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、FET、MOSトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子11、駆動素子11と構成するものはこれらのいずれでも使用することができる。また、略ストライプ状電極を複数本配置した単純マトリックス型の画素構成でもよい。

また、トランジスタはLDD（ロー ドーピング ドレイン）構造を採用することが好ましい。なお、トランジスタとは、FETなどスイッチングなどのトランジスタ動作をするすべての素子一般を意味する。また、EL膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できることは言うまでもない。また、本明細書ではEL素子として有機EL素子（OEL、PEL、PLED、OLEDなど多種多様な略称で記述される）15を例のあげて説明するがこれに限定するものではなく、無機EL素子にも適用されることは言うまでもない。

【0110】

まず、有機EL表示パネルに用いられるアクティブマトリックス方式は、1. 特定の画素を選択し、必要な表示情報を与えられること。2. 1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満足させなければならない。

【0111】

この2つの条件を満足させるため、図62に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタ、第2のトランジスタ11aはEL素子（EL膜）15に電流を供給するための駆動用トランジスタとする。

【0112】

ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用トランジスタ11bは液晶用にも必要であるが、駆動用トランジスタ11aはEL素子15を点灯させるために必要である。この理由は液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL素子15の場合は、電流を流しつづけなければ画素16の点灯状態を維持できないからである。

【0113】

したがって、EL表示パネルでは電流を流し続けるためにトランジスタ11aをオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用トランジスタ11bを通してキャパシタ19に電荷が蓄積される。このキャパシタ19が駆動用トランジスタ11aのゲートに電圧を加え続けるため、スイッチング用トランジスタ11bがオフになっても、電流供給線

(V_{dd}) から電流が流れつづけ、1 フレーム期間にわたり画素 1 6 をオンできる。

【0 1 1 4】

この構成を用いて階調を表示させる場合、駆動用トランジスタ 1 1 a のゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ 1 1 a のオン電流のばらつきがそのまま表示に現れる。

【0 1 1 5】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 4 5 0 度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが ± 0. 2 V ~ 0. 5 V の範囲でばらつきがある。そのため、駆動用トランジスタ 1 1 a を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ 1 1 の劣化によっても特性は変化する。なお、低温ポリシリコン技術に限定されるものではなく、プロセス温度が 4 5 0 度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（C G S）成長させた半導体膜を用いて T F T など形成したものを持ちいてもよい。その他、有機 T F T を用いたものであっても良い。なお、本明細書では低温ポリシリコン技術で形成した T F T を主として説明する。しかし、T F T のバラツキが発生するなどの課題は他の方式でも同一である。

【0 1 1 6】

したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があり、現状の低温多結晶ポリシリコントランジスタではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。この問題を解決するため、1 画素内に 4 つ以上のトランジスタをもうけて、しきい値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法、定電流回路を 1 画素ごとに形成し電流の均一化を図る方法などが考えられる。

【 0 1 1 7 】

しかしながら、これらの方法は、プログラムされる電流がE L素子15を通じてプログラムされるため電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。したがって、駆動電圧が高くなるという課題を有する。

【 0 1 1 8 】

また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があり、この動作範囲がE L素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生する場合、トランジスタのしきい値電圧の変動が発生した場合、記憶された電流値が変動するとう課題もある。

【 0 1 1 9 】

本発明のE L素子構造は、上記課題に対して、E L素子15に流れる電流を制御するトランジスタ11が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小に抑えることが出来て記憶される電流値の変動を小さくすることが出来る構成である。

【 0 1 2 0 】

本発明のE L表示装置の画素構造は、具体的には図1に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにE L素子により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上に画素電極を重ねる構成をハイパーチャ（HA）構造と呼ぶ。

【 0 1 2 1 】

ゲート信号線（第1の走査線）17aをアクティブ（ON電圧を印加）とすることによりE L素子15駆動用のトランジスタ（トランジスタあるいはスイッチング素子）11aおよびトランジスタ（トランジスタあるいはスイッチング素子）11cを通して、前記E L素子15に流すべき電流値をソースドライバ回路1

4から流す。また、トランジスタ11aのゲートとドレイン間を短絡するようにトランジスタ11bがゲート信号線17aアクティブ（ON電圧を印加）となることにより開くと共に、トランジスタ11aのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）19に、前記電流値を流すようにトランジスタ11aのゲート電圧（あるいはドレイン電圧）を記憶する（図3（a）を参照のこと）。

【0122】

なお、トランジスタ11aのソース（S）－ゲート（G）間容量（コンデンサ）19は0.2pF以上の容量とすることが好ましい。他の構成として、別途、コンデンサ19を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。なお、コンデンサ（蓄積容量）19の大きさは、0.2pF以上2pF以下とすることがよく、中でもコンデンサ（蓄積容量）19の大きさは、0.4pF以上1.2pF以下とすることがよい。

【0123】

なお、コンデンサ19は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機EL15を作成する場合、有機EL層15をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生すると各色の有機EL層15（15R、15G、15B）が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10 μ 以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量19をこの領域に形成することは開口率向上のために有効な手段となる。

【0124】

なお、メタルマスクは磁性体で作製し、基板71の裏面から磁石でメタルマスクを磁力で吸着する。磁力により、メタルマスクは基板と隙間なく密着する。以上の製造方法に関する事項は、本発明の他の製造方法にも適用される。

【0125】

次に、ゲート信号線17aを非アクティブ（OFF電圧を印加）、ゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のトランジスタ11a並びにEL素子15に接続されたトランジスタ11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する（図3（b）を参照のこと）。

【0126】

この回路は1画素内に4つのトランジスタ11を有しており、トランジスタ11aのゲートはトランジスタ11bのソースに接続されている。また、トランジスタ11bおよびトランジスタ11cのゲートはゲート信号線17aに接続されている。トランジスタ11bのドレインはトランジスタ11cのソースならびにトランジスタ11dのソースに接続され、トランジスタ11cのドレインはソース信号線18に接続されている。トランジスタ11dのゲートはゲート信号線17bに接続され、トランジスタ11dのドレインはEL素子15のアノード電極に接続されている。

【0127】

なお、図1ではすべてのトランジスタはPチャンネルで構成している。Pチャンネルは多少Nチャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0128】

なお、図1においてトランジスタ11c、11bは同一の極性で構成し、かつNチャンネルで構成し、トランジスタ11a、11dはPチャンネルで構成することが好ましい。一般的にPチャンネルトランジスタはNチャンネルトランジスタに比較して、信頼性が高い、キंक電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るEL素子15に対しては、トランジスタ11aをPチャンネルにする効果大きい。最適には画素を構成するTF

T 1 1 をすべて P チャンネルで形成し、内蔵ゲートドライバ 1 2 も P チャンネルで形成することが好ましい。このようにアレイを P チャンネルのみの T F T で形成することにより、マスク枚数が 5 枚となり、低コスト化、高歩留まりを実現できる。

【 0 1 2 9 】

以下、さらに本発明の理解を容易にするために、本発明の E L 素子構成について図 3 を用いて説明する。本発明の E L 素子構成は 2 つのタイミングにより制御される。第 1 のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ 1 1 b ならびにトランジスタ 1 1 c が ON することにより、等価回路として図 3 (a) となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ 1 1 a はゲートとドレインが接続された状態となり、このトランジスタ 1 1 a とトランジスタ 1 1 c を通じて電流 I_w が流れる。従って、トランジスタ 1 1 a のゲートーソースの電圧は I_1 が流れるような電圧 V_1 となる。

【 0 1 3 0 】

第 2 のタイミングはトランジスタ 1 1 a とトランジスタ 1 1 c が閉じ、トランジスタ 1 1 d が開くタイミングであり、そのときの等価回路は図 3 (b) となる。トランジスタ 1 1 a のソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ 1 1 a は常に飽和領域で動作するため、 I_w の電流は一定となる。

【 0 1 3 1 】

このように動作させると、図 5 に図示するようになる。つまり、図 5 (a) の 5 1 a は表示画面 5 0 における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）5 1 a は、図 5 (b) に図示するように非点灯（非表示画素（行））とする。他の、画素（行）は表示画素（行）5 3 とする（非画素 5 3 の E L 素子 1 5 には電流が流れ、E L 素子 1 5 が発光している）。

【 0 1 3 2 】

図 1 の画素構成の場合、図 3 (a) に示すように、電流プログラム時は、プロ

グラム電流 I_w がソース信号線 18 に流れる。この電流 I_w がトランジスタ 11a を流れ、 I_w を流す電流が保持されるように、コンデンサ 19 に電圧設定（プログラム）される。このとき、トランジスタ 11d はオープン状態（オフ状態）である。

【0133】

次に、EL素子 15 に電流を流す期間は図 3（b）のように、トランジスタ 11c、11b がオフし、トランジスタ 11d が動作する。つまり、ゲート信号線 17a にオフ電圧（ V_{gh} ）が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17b にオン電圧（ V_{gl} ）が印加され、トランジスタ 11d がオンする。

【0134】

このタイミングチャートを図 4 に図示する。なお、図 4 などにおいて、括弧内の添え字（たとえば、（1）など）は画素行の番号を示している。つまり、ゲート信号線 17a（1）とは、画素行（1）のゲート信号線 17a を示している。また、図 4 の上段の～H とは、水平走査期間を示している。つまり、1H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（1H の番号、1H 周期、画素行番号の順番など）するものではない。

【0135】

図 4 でわかるように、各選択された画素行（選択期間は、1H としている）において、ゲート信号線 17a にオン電圧が印加されている時には、ゲート信号線 17b にはオフ電圧が印加されている。また、この期間は、EL素子 15 には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線 17a にオフ電圧が印加され、ゲート信号線 17b にはオン電圧が印加されている。また、この期間は、EL素子 15 に電流が流れている（点灯状態）。

【0136】

なお、トランジスタ 11a のゲートとトランジスタ 11c のゲートは同一のゲート信号線 11a に接続している。しかし、トランジスタ 11a のゲートとトランジスタ 11c のゲートとを異なるゲート信号線 11 に接続してもよい（図 3 2

を参照のこと)。1画素のゲート信号線は3本となる(図1の構成は2本である)。トランジスタ11bのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11aのばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

【0137】

ゲート信号線17aとゲート信号線17bとを共通にし、トランジスタ11cと11dが異なった導電型(NチャンネルとPチャンネル)とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

【0138】

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ11aのソース(S)ーゲート(G)間容量(コンデンサ)に記憶されない。トランジスタ11cとトランジスタ11dを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ11cがオフしたのちに、トランジスタ11dがオンすることが可能になる。

【0139】

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11eを図2に示すように、カスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流がより精度よくEL素子15に流すことができるようになる。

【0140】

図1の構成において、第1のトランジスタ11aの飽和領域における電流値 I_{ds} が下式の条件を満足させることがさらに好ましい。なお、下式において λ の

値は、隣接する画素間において 0.06 以下 0.01 以上の条件を満足させる。

【0141】

$$I_{ds} = k \times (V_{gs} - V_{th})^2 (1 + V_{ds} \times \lambda)$$

本発明では、トランジスタ 11a の動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースドレイン間電圧の影響を受ける。この効果をミラー効果という。

【0142】

隣接する画素におけるそれぞれのトランジスタ 11a に ΔV_{th} なる閾値のシフトが発生した場合を考える。この場合記憶される電流値は同じである。閾値のシフトを ΔL とすれば、約 $\Delta V \times \lambda$ がトランジスタ 11a の閾値が変動することによる、EL 素子 15 の電流値のずれに相当する。したがって、電流のずれを x (%) 以下に抑えるためには、閾値のシフトの許容量を隣接する画素間で y (V) を許容するとして、 λ は $0.01 \times x / y$ 以下でなければならないことが判る。

【0143】

この許容値はアプリケーションの輝度により変化する。輝度が 100 cd/m^2 から 1000 cd/m^2 までの輝度領域においては、変動量が 2% 以上あれば人間は変動した境界線を認識する。したがって、輝度（電流量）の変動量が 2% 以内であることが必要である。輝度が 100 cd/m^2 より高い場合は隣接する画素の輝度変化量は 2% 以上となる。本発明の EL 表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は 100 cd/m^2 程度である。実際に図 1 の画素構成を試作し、閾値の変動を測定すると、隣接する画素のトランジスタ 11a においては閾値の変動の最大値は 0.3 V であることが判った。したがって、輝度の変動を 2% 以内に抑えるためには λ は 0.06 以下でなければならない。しかし、0.01 以下にする必要はない。人間が変化を認識することができないからである。また、この閾値のバラツキを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【0144】

また、第 1 のトランジスタ 11a の飽和領域における電流値 I_{ds} が下式を満足するように構成することが好ましい。なお、 λ の変動が隣接する画素間におい

て5%以下1%以上とする。

【0145】

$$I_{ds} = k \times (V_{gs} - V_{th})^2 (1 + V_{ds} \times \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式の λ に変動があれば、ELを流れる電流値が変動する。変動を±2%以内に抑えるためには、 λ の変動を±5%に抑えなければならない。しかし、しかし、1%以下にする必要はない。人間が変化を認識することができないからである。また、1%以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【0146】

また、実験、アレイ試作および検討によれば第1のトランジスタ11aのチャンネル長が $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャンネル長が $15\mu\text{m}$ 以上 $150\mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長Lを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【0147】

また、画素を構成するトランジスタ11が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を2回以上スキャンして半導体膜を形成することが好ましい。

【0148】

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もば

らつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【0149】

また、蓄積容量19の容量値を C_s 、第2のトランジスタ11bのオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

【0150】

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

【0151】

$$6 < C_s / I_{off} < 18$$

トランジスタ11bのオフ電流を5pA以下とすることにより、ELを流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0152】

また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

【0153】

また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅 W ）×（チャンネル長 L ）を $54\mu m^2$ 以下とすることが好ましい。（チャンネル幅 W ）×（チ

チャンネル長 L)とトランジスタ特性のバラツキとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが大きく、したがってこれを吸収するためには、できるだけレーザーの照射ピッチ(一般的には10数 μm)をチャンネル内により多く含む構造が望ましい。各トランジスタの(チャンネル幅 W) \times (チャンネル長 L)を $54\mu\text{m}^2$ 以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生する。したがって、各トランジスタの(チャンネル幅 W) \times (チャンネル長 L)は $9\mu\text{m}^2$ 以上となるようにする。なお、さらに好ましくは、各トランジスタの(チャンネル幅 W) \times (チャンネル長 L)は $16\mu\text{m}^2$ 以上 $45\mu\text{m}^2$ 以下となるようにすることが好ましい。

【0154】

また、隣接する単位画素での第1のトランジスタ11aの移動度変動が20%以下であるようにすることが好ましい。移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、M1のゲートソース間の容量を充電できない。従って移動のばらつきを20%以内に抑えることにより画素間の輝度のばらつきを認知限以下にすることができる。

【0155】

以上の説明は、画素構成が図1の構成として説明したが、以上の事項は他の画素構成にも適用することができる。以下、その一例として図38の画素構成について、構成、動作について説明をする。

【0156】

EL素子15に流す電流を設定する時、トランジスタ11aに流す信号電流を I_w 、その結果トランジスタ11aに生ずるゲートソース間電圧を V_{gs} とする。書き込み時はトランジスタ11dによってトランジスタ11aのゲート・ドレイン間が短絡されているので、トランジスタ11aは飽和領域で動作する。よって、 I_w は、以下の式で与えられる。

【0157】

$$I_w = \mu_1 \cdot C_{ox1} \cdot (W_1 / L_1) / 2 (V_{gs} - V_{th1})^2 \dots$$

(1)

ここで、 C_{ox} は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。 V_{th} はトランジスタの閾値、 μ はキャリアの移動度、 W はチャンネル幅、 L はチャンネル長、 ϵ_0 は真空の移動度、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みである。EL素子15に流れる電流を I_{dd} とすると、 I_{dd} は、EL素子15と直列に接続されるトランジスタ1bによって電流レベルが制御される。本発明では、そのゲートーソース間電圧が(1)式の V_{gs} に一致するので、トランジスタ1bが飽和領域で動作すると仮定すれば、以下の式が成り立つ。

【0158】

$$I_{drv} = \mu^2 \cdot C_{ox}^2 \cdot (W^2 / L^2) / 2 (V_{gs} - V_{th})^2 \quad \dots$$

(2)

絶縁ゲート電界効果型の薄膜トランジスタ（トランジスタ）が飽和領域で動作するための条件は、 V_{ds} をドレイン・ソース間電圧として、一般に以下の式で与えられる。

【0159】

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots \quad (3)$$

ここで、トランジスタ11aとトランジスタ11bは、小さな画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(1)式及び(2)式から容易に以下の式が導かれる。

【0160】

$$I_{drv} / I_w = (W^2 / L^2) / (W_1 / L_1) \quad \dots \quad (4)$$

ここで注意すべき点は、(1)式及び(2)式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(4)式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。

【0161】

仮に $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I

w と I_{drv} が同一の値となる。すなわちトランジスタの特性ばらつきによらず、EL素子15に流れる駆動電流 I_{dd} は、正確に信号電流 I_w と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0162】

以上の様に、駆動用トランジスタ11aの V_{th1} と駆動用トランジスタ11bの V_{th2} は基本的に同一である為、両トランジスタお互いにの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、トランジスタ11a及びトランジスタ11b共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 V_{th1} よりも V_{th2} が低くなってしまうことがある。この時には、駆動用トランジスタ11bにサブスレッショルドレベルのリーク電流が流れる為、EL素子15は微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。

【0163】

本発明では特に、駆動用トランジスタ11bの閾電圧 V_{th2} が画素内で対応する駆動用トランジスタ11aの閾電圧 V_{th1} より低くならない様に設定している。例えば、トランジスタ11bのゲート長 L_2 をトランジスタ11aのゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。以上の事項は図1のトランジスタ11aとトランジスタ11dの関係にも適用される。

【0164】

図38に示すように、信号電流が流れる駆動用トランジスタ11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ11bの他、ゲート信号線17a1の制御によって画素回路とデータ線dataとを接続もしくは遮断する取り込み用トランジスタ11c、ゲート信号線17a2の制御によって書き込み期間中にトランジスタ11aのゲート・ドレインを短絡するスイッチ用トランジスタ11d、トランジスタ11aのゲート・ソース間電圧を書き込み終了後も保持するための容量C19および発光素子としてのEL素子15などから構成される。

【 0 1 6 5 】

図 3 8 でトランジスタ 1 1 c、1 1 d は N チャンネル MOS (NMOS)、その他のトランジスタは P チャンネル MOS (PMOS) で構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量 C は、その一方の端子をトランジスタ 1 1 a のゲートに接続され、他方の端子は V d d (電源電位) に接続されているが、V d d に限らず任意の一定電位でも良い。E L 素子 1 5 のカソード (陰極) は接地電位に接続されている。したがって、以上の事項は図 1 などにも適用されることは言うまでもない。

【 0 1 6 6 】

E L 素子 1 5 の端子電圧は温度によっても変化する。通常、温度が低い時は高く、温度が高くなるにつれ、低くなる。この傾向はリニアの関係にある。したがって、V d d 電圧を外部温度によって (正確には E L 素子 1 5 の温度によって) 調整することが好ましい。温度センサで外部温度を検出し、V d d 電圧発生部あるいは V k 電圧発生部のフィードバックをかけて V d d 電圧あるいは V k 電圧を変化させる。V d d 電圧などは摂氏 1 0 °C の変化で、2 % 以上 8 % 以下変化するようにすることが好ましい。中でも 3 % 以上 6 % 以下とすることが好ましい。

【 0 1 6 7 】

なお、図 1 などの V d d 電圧はトランジスタ 1 1 b のオフ電圧 (トランジスタが P チャンネル時) よりも低くすることが好ましい。具体的には、V g h (ゲートのオフ電圧) は少なくとも V d d - 0. 5 (V) よりの高くするべきである。これよりも低いとトランジスタのオフリークが発生し、レーザーアニールのショットムラが目立つようになる。また、V d d + 4 (V) よりも低くすべきである。あまりにも高いと逆にオフリーク量が増加する。

【 0 1 6 8 】

したがって、ゲートのオフ電圧 (図 1 では V g h、つまり、電源電圧に近い電圧側) は、電源電圧 (図 1 では V d d) は、よりも - 0. 5 (V) 以上 + 4 (V) 以下とすべきである。さらに好ましくは、電源電圧 (図 1 では V d d) は、よりも 0 (V) 以上 + 2 (V) 以下とすべきである。つまり、ゲート信号線に印加するトランジスタのオフ電圧は、十分オフになるようにする。トランジスタが N

チャンネルの場合は、 V_{g1} がオフ電圧となる。したがって、 V_{g1} は GND 電圧に対して -4 (V) 以上 0.5 (V) 以下の範囲となるようにする。さらに好ましくは -2 (V) 以上 0 (V) 以下の範囲することが好ましい。

【0169】

以上の事項は、図1の電流プログラムの画素構成について述べたが、これに限定するものではなく、電圧プログラムの画素構成にも適用できることは言うまでもない。なお、電圧プログラムの V_t オフセットキャンセルは、R、G、Bごとに個別に補償することが好ましい。

【0170】

駆動用トランジスタ11bは、コンデンサ19に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流はチャンネルを介してEL素子15に流す。トランジスタ11aのゲートとトランジスタ11bのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流 I_w の電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。

【0171】

トランジスタ11bは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子15に流す。

【0172】

トランジスタ11bは、その閾電圧が画素内で対応するランジスタ11aの閾電圧より低くならない様に設定されている。具体的には、トランジスタ11bは、そのゲート長がトランジスタ11aのゲート長より短くならない様に設定されている。あるいは、トランジスタ11bは、そのゲート絶縁膜が画素内で対応するトランジスタ11aのゲート絶縁膜より薄くならないように設定しても良い。

【0173】

あるいは、トランジスタ11bは、そのチャンネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するトランジスタ11aの閾電圧より低くならない様に設定してもよい。仮に、トランジスタ11aとトランジスタ11bの閾電圧が同一となる様に設定した場合、共通接続されたトランジスタのゲートにカットオフレベルの信号電圧が印加されると、トランジスタ11a及びトランジスタ

1 1 b は両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、トランジスタ 1 1 a の閾電圧よりトランジスタ 1 1 b の閾電圧が低くなる場合がある。

【 0 1 7 4 】

この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用トランジスタ 1 1 b に流れる為、E L 素子 1 5 は微発光し画面のコントラスト低下が現れる。そこで、トランジスタ 1 1 b のゲート長をトランジスタ 1 1 a のゲート長よりも長くしている。これにより、トランジスタ 1 1 のプロセスパラメータが画素内で変動しても、トランジスタ 1 1 b の閾電圧がトランジスタ 1 1 a の閾電圧よりも低くならない様にする。

【 0 1 7 5 】

ゲート長 L が比較的短い短チャネル効果領域 A では、ゲート長 L の増加に伴い V_{th} が上昇する。一方、ゲート長 L が比較的大きな抑制領域 B ではゲート長 L に関わらず V_{th} はほぼ一定である。この特性を利用して、トランジスタ 1 1 b のゲート長をトランジスタ 1 1 a のゲート長よりも長くしている。例えば、トランジスタ 1 1 a のゲート長が $7 \mu m$ の場合、トランジスタ 1 1 b のゲート長を $10 \mu m$ 程度にする。

【 0 1 7 6 】

トランジスタ 1 1 a のゲート長が短チャネル効果領域 A に属する一方、トランジスタ 1 1 b のゲート長が抑制領域 B に属する様にしても良い。これにより、トランジスタ 1 1 b における短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。以上により、トランジスタ 1 1 b に流れるサブスレッショルドレベルのリーク電流を抑制して E L 素子 1 5 の微発光を抑え、コントラスト改善に寄与可能である。

【 0 1 7 7 】

このようにして作製した図 1、図 2、図 3 8 などで説明した E L 表示素子 1 5 に直流電圧を印加し、 10 mA/cm^2 の一定電流密度で連続駆動させた。E L 構造体は、 7.0 V 、 200 cd/cm^2 の緑色（発光極大波長 $\lambda_{\text{max}} = 460 \text{ nm}$ ）の発光が確認できた。青色発光部は、輝度 100 cd/cm^2 で、色座標が $x = 0.129$ 、

$y = 0.105$ 、緑色発光部は、輝度 200 cd/cm^2 で、色座標が $x = 0.340$ 、 $y = 0.625$ 、赤色発光部は、輝度 100 cd/cm^2 で、色座標が $x = 0.649$ 、 $y = 0.338$ の発光色が得られた。

フルカラー有機EL表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るトランジスタの面積を小さくすればよい。低温多結晶Siートランジスタはアモルファスシリコンに比較して10～100倍の性能を持ち、電流の供給能力が高いため、トランジスタの大きさを非常に小さくできる。したがって、有機EL表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【0178】

ゲートドライバ回路12あるいはソースドライバ回路14などの駆動回路をガラス基板71上に形成することにより、電流駆動の有機EL表示パネルで特に問題になる抵抗を下げるができる。TCPの接続抵抗がなくなるうえに、TCP接続の場合に比べて電極からの引き出し線が2～3mm短くなり配線抵抗が小さくなる。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点があるとする。

【0179】

次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図6はEL表示装置の回路を中心とした説明図である。画素16がマトリックス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ回路14が接続されている。ソースドライバ回路14の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。

【0180】

なお、1つのカレントミラー回路の最小出力電流は10 nA以上50 nAにしている。特にカレントミラー回路の最小出力電流は15 nA以上35 nAにすることがよい。ドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【0181】

また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBでことなるからである。

【0182】

以上に説明した画素構成、アレイ構成、パネル構成などは、以下に説明する構成、方法、装置に適用されることは言うまでもない。また、以下に説明する構成、方法、装置は、すでに説明した画素構成、アレイ構成、パネル構成などが適用されることは言うまでもない。

有機EL素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

【0183】

この場合は、選択するEL材料で一義的に決定されるから、マイコンなどのソフト制御する必要がない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよい。重要なのは発光色材料により温特が異なっている点であり、発光色（R、G、B）ごとに最適な温特補償を行う必要がある点である。

【0184】

R、G、Bの各EL素子の温特は一定範囲内にする必要がある。R、G、BのEL素子15の温特はない事が好ましいのはいうまでもない。少なくともR、G、Bの温特方向が同一方向か、もしくは変化しないようにする。また、変化は各

色摂氏10℃の変化で、2%以上8%以下で変化するようにすることが好ましい。中でも3%以上6%以下とすることが好ましい。

また、温特補償はマイコンでおこなってもよい。温度センサでEL表示パネルの温度を測定し、測定した温度によりマイコン（図示せず）などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、また、特定のメニュー表示を表示できるように制御してもよい。また、マウスなどを用いて切り替えできるように構成できる。また、EL表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【0185】

本発明ではソースドライバは半導体シリコンチップで形成し、ガラスオンチップ（COG）技術で基板71のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

【0186】

本発明はCOG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブICは電源IC82を別途作製し、3チップ構成としてもよい。

【0187】

また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミドフィルムと銅（Cu）箔を、接着剤を使わずに熱圧着することができる。接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープ向けフィルムにはこのほか、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方式と、ポリイミドフィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方式がある。これらのいずれでもよいが、接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30μm以

下のリード・ピッチには、接着剤を使わないCuはり積層板で対応する。接着剤を使わないCuはり積層板のうち、Cu層をメッキや蒸着で形成する方法はCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

【 0 1 8 8 】

一方、ゲートドライバ回路 1 2 は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路 1 4 に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ 1 2 をシリコンチップで形成し、COG 技術などを用いて基板 7 1 上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【 0 1 8 9 】

ゲートドライバ 1 2 はゲート信号線 1 7 a 用のシフトレジスタ回路 6 1 a と、ゲート信号線 1 7 b 用のシフトレジスタ回路 6 1 b とを内蔵する。各シフトレジスタ回路 6 1 は正相と負相のクロック信号（CLK x P、CLK x N）、スタートパルス（ST x）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロール IC 8 1 からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

【 0 1 9 0 】

シフトレジスタ回路 6 1 のバッファ容量は小さいため、直接にはゲート信号線 1 7 を駆動することができない。そのため、シフトレジスタ回路 6 1 の出力とゲート信号線 1 7 を駆動する出力ゲート 6 3 間には少なくとも 2 つ以上のインバータ回路 6 2 が形成されている。

【 0 1 9 1 】

ソースドライバ 1 4 を低温ポリシリなどのポリシリ技術で基板 7 1 上に直接形成する場合も同様であり、ソース信号線 1 8 を駆動するトランスファークゲートなどのアナログスイッチのゲートとソースドライバ回路 1 4 のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファークゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。

【 0 1 9 2 】

たとえば、図 6 ではソースドライバ 1 4 の出力が直接ソース信号線 1 8 に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファークゲートなどのアナログスイッチのゲートに接続されている。

【 0 1 9 3 】

インバータ回路 6 2 は P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタから構成される。先にも説明したようにゲートドライブ回路 1 2 のシフトレジスタ回路 6 1 の出力端にはインバータ回路 6 2 が多段に接続されており、その最終出力が出力ゲート回路 6 3 に接続されている。なお、インバータ回路 6 2 は P チャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【 0 1 9 4 】

図 8 は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コンとロール IC 8 1 からソースドライバ回路 1 4 a に供給する信号（電源配線、データ配線など）はフレキシブル基板 8 4 を介して供給する。

【 0 1 9 5 】

図 8 ではゲートドライバ 1 2 の制御信号はコントロール IC で発生させ、ソースドライバ 1 4 でいったん、レベルシフトを行った後、ゲートドライバ 1 2 に印加している。ソースドライバ 1 4 の駆動電圧は 4 ～ 8 (V) であるから、コントロール IC 8 1 から出力された 3. 3 (V) 振幅の制御信号を、ゲートドライバ

1 2 が受け取れる 5 (V) 振幅に変換することができる。

【0 1 9 6】

ソースドライバ 1 4 内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、2 6 万色表示データを 4 0 9 6 色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ 8 1 で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【0 1 9 7】

なお、図 8 などにおいて 1 4 をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図 8 などで説明する構成にあっても、図 9 などで説明する 3 辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【0 1 9 8】

表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバ IC (回路) 1 4、ゲートドライバ IC (回路) 1 2 を図 9 に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバ IC (回路) を実装（形成）する形態を 3 辺フリー構成（構造）と呼ぶ。従来は、表示領域の X 辺にゲートドライバ IC 1 2 が実装され、Y 辺にソースドライバ IC 1 4 が実装されていた）。画面 5 0 の中心線が表示装置の中心になるように設計し易く、また、ドライバ IC の実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで 3 辺フリーの構成で作製してもよい（つまり、図 9 のソースドライバ回路 1 4 とゲートドライバ回路 1 2 のうち、少なくとも一方をポリシリコン技術で基板 7 1 に直接形成する）。

【0 1 9 9】

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバIC（回路）14、ゲートドライバIC（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の一边（もしくはほぼ一边）にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0200】

図9のようにゲートドライバ回路12をソースドライバ回路14の横に配置すると、ゲート信号線17は辺Cの沿って形成し、画面表示領域50まで形成する必要がある。

【0201】

なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

【0202】

C辺に形成するゲート信号線17のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば $7\mu\text{m}$ 以下で寄生容量の影響が顕著に発生する。さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

【0203】

前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

【 0 2 0 4 】

図 9 の C 辺のゲート信号線 1 7 は I T O 電極で形成してもよいが、低抵抗化するため、I T O と金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。I T O と積層する場合は、I T O 上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくは I T O 上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【 0 2 0 5 】

なお、図 9 などにおいて、ゲート信号線 1 7 などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線 1 7 a を表示領域 5 0 の右側に配置（形成）し、ゲート信号線 1 7 b を表示領域 5 0 の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【 0 2 0 6 】

また、ソースドライバ I C 1 4 とゲートドライバ I C 1 2 とを 1 チップ化してもよい。1 チップ化すれば、表示パネルへの I C チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライバ I C 内で使用する各種電圧も同時に発生することができる。

【 0 2 0 7 】

なお、ソースドライバ I C 1 4、ゲートドライバ I C 1 2 はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 8 2 に直接形成してもよいことは言うまでもない。

【 0 2 0 8 】

図 1 など で 図 示 し た 構 成 で は E L 素 子 1 5 の ト ラ ン ジ ス タ 1 1 a を 介 し て V d d 電位に接続されている。しかし、各色を構成する有機 E L の駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり 0.01 (A) の電流を流した場合、青 (B) では E L 素子の端子電圧は 5 (V) であるが、緑 (

G) および赤 (R) では 9 (V) である。つまり、端子電圧が B と G、R で異なる。したがって、B と G、R では保持するトランジスタ 1 1 a のソースドレイン電圧 (S D 電圧) が異なる。そのため、各色でトランジスタのソースドレイン電圧 (S D 電圧) 間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態となる。

【0 2 0 9】

この課題に対応するため、少なくとも R、G、B 色のうち、1 つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくは R、G、B 色のうち、1 つの V d d の電位を他色の V d d の電位と異ならせるように構成している。

【0 2 1 0】

R、G、B の E L 素子 1 5 の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が 6 0 0 0 K 以上 9 0 0 0 K 以下の範囲で、R、G、B の E L 素子の端子電圧は 1 0 (V) 以下となるように材料あるいは構造選定をする必要がある。また、R、G、B のうち、E L 素子の最大の端子電圧と最小の端子電圧との差は、2. 5 (V) 以内にする必要がある。さらに好ましくは 1. 5 (V) 以下にする必要がある。なお、以上の実施例では、色は R G B としたがこれに限定するものではない。このことは後に説明する。

【0 2 1 1】

また、色ムラの補正も必要である。これは、各色の E L 材料を塗り分けるため、膜厚のバラツキ、特性のバラツキによって発生する。これを補正するため、3 0 % もしくは 7 0 % の輝度で白ラスタ表示を行い、表示領域 5 0 内の各色の面内分布を測定する。面内分布は少なくとも 3 0 画素に 1 ポイントずつは測定する。この測定データをメモリからなるテーブルに保存し、この保存されたデータを使用して、入力画像データを補正して表示画面 5 0 に表示するように構成する。

【0 2 1 2】

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルターで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBとイエローのように塗り分けても良い。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0213】

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

【0214】

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

【0215】

RGBなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数

の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が6000 K（ケルビン）以上9000 K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100 A/平方メートルとすれば、3原色がいずれも70 A/平方メートル以上130 A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85 A/平方メートル以上115 A/平方メートル以下となるようにする。

【0216】

また、隣接した画素行で、3原色の配置が異なるように配置することが好ましい。たとえば、偶数行目が、左からR、G、Bの配置であれば、奇数行目はB、G、Rの配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。さらに、1行目を左からR、G、B、R、G、Bの配置とし、2行目をG、B、R、G、B、Rの配置とし、3行目をB、R、G、B、R、Gの配置とするように、3画素行以上で、画素配置を異ならせてもよい。もちろん、R、G、Bの画素配置もしくは、シアン、イエロー、マゼンダなどの色配置は、デルタ配置（1/2画素ずらす配置）としてもよいことは言うまでもない。

【0217】

有機EL15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0218】

この課題に対処するため、本発明ではゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50 nm以上150 nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニングが困難になる。

【 0 2 1 9 】

遮光膜上に 20 以上 100 nm 以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量 19 の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量 19 の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（HA）構造の画素電極が形成される。

【 0 2 2 0 】

ドライバ回路 12 などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ 12 などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【 0 2 2 1 】

しかし、ドライバ 12 の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路 12 などの上に少なくとも 1 層、好ましくは複数層の有機 EL 膜を画素電極上の有機 EL 膜形成と同時に形成する。

【 0 2 2 2 】

基本的に有機 EL 膜は絶縁物であるから、ドライバ上に有機 EL 膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

【 0 2 2 3 】

画素の 1 つ以上のトランジスタ 11 の端子間あるいはトランジスタ 11 と信号線とが短絡すると、EL 素子 15 が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素 16 を検出し、コンデンサ 19 にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ 19 には電荷を保持できなくなるので、トランジスタ 11 a は電流を流さなくすることができる。

【 0 2 2 4 】

なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ 1 9 の端子電極とカソード膜とがショートすることを防止するためである。

【 0 2 2 5 】

画素 1 6 のトランジスタ 1 1 の欠陥は、ドライバ I C 1 4 などにも影響を与える。例えば、図 5 6 では駆動トランジスタ 1 1 a にソースドレイン (S D) ショート 5 6 2 が発生していると、パネルの V d d 電圧がソースドライバ I C 1 4 に印加される。したがって、ソースドライバ I C 1 4 の電源電圧は、パネルの電源電圧 V d d と同一かもしくは高くしておくことが好ましい。なお、ソースドライバ I C で使用する基準電流は電子ボリウム 5 6 1 で調整できるように構成しておくことが好ましい。

【 0 2 2 6 】

トランジスタ 1 1 a に S D ショート 5 6 2 が発生していると、E L 素子 1 5 に過大な電流が流れる。つまり、E L 素子 1 5 が常時点灯状態 (輝点) となる。輝点は欠陥として目立ちやすい。たとえば、図 5 6 において、トランジスタ 1 1 a のソースドレイン (S D) ショートが発生していると、トランジスタ 1 1 a のゲート (G) 端子電位の大小に関わらず、V d d 電圧から E L 素子 1 5 に電流が常時流れる (トランジスタ 1 1 d がオンの時) 。したがって、輝点となる。

【 0 2 2 7 】

一方、トランジスタ 1 1 a に S D ショートが発生していると、トランジスタ 1 1 c がオン状態の時、V d d 電圧がソース信号線 1 8 に印加されソースドライバ 1 4 に V d d 電圧が印加される。もし、ソースドライバ 1 4 の電源電圧が V d d 以下であれば、耐圧を越えて、ソースドライバ 1 4 が破壊される恐れがある。そのため、ソースドライバ 1 4 の電源電圧は V d d 電圧 (パネルの高い方の電圧) 以上にすることが好ましい。

【 0 2 2 8 】

トランジスタ 1 1 a の S D ショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネル

としては不良となる。したがって、図56のトランジスタ11aとEL素子15間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。なお、光学手段とはレーザーに限定されるものではなく、キセノンランプなどから発生する光を集光し、この集光した光で配線を切断する方式でもよい。また、切断箇所にサンドブラスト方式で切断（微粒子の砂を吹き付け、切断する）する方法を採用してもよい。つまり、切断手段としては何を用いても良い。しかし、レーザーなどの光学手段を用いる方法は切断箇所に非接触で加工を行うことができ好ましい。

【0229】

なお、レーザー光は連続方式のものよりは、Qスイッチを用いたパルス発振のものを採用することが好ましい。また、切断箇所には複数のレーザーパルスが照射されるようにする。そして、レーザーのパルス間隔は0.1 msec以上100 msec以下にすることが好ましい。特に1 msec以上10 msec以下にすることが好ましい。この間隔では、先に照射したレーザー光による加工箇所の溶融状態が継続しており、良好な切断あるいは加工が実施できるからである。また、レーザー光の波長は1 μ m前後が好ましい。この波長のレーザーとしてはYAGレーザーが例示される。もちろん、他のレーザーでもよい。たとえば、炭酸ガスレーザー、エキシマレーザー、ネオンヘリウムレーザーなどが例示される。

【0230】

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図1でもわかるように、トランジスタ11aの電源Vddが、トランジスタ11aのゲート（G）端子に常時印加されるように修正してもよい。たとえば、コンデンサ19の2つの電極間をショートさせれば、Vdd電圧がトランジスタ11aのゲート（G）端子に印加されるようになる。したがって、トランジスタ11aは完全にオフ状態になり、EL素子15に電流を流さなくすることができる。これは、コンデンサ19にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。また、実際には、画素電極の下層にVdd配線が配置されているから、Vdd配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御（修正

) することができる。

【 0 2 3 1 】

その他、トランジスタ 1 1 a の S D 間 (チャンネル) をオープンにすることも実現できる。簡単にはトランジスタ 1 1 a にレーザー光を照射し、トランジスタ 1 1 a のチャンネルをオープンにする。同様に、トランジスタ 1 1 d のチャンネルをオープンにしてもよい。もちろん、トランジスタ 1 1 b のチャンネルをオープンしても該当画素 1 6 が選択されないから、黒表示となる。

【 0 2 3 2 】

画素 1 6 を黒表示するためには、E L 素子 1 5 を劣化させてもよい。たとえば、レーザー光を E L 層 1 5 に照射し、E L 層 1 5 を物理的にあるいは化学的に劣化させ、発光しないようにする (常時黒表示)。レーザー光の照射により E L 層 1 5 を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、E L 膜 1 5 の化学的変化を容易に行うことができる。

【 0 2 3 3 】

なお、以上の実施例は、図 1 に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは図 6 2、図 5 1 などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。

【 0 2 3 4 】

カソード (もしくはアノード) 電極が透明電極の場合、画素電極を反射タイプとし共通電極を透明電極 (I T O、I Z O など) にする光上取り出しの構造 (ガラス基板 7 1 側から光を取り出すのは下取出し、E L 膜蒸着面から光を取り出すのが上取り出し) の場合は、透明電極のシート抵抗値が問題となる。透明電極は高抵抗であるが、有機 E L のカソードには高い電流密度で電流を流す必要がある。したがって、I T O 膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【 0 2 3 5 】

この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配

線を形成すればよい。低抵抗化配線は液晶表示パネルのブラックマトリックス（BM）と同様の構成（クロムまたはアルミ材料で50nm～200nmの膜厚）で、かつ同様の位置（画素電極間、ドライバ12の上など）である。しかし、有機ELではBMを形成する必要はないから機能は全く異なる。なお、低抵抗化配線は透明電極の表面に限定するものではなく、裏面（有機EL膜と接する面）に形成してもよい。また、BM状に形成した金属膜として、Mg・Ag、Mg・Li、Al・Liなどの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、BM上には腐食などを防止するため、さらにITO、IZO膜を積層し、また、 SiN_x 、 SiO_2 などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【0236】

また、EL膜の蒸着面から光を取り出す場合（上取り出し）の場合は、有機EL膜15上のMg-Al膜を形成し、その上にITO、IZO膜を形成することが好ましい。また、有機EL膜15上のMg-Al膜を形成し、その上にブラックマトリックス（液晶表示パネルのようなブラックマトリックス）を形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、 SiO_2 、 SiN_x などの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜（AIRコート）を形成する。

【0237】

AIRコートは3層の構成あるいは2層構成がある。3層構成の場合は酸化アルミニウム（ Al_2O_3 ）を光学的膜厚が $nd = \lambda/4$ 、ジルコニウム（ ZrO_2 ）を $nd1 = \lambda/2$ 、フッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda/4$ 積層して形成する。通常、 λ として520nmもしくはその近傍の値として薄膜は形成される。

【0238】

2層構成の場合は一酸化シリコン（ SiO ）を光学的膜厚 $nd1 = \lambda/4$ とフッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda/4$ 、もしくは酸化イットリウム（ Y_2O_3 ）とフッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda/4$ 積層して形成する。

【0239】

1層の場合は、フッ化マグネシウム (MgF_2) を $nd1 = \lambda / 2$ 積層して形成する。

【0240】

なお、下取り出しの場合であっても、カソード電極106の金属膜の透過率を高くすることは効果がある。基板71側から表示画像を見る構成であっても、金属膜の透過率を高いため、写り込みが減少するからである。写り込みが減少すれば、円偏光板（位相板）108は不要となる。したがって、上取り出しよりも光取り出し効率が向上する場合がある。金属膜の透過率は、60%以上90%以下にすることが好ましい。特に70%以上90%以下にすることが好ましい。60%以下であるとカソード電極のシート抵抗値が低くなる。しかし、写り込みが大きくなる。逆に90%以上ではカソード電極のシート抵抗値が高くなる。したがって、表示画像の輝度傾斜が大きくなる。

【0241】

金属膜の透過率を高くするにはAl膜を薄く形成する。厚みは20nm以上100nm以下に形成する。その上にITO、IZO膜を形成することが好ましい。また、Al膜上にブラックマトリックスを形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、 SiO_2 、 SiN_x などの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜（AIRコート）を形成することが好ましい。

【0242】

なお、EL膜15または画素電極105は、円弧状に限定するものではなく、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でもよい。また、1画素に微細な円弧上、三角錐状、円錐状、サインカーブ状が形成されたり、これらが組み合わされたり、もしくは、ランダムな凹凸が形成された構成であっても良い。

【0243】

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術に

において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ 1 1 特性のバラツキとなる。しかし、1 画素 1 6 内のトランジスタ 1 1 の特性が一致していれば、図 1 などの電流プログラムを行う方式では、所定の電流が E L 素子 1 5 に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【 0 2 4 4 】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相 (C G S) 成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

【 0 2 4 5 】

この課題に対して、本発明では図 7 に示すように、アニールの時のレーザー照射スポット (レーザー照射範囲) 7 2 をソース信号線 1 8 に平行に照射する。また、1 画素列に一致するようにレーザー照射スポット 7 2 を移動させる。もちろん、1 画素列に限定するものではなく、たとえば、R G B を 1 画素 1 6 という単位でレーザーを照射してもよい (この場合は、3 画素列ということになる)。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない (通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である)。

【 0 2 4 6 】

画素は R G B の 3 画素で正方形の形状となるように作製されている。したがって、R、G、B の各画素は縦長の画素形状となる。したがって、レーザー照射スポット 7 2 を縦長にしてアニールすることにより、1 画素内ではトランジスタ 1 1 の特性バラツキが発生しないようにすることができる。また、1 つのソース信号線 1 8 に接続されたトランジスタ 1 1 の特性 (モビリティ、 V_t 、S 値など) を均一にすることができる (つまり、隣接したソース信号線 1 8 のトランジスタ 1 1 とは特性が異なる場合があるが、1 つのソース信号線に接続されたトランジスタ 1 1 の特性はほぼ等しくすることができる)。

【 0 2 4 7 】

一般的にレーザー照射スポット 7 2 の長さは 1 0 インチというように固定値である。このレーザー照射スポット 7 2 を移動させるのであるから、1 つのレーザー照射スポット 7 2 を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域 5 0 の中央部でレーザー照射スポット 7 2 が重ならないようにする）。

【 0 2 4 8 】

図 7 の構成では、レーザー照射スポット 7 2 の長さの範囲内に 3 つのパネルが縦に配置されるように形成されている。レーザー照射スポット 7 2 を照射するアニール装置はガラス基板 7 4 の位置決めマーカー 7 3 a、7 3 b を認識（パターン認識による自動位置決め）してレーザー照射スポット 7 2 を移動させる。位置決めマーカー 7 3 の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー 7 3 を認識し、画素列の位置をわりだす（レーザー照射スポット 7 2 がソース信号線 1 8 と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット 7 2 を照射してアニールを順次行う。

【 0 2 4 9 】

図 7 で説明したレーザーアニール方法（ソース信号線 1 8 に平行にライン状のレーザー照射スポットを照射する方式）は、有機 E L 表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ 1 1 の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

【 0 2 5 0 】

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ 1 1 a に流す電流はほぼ同一のため、ソースドライバ I C 1 4 から出力する電流振幅の変化が少ない。もし、図 1 のトランジスタ 1 1 a の特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線 1 8 の電位は一定である。したがって、ソース信号線 1 8 の電位変動は発生しない。1 つのソース信号線 1 8 に接続されたトランジスタ 1 1 a の特性が

ほぼ同一であれば、ソース信号線 1 8 の電位変動は小さいことになる。このことは、図 3 8 などの他の電流プログラム方式の画素構成でも同一である（つまり、図 7 の製造方法を適用することが好ましい）。

【 0 2 5 1 】

また、図 2 7、図 3 0 などでは説明する複数の画素行を同時書き込みする方式で均一な画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図 2 7 などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路 1 4 で吸収できる。

【 0 2 5 2 】

なお、図 7 では、ソースドライバ回路 1 4 は、IC チップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路 1 4 を画素 1 6 と同一プロセスで形成してもよいことは言うまでもない。

【 0 2 5 3 】

以下、図 1 の画素構成について、その駆動方法について説明をする。図 1 に示すように、ゲート信号線 1 7 a は行選択期間に導通状態（ここでは図 1 のトランジスタ 1 1 が p チャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線 1 7 b は非選択期間時に導通状態とする。

【 0 2 5 4 】

ソース信号線 1 8 には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線 1 8 とゲート信号線 1 7 とのクロス部の容量、トランジスタ 1 1 b、1 1 c のチャンネル容量などにより発生する。

【 0 2 5 5 】

ソース信号線 1 8 の電流値変化に要する時間 t は浮遊容量の大きさを C 、ソース信号線の電圧を V 、ソース信号線に流れる電流を I とすると $t = C \cdot V / I$ であるため電流値を 10 倍大きくできることは電流値変化に要する時間が 10 分の 1 近くまで短くできる。またはソース容量が 10 倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【 0 2 5 6 】

入力電流を 1 0 倍にすると出力電流も 1 0 倍となり、E L の輝度が 1 0 倍となるため所定の輝度を得るために、図 1 のトランジスタ 1 7 d の導通期間を従来の 1 0 分の 1 とし、発光期間を 1 0 分の 1 とすることで、所定輝度を表示するようにした。

【 0 2 5 7 】

つまり、ソース信号線 1 8 の寄生容量の充放電を十分に行い、所定の電流値を画素 1 6 のトランジスタ 1 1 a にプログラムを行うためには、ソースドライバ 1 4 から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線 1 8 に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流が E L 素子 1 5 に流れる。たとえば、1 0 倍の電流でプログラムすれば、当然、1 0 倍の電流が E L 素子 1 5 に流れ、E L 素子 1 5 は 1 0 倍の輝度で発光する。所定の発光輝度にするためには、E L 素子 1 5 に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線 1 8 の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【 0 2 5 8 】

なお、1 0 倍の電流値を画素のトランジスタ 1 1 a (正確にはコンデンサ 1 9 の端子電圧を設定している) に書き込み、E L 素子 1 5 のオン時間を $1/10$ にするとしたがこれは一例である。場合によっては、1 0 倍の電流値を画素のトランジスタ 1 1 a に書き込み、E L 素子 1 5 のオン時間を $1/5$ にしてもよい。逆に 1 0 倍の電流値を画素のトランジスタ 1 1 a に書き込み、E L 素子 1 5 のオン時間を $1/2$ 倍にする場合もあるであろう。

【 0 2 5 9 】

本発明は、画素への書き込み電流を所定値以外の値にし、E L 素子 1 5 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N 倍の電流値を画素のトランジスタ 1 1 に書き込み、E L 素子 1 5 のオン時間を $1/N$ 倍にするとして説明する。しかし、これに限定するものではなく、N 1 倍の電流値を画素のトランジスタ 1 1 に書き込み、E L 素子 1 5 のオン時間を $1/N2$ 倍 (N 1 と N 2 とは異なる) でもよいことは言うまでもない。な

お、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、RGBで異なっているてもよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい

また、説明を容易にするため、 $1/N$ を1F（1フィールドまたは1フレーム）を基準にしてこの1Fを $1/N$ にすると説明する。しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（1H））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。

【0260】

有機（無機）EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0261】

本発明では、 $1F/N$ の期間の間だけ、EL素子15に電流を流し、他の期間（ $1F(N-1)/N$ ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態で見ると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0262】

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持さ

れる。したがって、黒挿入表示を実施しようとするとき液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバIC14の動作クロックを高くし、画像データを黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとするとき回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0263】

図1、図2、図38などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0264】

本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 I_w をオフしても、画像データはそのままコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現しようとする際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

【0265】

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を10倍以上にしてやればよい。一般にソース電流値をN倍にした場合、ゲート信号線17b（トランジスタ11d）の導通期間を $1F/N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

【 0 2 6 6 】

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線 1 8 の寄生容量は、隣接したソース信号線 1 8 間の結合容量、ソースドライブ I C (回路) 1 4 のバッファ出力容量、ゲート信号線 1 7 とソース信号線 1 8 とのクロス容量などにより発生する。この寄生容量は通常 1 0 p F 以上となる。電圧駆動の場合は、ドライバ I C 1 4 からは低インピーダンスで電圧がソース信号線 1 8 に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【 0 2 6 7 】

しかし、電流駆動では特に黒レベルの画像表示では 5 n A 以下の微小電流で画素のコンデンサ 1 9 をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1 画素行にプログラムする時間 (通常、1 H 以内、ただし、2 画素行を同時に書き込む場合もあるので 1 H 以内に限定されるものではない。) 内に寄生容量を充放電することができない。1 H 期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【 0 2 6 8 】

図 1 の画素構成の場合、図 3 (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 1 8 に流れる。この電流 I_w がトランジスタ 1 1 a を流れ、 I_w を流す電流が保持されるように、コンデンサ 1 9 に電圧設定 (プログラム) される。このとき、トランジスタ 1 1 d はオープン状態 (オフ状態) である。

【 0 2 6 9 】

次に、E L 素子 1 5 に電流を流す期間は図 3 (b) のように、トランジスタ 1 1 c、1 1 b がオフし、トランジスタ 1 1 d が動作する。つまり、ゲート信号線 1 7 a にオフ電圧 (V_{gh}) が印加され、トランジスタ 1 1 b、1 1 c がオフする。一方、ゲート信号線 1 7 b にオン電圧 (V_{gl}) が印加され、トランジスタ 1 1 d がオンする。

【 0 2 7 0 】

今、電流 I_1 が本来流す電流 (所定値) の N 倍であるとする、図 3 (b)

のEL素子15に流れる電流も I_w となる。したがって、所定値の10倍の輝度でEL素子15は発光する。つまり、図12に図示するように、倍率 N を高くするほど、表示パネルの表示輝度 B も高くなる。したがって、倍率と輝度とは比例関係となる。逆に、 $1/N$ と駆動することにより、輝度と倍率とは反比例の関係となる。

【0271】

そこで、トランジスタ11dを本来オンする時間(約1F)の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ (全画面を1とする)が点灯している点である(CRTでは、点灯している範囲は1画素行(厳密には1画素である))。

【0272】

本発明では、この $1F/N$ の画像表示領域53が図13(b)に示すように画面50の上から下に移動する。本発明では、 $1F/N$ の間だけ、EL素子15に電流が流れ、他の期間 $(1F \cdot (N-1)/N)$ は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0273】

なお、図13に図示するように、書き込み画素行51aは非点灯表示52aとする。しかし、これは、図1、図2などの画素構成の場合である。図38などで図示するカレントミラーの画素構成では、書き込み画素行51aは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図1の画素構成を例示して説明をする。また、図13、図16などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法を N 倍パルス駆動と呼ぶ。

【0274】

この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示(間欠表示)状

態となる。液晶表示パネル（本発明以外のEL表示パネル）では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

【0275】

このタイミングチャートを図14に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図1であるとする。図14でわかるように、各選択された画素行（選択期間は、1Hとしている）において、ゲート信号線17aにオン電圧（ V_{g1} ）が印加されている時（図14（a）を参照）には、ゲート信号線17bにはオフ電圧（ V_{gh} ）が印加されている（図14（b）を参照）。また、この期間は、EL素子15には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線17aにオフ電圧（ V_{gh} ）が印加され、ゲート信号線17bにはオン電圧（ V_{g1} ）が印加されている。また、この期間は、EL素子15に電流が流れている（点灯状態）。また、点灯状態では、EL素子15は所定のN倍の輝度（ $N \cdot B$ ）で点灯し、その点灯期間は $1F/N$ である。したがって、1Fを平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ （所定輝度）となる。

【0276】

図15は、図14の動作を各画素行に適用した実施例である。ゲート信号線17に印加する電圧波形を示している。電圧波形はオフ電圧を V_{gh} （Hレベル）とし、オン電圧を V_{g1} （Lレベル）としている。（1）（2）などの添え字は選択している画素行番号を示している。

【0277】

図15において、ゲート信号線17a（1）が選択され（ V_{g1} 電圧）、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示

するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。したがって、コンデンサ 1 9 には 1 0 倍に電流がトランジスタ 1 1 a に流れるようにプログラムされる。画素行 (1) が選択されている時は、図 1 の画素構成ではゲート信号線 1 7 b (1) はオフ電圧 (V_{gh}) が印加され、EL 素子 1 5 には電流が流れない。

【 0 2 7 8 】

1 H 後には、ゲート信号線 1 7 a (2) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 1 0$ として説明する) である。したがって、コンデンサ 1 9 には 1 0 倍に電流がトランジスタ 1 1 a に流れるようにプログラムされる。画素行 (2) が選択されている時は、図 1 の画素構成ではゲート信号線 1 7 b (2) はオフ電圧 (V_{gh}) が印加され、EL 素子 1 5 には電流が流れない。しかし、先の画素行 (1) のゲート信号線 1 7 a (1) にはオフ電圧 (V_{gh}) が印加され、ゲート信号線 1 7 b (1) にはオン電圧 (V_{g1}) が印加されるため、点灯状態となっている。

【 0 2 7 9 】

次の 1 H 後には、ゲート信号線 1 7 a (3) が選択され、ゲート信号線 1 7 b (3) はオフ電圧 (V_{gh}) が印加され、画素行 (3) の EL 素子 1 5 には電流が流れない。しかし、先の画素行 (1) (2) のゲート信号線 1 7 a (1) (2) にはオフ電圧 (V_{gh}) が印加され、ゲート信号線 1 7 b (1) (2) にはオン電圧 (V_{g1}) が印加されるため、点灯状態となっている。

【 0 2 8 0 】

以上の動作を 1 H の同期信号に同期して画像を表示していく。しかし、図 1 5 の駆動方式では、EL 素子 1 5 には 1 0 倍の電流が流れる。したがって、表示画面 5 0 は約 1 0 倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面 5 2) 挿入により所定の輝度を得るの

は本発明の基本的な主旨である。

【0281】

なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど）、ダミーEL素子とEL素子15に分流して電流を流しても良い。たとえば、信号電流が $0.2\mu\text{A}$ のとき、プログラム電流を $2.2\mu\text{A}$ として、トランジスタ11aには $2.2\mu\text{A}$ を流す。この電流のうち、信号電流 $0.2\mu\text{A}$ をEL素子15に流して、 $2\mu\text{A}$ をダミーのEL素子に流すなどの方式が例示される。

【0282】

以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動トランジスタ11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりは十分小さい電流をながることができることになる。以上の方法では、図5に図示するように、非点灯領域52を設けることなく、全表示領域50を画像表示領域53とすることができる。

【0283】

図13(a)は表示画像50への書き込み状態を図示している。図13(a)において、51aは書き込み画素行である。ソースドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、図13などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、 0.5H 期間でも、 2H 期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式でもよい。

【0284】

図13(a)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がトランジスタ11aにプログラムされる。この時、ゲート信号線

17bはオフ電圧が印加されEL素子15には電流が流れない。これは、EL素子15側にトランジスタ11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図1の構成を例にすれば、図1.3(b)で示すように電流を書き込まれている画素行は非点灯領域52となる。

【0285】

今、N（ここでは、先に述べたように $N=10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示領域50の90%の範囲を非点灯領域52とすればよい。したがって、画像表示領域の水平走査線がQCIFの220本（ $S=220$ ）とすれば、22本と表示領域53とし、 $220-22=198$ 本を非表示領域52とすればよい。一般的に述べれば、水平走査線（画素行数）をSとすれば、 S/N の領域を表示領域53とし、この表示領域53をN倍の輝度で発光させる。そして、この表示領域53を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域52とする。この非点灯領域は黒表示（非発光）である。また、この非発光部52はトランジスタ11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値と調整することはいうまでもない。

【0286】

また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍になり、表示領域50の90%の範囲を非点灯領域52とすればよいとした。しかし、これは、RGBの画素を共通に非点灯領域52とすることに限定するものではない。例えば、Rの画素は、 $1/8$ を非点灯領域52とし、Gの画素は、 $1/6$ を非点灯領域52とし、Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変化させてもよい。また、RGBの色で個別に非点灯領域52（あるいは点灯領域53）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整すること

が可能になり、各階調において色のバランス調整が容易になる（図41を参照のこと）。

【0287】

図13（b）に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面のS/N（時間的には1F/N）の範囲を表示領域53とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

【0288】

図13の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0289】

この課題に対しては、図16に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図13の明るさと同等になる。なお、分割された表示領域53は等しく（等分に）する必要はない。また、分割された非表示領域52も等しくする必要はない。

【0290】

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほど動画表示性能は低下する。

【0291】

図17はゲート信号線17の電圧波形およびELの発光輝度を図示している。図17で明らかなように、ゲート信号線17bをVg1にする期間（1F/N）を複数に分割（分割数K）している。つまり、Vg1にする期間は $1F/(K/N)$ の期間をK回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変で

きるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0292】

なお、図17などにおいて、ゲート信号線17bをVg1にする期間($1F/N$)を複数に分割(分割数K)し、Vg1にする期間は $1F/(K/N)$ の期間をK回実施するとしたがこれ限定するものではない。 $1F/(K/N)$ の期間をL($L \neq K$)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより画像50を表示するものである。したがって、 $1F/(K/N)$ の期間をL($L \neq K$)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では50%の輝度(コントラスト)変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。

【0293】

以上の実施例は、EL素子15に流れる電流を遮断し、また、EL素子に流れる電流を接続することにより、表示画面50をオンオフ(点灯、非点灯)するものであった。つまり、コンデンサ19に保持された電荷によりトランジスタ11aに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面50をオンオフ(点灯、非点灯)する方式でもよい。

【0294】

図18は図16の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形である。図18と図15の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(Vg1とVgh)動作する。他の点は図15と同一であるので説明を省略する。

【 0 2 9 5 】

E L 表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図 1 の構成においては、トランジスタ 1 1 d をオンオフ操作するだけで、図 3 8 の構成においては、トランジスタ素子 1 1 e をオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ 1 9 に画像データがメモリ（アナログ値であるから階調数は無限大）されているためである。つまり、各画素 1 6 に、画像データは 1 F の期間中は保持されている。この保持されている画像データに相当する電流を E L 素子 1 5 に流すか否かをトランジスタ 1 1 d、1 1 e の制御により実現しているのである。

【 0 2 9 6 】

コンデンサ 1 9 の端子電圧を維持することは重要である。1 フィールド（フレーム）期間でコンデンサ 1 9 の端子電圧が変化（充放電）すると、画面輝度が変わり、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ 1 1 a が 1 フレーム（1 フィールド）期間で E L 素子 1 5 に流す電流は、少なくとも 6 5 % 以下に低下しないようにする必要がある。この 6 5 % とは、画素 1 6 に書き込み、E L 素子 1 5 に流す電流の最初が 1 0 0 % とした時、次のフレーム（フィールド）で前記画素 1 6 に書き込む直前の E L 素子 1 5 に流す電流が 6 5 % 以上とすることである。

【 0 2 9 7 】

図 1 の画素構成では、間欠表示を実現する場合としない場合では、1 画素を構成するトランジスタ 1 1 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 1 8 の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、C R T に近い動画表示を実現しているのである。

【 0 2 9 8 】

また、ゲートドライバ回路 1 2 の動作クロックはソースドライバ回路 1 4 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

【 0 2 9 9 】

なお、画像表示方向（画像書き込み方向）は、1フィールド（1フレーム）目では画面の上から下方向とし、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【0300】

さらに、1フィールド（1フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

【0301】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1フィールド目では画面の上から下方向とし、つぎの第2フィールド目では画面の下から上方向としてもよい。以上の事項は他の本発明の実施例でも同様である。

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈するべきである。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

【0302】

基本的には表示領域53の輝度（明るさ）が所定値に維持される場合、表示領域53の面積が広がるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100（nt）の場合、表示領域53が全画面50に占める割合が10%から20%にすれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。

【0303】

表示領域 5 3 の面積はシフトレジスタ 6 1 へのデータパルス (S T 2) を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図 1 6 の表示状態と図 1 3 の表示状態とを切り替えることができる。1 F 周期でのデータパルス数を多くすれば、画面 5 0 は明るくなり、少なくすれば、画面 5 0 は暗くなる。また、連続してデータパルスを印加すれば図 1 3 の表示状態となり、間欠にデータパルスを入力すれば図 1 6 の表示状態となる。

【 0 3 0 4 】

図 1 9 (a) は図 1 3 のように表示領域 5 3 が連続している場合の明るさ調整方式である。図 1 9 (a 1) の画面 5 0 の表示輝度が最も明るい。図 1 9 (a 2) の画面 5 0 の表示輝度が次に明るく、図 1 9 (a 3) の画面 5 0 の表示輝度が最も暗い。図 1 9 (a 1) から図 1 9 (a 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、図 1 の V d d 電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面 5 0 の輝度変化を実施できる。また、図 1 9 (a 1) から図 1 9 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、画面 5 0 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面 5 0 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 6 4 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の 6 4 階調表示を実現できる。

【 0 3 0 5 】

図 1 9 (b) は図 1 6 のように表示領域 5 3 が分散している場合の明るさ調整方式である。図 1 9 (b 1) の画面 5 0 の表示輝度が最も明るい。図 1 9 (b 2) の画面 5 0 の表示輝度が次に明るく、図 1 9 (b 3) の画面 5 0 の表示輝度が最も暗い。図 1 9 (b 1) から図 1 9 (b 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 1 9 (b) のように表示領域 5 3 を分散させ

れば、低フレームレートでもフリッカが発生しない。

【0306】

さらに低フレームレートでも、フリッカが発生しないようにするには、図19(c)のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図19(a)の駆動方法が適している。静止面を表示し、低消費電力化を要望する時は、図19(c)の駆動方法が適している。図19(a)から図19(c)の駆動方法の切り替えも、シフトレジスタ61の制御により容易に実現できる。

【0307】

図20はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する（ソース信号線18に流す電流を10倍にする）。

図20で説明する本発明は、画素行は同時にK画素行を選択する。ソースドライバIC14からは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流の N/K 倍の電流がプログラムされる。EL素子15を所定発光輝度とするために、EL素子15に流れる時間を1フレーム（1フィールド）の K/N 時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

【0308】

つまり、1フレーム（1フィールド）の K/N の間だけ、EL素子15に電流を流し、他の期間（ $1F(N-1)K/N$ ）は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソ

ース信号線 1 8 には N 倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

【 0 3 0 9 】

図 2 1 は、図 2 0 の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を V_{gh} (Hレベル) とし、オン電圧を V_{gl} (Lレベル) としている。各信号線の添え字は画素行の番号 ((1) (2) (3) など) を記載している。なお、行数は Q C I F 表示パネルの場合は 2 2 0 本であり、VGA パネルでは 4 8 0 本である。

【 0 3 1 0 】

図 2 1 において、ゲート信号線 1 7 a (1) が選択され (V_{gl} 電圧)、選択された画素行のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行 5 1 a が画素行 (1) 番目であるとして説明する。

【 0 3 1 1 】

また、ソース信号線 1 8 に流れるプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 1 0$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。また、5 画素行が同時に選択 ($K = 5$) として説明をする。したがって、理想的には 1 つの画素のコンデンサ 1 9 には 2 倍 ($N / K = 1 0 / 5 = 2$) に電流がトランジスタ 1 1 a に流れるようにプログラムされる。

【 0 3 1 2 】

書き込み画素行が (1) 画素行目である時、図 2 1 で図示したように、ゲート信号線 1 7 a は (1) (2) (3) (4) (5) が選択されている。つまり、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、ゲート信号線 1 7 b はゲート信号線 1 7 a の逆位相となっている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。

【 0 3 1 3 】

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す（つまり、ソース信号線18には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明のN倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の10倍の電流がソース信号線18に流れる）。

【0314】

以上の動作（駆動方法）により、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性（ V_t 、S値）が一致しているとして説明をする。

【0315】

同時に選択する画素行が5画素行（ $K=5$ ）であるから、5つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、本来、書き込む電流 I_w とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

【0316】

したがって、4画素行51bにおいて、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。ただし、図38のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では、場合によっては表示状態としてもよい。

【0317】

次の、1H後には、ゲート信号線17a（1）は非選択となり、ゲート信号線17bにはオン電圧（ V_{g1} ）が印加される。また、同時に、ゲート信号線17a（6）が選択され（ V_{g1} 電圧）、選択された画素行（6）のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流

れる。このように動作することのより、画素行（1）には正規の画像データが保持される。

【0318】

次の、1H後には、ゲート信号線17a（2）は非選択となり、ゲート信号線17bにはオン電圧（ V_{g1} ）が印加される。また、同時に、ゲート信号線17a（7）が選択され（ V_{g1} 電圧）、選択された画素行（7）のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することのより、画素行（2）には正規の画像データが保持される。以上の動作と1画素行づつシフトしながら走査することにより1画面が書き換えられる。

図20の駆動方法では、各画素には2倍の電流（電圧）でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。これを所定の輝度とするためには、図16に図示するように、書き込み画素行51を含み、かつ表示領域50の1/2の範囲を非表示領域52とすればよい。

【0319】

図13と同様に、図20のように1つの表示領域53が画面の上から下方向に移動すると、フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0320】

この課題に対しては、図22に図示するように、表示領域53を複数に分割するとよい。分割された非表示領域52を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

【0321】

図23はゲート信号線17に印加する電圧波形である。図21と図23との差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（ V_{g1} と V_{gh} ）動作する。他の点は図21とほぼ同一あるいは類推できるので説明を省略する。

【 0 3 2 2 】

以上のように、表示領域 5 3 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特に E L 素子 1 5 の応答性は速いため、 $5 \mu \text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

【 0 3 2 3 】

本発明の駆動方法において、E L 素子 1 5 のオンオフは、ゲート信号線 1 7 b に印加する信号のオンオフで制御できる。そのため、クロック周波数は K H z オーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域 5 2 挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【 0 3 2 4 】

図 2 4 は同時に選択する画素行が 2 画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2 画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ 1 1 a の特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線 1 8 と平行に照射することで良好な結果が得られた。

【 0 3 2 5 】

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用した T F T の V_t 、モビリティがほぼ等しくなるためである。したがって、ソース信号線 1 8 の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線 1 8 に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に

近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図 2 4 などで説明する駆動方式とは相乗効果がある。

【 0 3 2 6 】

以上のように、レーザーショットの方向をソース信号線 1 8 の形成方向と略一致させることにより、画素の上下方向の T F T 1 1 a の特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向の T F T 1 1 a の特性が一致していなくとも）。以上の動作は、1 H（1 水平走査期間）に同期して、1 画素行あるいは複数画素行づつ選択画素行位置をずらせて実施する。なお、本発明は、レーザーショットの方向をソース信号線 1 8 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 1 8 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 1 8 に沿った画素の上下方向の T F T 1 1 a の特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するという意味はソース信号線 1 8 の沿った任意の画素の上または下に隣接した画素を、1 つのレーザー照射範囲に入るように形成するということである。また、ソース信号線 1 8 とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

【 0 3 2 7 】

なお、本発明の実施例では 1 H ごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2 H ごとにシフトしてもよく、また、それ以上の画素行づつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1 画素行へだてた画素行を選択してもよい。つまり、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行を選択し、第 2 番目の水平走査期間に第 2 番目の画素行と第 4 番目の画素行を選択し、第 3 番目の水平走査期間に第 3 番目の画素行と第 5 番目の画素行を選択し、第 4 番目の水平走査期間に第 4 番目の画素行と第 6 番目の画素行を選択する駆動方法である。もちろん、第 1 番目の水平走査期間に第 1 番

目の画素行と第 3 番目の画素行と第 5 番目の画素行を選択するという駆動方法も技術的範疇である。

【 0 3 2 8 】

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図 1、図 2、図 3 2 の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図 3 8、図 4 2、図 5 0 などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図 4 3、図 5 1、図 5 4、図 6 2 などの電圧駆動の画素構成にも適用できる。つまり、画素上下の T F T の特性が一致しておれば、同一のソース信号線 1 8 に印加した電圧値により良好に電圧プログラムを実施できるからである。

【 0 3 2 9 】

図 2 4 において、書き込み画素行が (1) 画素行目である時、ゲート信号線 1 7 a は (1) (2) が選択されている (図 2 5 を参照のこと) 。つまり、画素行 (1) (2) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、ゲート信号線 1 7 b はゲート信号線 1 7 a の逆位相となっている。したがって、少なくとも画素行 (1) (2) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。なお、図 2 4 では、フリッカの発生を低減するため、表示領域 5 3 を 5 分割している。

【 0 3 3 0 】

理想的には、2 画素 (行) のトランジスタ 1 1 a が、それぞれ $I_w \times 5$ ($N = 10$ の場合。つまり、 $K = 2$ であるから、ソース信号線 1 8 に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる) の電流をソース信号線 1 8 に流す。そして、各画素 1 6 のコンデンサ 1 9 には、5 倍の電流がプログラムされる。

【 0 3 3 1 】

同時に選択する画素行が 2 画素行 ($K = 2$) であるから、2 つの駆動トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $10 / 2 = 5$ 倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、2 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。

【0332】

たとえば、書き込み画素行51aに、本来、書き込む電流 I_d とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

【0333】

次の、1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧(V_{g1})が印加される。また、同時に、ゲート信号線17a(3)が選択され(V_{g1} 電圧)、選択された画素行(3)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0334】

次の、1H後には、ゲート信号線17a(2)は非選択となり、ゲート信号線17bにはオン電圧(V_{g1})が印加される。また、同時に、ゲート信号線17a(4)が選択され(V_{g1} 電圧)、選択された画素行(4)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行づつシフト(もちろん、複数画素行づつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2行づつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう)しながら走査することにより1画面が書き換えられる。

【0335】

図16と同様であるが、図24の駆動方法では、各画素には5倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には5倍となる。したがって、表示領域53の輝度は所定値よりも5倍となる。これを所定の輝度とするためには、図16などに図示するように、書き込み画素行51を含み、かつ表示画面1の $1/5$ の範囲を非表示領域52とすればよい。

【 0 3 3 6 】

図 2 7 に図示するように、2 本の書き込み画素行 5 1 (5 1 a、5 1 b) が選択され、画面 5 0 の上辺から下辺に順次選択されていく (図 2 6 も参照のこと。図 2 6 では画素行 1 6 a と 1 6 b が選択されている) 。しかし、図 2 7 (b) のように、画面の下辺までくると書き込み画素行 5 1 a は存在するが、5 1 b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 1 8 に印加された電流は、すべて画素行 5 1 a に書き込まれる。したがって、画素行 5 1 a に比較して、2 倍の電流が画素にプログラムされてしまう。

【 0 3 3 7 】

この課題に対して、本発明は、図 2 7 (b) に図示するように画面 5 0 の下辺にダミー画素行 2 8 1 を形成 (配置) している。したがって、選択画素行が画面 5 0 の下辺まで選択された場合は、画面 5 0 の最終画素行とダミー画素行 2 8 1 が選択される。そのため、図 2 7 (b) の書き込み画素行には、規定どおりの電流が書き込まれる。

【 0 3 3 8 】

図 2 8 は図 2 7 (b) の状態を示している。図 2 8 で明らかなように、選択画素行が画面 5 0 の下辺の画素 1 6 c 行まで選択された場合は、画面 5 0 の最終画素行 2 8 1 が選択される。ダミー画素行 2 8 1 は表示領域 5 0 外に配置する。つまり、ダミー画素行 2 8 1 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極と T F T 1 1 とのコンタクトホールをなくすとか、ダミー画素行には E L 膜を形成しないとかである。

【 0 3 3 9 】

図 2 7 では、画面 5 0 の下辺にダミー画素 (行) 2 8 1 を設ける (形成する、配置する) としたが、これに限定するものではない。たとえば、図 2 9 (a) に図示するように、画面の下辺から上辺に走査する (上下逆転走査) する場合は、図 2 9 (b) に図示するように画面 5 0 の上辺にもダミー画素行 2 8 1 を形成すべきである。つまり、画面 5 0 の上辺を下辺のそれぞれにダミー画素行 2 8 1 を形成 (配置) する。以上のように構成することにより、画面の上下反転走査にも

対応できるようになる。以上の実施例は、2画素行を同時選択する場合であった。

【0340】

本発明はこれに限定するものではなく、たとえば、5画素行を同時選択する方式（図23を参照のこと）でもよい。つまり、5画素行同時駆動の場合は、ダミー画素行281は4行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも1つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とN倍パルス駆動とを組み合わせる用いることが好ましい。

【0341】

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ11aの特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになる。EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

【0342】

図30はこの課題を解決するものである。図30の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、図22、図29で説明したように、複数の画素行を同時に選択する方法である。その後の $1/2H$ （水平走査期間の $1/2$ ）は図5、図13などで説明したように、1画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ11aの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

【0343】

図30において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。まず、第1の期間（前半の $1/2H$ ）では、図30（a1）に図示するように、5画素行を同時に選択をする。この動作は図22を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の25倍とする。したがって、各画素16のトランジスタ11a（図1の画素構成の場合）には5倍の電流（ $25/5$ 画素行＝

5) がプログラムされる。25 倍の電流であるから、ソース信号線 18 などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線 18 の電位は、短時間で目標の電位となり、各画素 16 のコンデンサ 19 の端子電圧も 5 倍電流を流すようにプログラムされる。この 25 倍電流の印加時間は前半の $1/2 H$ (1 水平走査期間の $1/2$) とする。

【0344】

当然のことながら、書き込み画素行の 5 画素行は同一画像データが書き込まれるから、表示しないように 5 画素行のトランジスタ 11 d はオフ状態とされる。したがって、表示状態は図 30 (a2) となる。

【0345】

次の後半の $1/2 H$ 期間は、1 画素行を選択し、電流 (電圧) プログラムを行う。この状態を図 30 (b1) に図示している。書き込み画素行 51 a は先と同様に 5 倍の電流を流すように電流 (電圧) プログラムされる。図 30 (a1) と図 30 (b1) とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ 19 の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【0346】

つまり、図 30 (a1) で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第 1 の段階では、複数のトランジスタ 11 a でプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第 2 の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【0347】

なお、非点灯領域 52 を画面の上から下方向に走査し、また、書き込み画素行 51 a も画面の上から下方向に走査することは図 13 などの実施例と同様であるので説明を省略する。

【0348】

図 31 は図 30 の駆動方法を実現するための駆動波形である。図 31 でわかるように、 $1 H$ (1 水平走査期間) は 2 つのフェーズで構成されている。この 2 つ

のフェーズは I S E L 信号で切り替える。I S E L 信号は図 3 1 に図示している。

【0349】

まず、I S E L 信号について説明をしておく。図 3 0 を実施するドライバ回路 1 4 は、電流出力回路 A と電流出力回路 B とを具備している。それぞれの電流出力回路は、8 ビットの階調データを D A 変換する D A 回路とオープンアンプなどから構成される。図 3 0 の実施例では、電流出力回路 A は 2 5 倍の電流を出力するように構成されている。一方、電流出力回路 B は 5 倍の電流を出力するように構成されている。電流出力回路 A と電流出力回路 B の出力は I S E L 信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線 1 8 に印加される。この電流出力回路は各ソース信号線に配置されている。

【0350】

I S E L 信号は、L レベルの時、2 5 倍電流を出力する電流出力回路 A が選択されてソース信号線 1 8 からの電流をソースドライバ I C 1 4 が吸収する（より適切には、ソースドライバ回路 1 4 内に形成された電流出力回路 A が吸収する）。2 5 倍、5 倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

【0351】

図 3 0 に示すように書き込み画素行が（1）画素行目である時（図 3 0 の 1 H の欄を参照）、ゲート信号線 1 7 a は（1）（2）（3）（4）（5）が選択されている（図 1 の画素構成の場合）。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、I S E L が L レベルであるから、2 5 倍電流を出力する電流出力回路 A が選択され、ソース信号線 1 8 と接続されている。また、ゲート信号線 1 7 b には、オフ電圧（V_{gh}）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。

【0352】

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性(V_t 、 S 値)が一致しているとして説明をする。

【0353】

同時に選択する画素行が5画素行($K=5$)であるから、5つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線18には、 $I_w \times 25$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

【0354】

したがって、画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

【0355】

次の $1/2H$ (水平走査期間の $1/2$)では、書き込み画素行51aのみを選択する。つまり、(1)画素行目のみを選択する。図3.1で明らかなように、ゲート信号線17a(1)のみが、オン電圧(V_{gl})が印加され、ゲート信号線17a(2)(3)(4)(5)はオフ(V_{gh})が印加されている。したがって、画素行(1)のトランジスタ11aは動作状態(ソース信号線18に電流を供給している状態)であるが、画素行(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、 I_{SEL} がHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路Bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電

圧 (V_{gh}) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

【 0 3 5 6 】

以上のことから、画素行 (1) のトランジスタ 11a が、それぞれ $I_w \times 5$ の電流をソース信号線 18 に流す。そして、各画素行 (1) のコンデンサ 19 には、5 倍の電流がプログラムされる。

【 0 3 5 7 】

次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) である。最初の $1/2H$ の期間では、図 31 に示すように書き込み画素行が (2) 画素行目である時、ゲート信号線 17a は (2) (3) (4) (5) (6) が選択されている。つまり、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ISEL が L レベルであるから、25 倍電流を出力する電流出力回路 A が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b には、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。一方、画素行 (1) のゲート信号線 17b (1) は V_{g1} 電圧が印加されているから、トランジスタ 11d はオン状態であり、画素行 (1) の EL 素子 15 は点灯する。

【 0 3 5 8 】

同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの駆動トランジスタ 11a が動作する。つまり、1 画素あたり、 $25/5=5$ 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。

【 0 3 5 9 】

次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 51a のみを選択する。つまり、(2) 画素行目のみを選択する。図 31 で明らかなように、ゲ

ート信号線 17a (2) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 17a (3) (4) (5) (6) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) (2) のトランジスタ 11a は動作状態 (画素行 (1) は EL 素子 15 に電流を流し、画素行 (2) はソース信号線 18 に電流を供給している状態) であるが、画素行 (3) (4) (5) (6) のスイッチングトランジスタ 11b、トランジスタ 11c がオフ状態である。つまり、非選択状態である。また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 1222b とソース信号線 18 とが接続されている。また、ゲート信号線 17b の状態は先の 1/2 H の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

【0360】

以上のことから、画素行 (2) のトランジスタ 11a が、それぞれ $I_w \times 5$ の電流をソース信号線 18 に流す。そして、各画素行 (2) のコンデンサ 19 には、5 倍の電流がプログラムされる。以上の動作を順次、実施することにより 1 画面を表示することができる。

【0361】

図 30 で説明した駆動方法は、第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行には N 倍の電流を流すようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、画素には N 倍の電流を流すようにプログラムする方式である。

【0362】

しかし、他の方策もある。第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、選択された画素行の総和の電流 (ただし、選択画素行が 1 の時は、1 画素行の電流) が N 倍となるようにプログラムする方式である。たとえば、図 30 (a1) において、5 画素行を同時に選択し、各画素のトランジスタ 11a には 2 倍の電流を流す。し

たがって、ソース信号線 18 には 5×2 倍 = 10 倍の電流が流れる。次の第 2 の期間では図 30 (b 1) において、1 画素行を選択する。この 1 画素のトランジスタ 11 a には 10 倍の電流を流す。

【0363】

なお、図 31 において、複数の画素行を同時に選択する期間を $1/2 H$ とし、1 画素行を選択する期間を $1/2 H$ としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4 H$ とし、1 画素行を選択する期間を $3/4 H$ としてもよい。また、複数の画素行を同時に選択する期間と、1 画素行を選択する期間とを加えた期間は $1 H$ としたがこれに限定するものではない。たとえば、 $2 H$ 期間でも、 $1.5 H$ 期間であっても良い。

【0364】

また、図 30 において、5 画素行を同時に選択する期間を $1/2 H$ とし、次の第 2 の期間では 2 画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0365】

また、図 30 において、5 画素行を同時に選択する第 1 の期間を $1/2 H$ とし、1 画素行を選択する第 2 の期間を $1/2 H$ とする 2 段階としたがこれに限定するものではない。たとえば、第 1 の段階は、5 画素行を同時に選択し、第 2 の期間は前記 5 画素行のうち、2 画素行を選択し、最後に、1 画素行を選択する 3 つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【0366】

以上の本発明の N 倍パルス駆動方法では、各画素行で、ゲート信号線 17 b の波形を同一にし、 $1 H$ の間隔でシフトさせて印加していく。このように走査することにより、EL 素子 15 が点灯している時間を $1 F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線 17 b の波形を同一にし、シフトさせていることを実現することは容易である。図 6 のシフトレジスタ回路 61 a、61 b に印加するデータである ST_1 、 ST_2 を制御すればよいからである。たとえば、入力 ST_2 が L レベルの時

、ゲート信号線 17b に V_{g1} が出力され、入力 ST2 が H レベルの時、ゲート信号線 17b に V_{gh} が出力されるとすれば、シフトレジスタ 17b に印加する ST2 を $1F/N$ の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された ST2 を 1H に同期したクロック CLK2 でシフトしていくだけである。

【0367】

なお、EL 素子 15 をオンオフする周期は 0.5 msec 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を 100 msec 以上になると、点滅状態に見える。したがって、EL 素子のオンオフ周期は 0.5 msec 以上 100 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 2 msec 以上 30 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 3 msec 以上 20 msec 以下にすべきである。

【0368】

黒画面 52 の分割数は、1 つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は 1 以上 8 以下とすべきである。さらに好ましくは 1 以上 5 以下とすることが好ましい。

【0369】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75% が黒画面であり、25% が画像表示である。このとき、75% の黒表示部を 75% の黒帯状態で画面の上下方向に走査するのが分割数 1 である。25% の黒画面と $25/3\%$ の表示画面の 3 ブロックで走査するのが分割数 3 である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセンタに対応して切り替ええするように構成すればよい。

【0370】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

【0371】

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（Nで表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【0372】

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが苦しくなり解像度が劣化する。

【0373】

いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図33、図35などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

【0374】

なお、以上の事項は、図38などの電流プログラムの画素構成、図43、図51、図54などの電圧プログラムの画素構成でも適用できることは言うまでもない。

い。図38では、トランジスタ11dを、図43ではトランジスタ11dを、図51ではトランジスタ11eをオンオフ制御すればよい。このように、EL素子15に電流を流す配線をオンオフすることにより、本発明のN倍パルス駆動を容易に実現できる。

【0375】

また、ゲート信号線17bの $1F/N$ の期間だけ、 V_{g1} にする時刻は $1F$ （ $1F$ に限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間のうち、所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（ $1H$ ）後、すぐにゲート信号線17bを V_{g1} にしてEL素子15を発光させる方がよい。図1のコンデンサ19の保持率特性の影響を受けにくくなるからである。

【0376】

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0377】

このようにKの値（画像表示部53の分割数）を変化させることも容易に実現できる。図6においてSTに印加するデータのタイミング（ $1F$ のいつにLレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

【0378】

なお、図16などでは、ゲート信号線17bを V_{g1} にする期間（ $1F/N$ ）を複数に分割（分割数K）し、 V_{g1} にする期間は $1F/(K/N)$ の期間をK回実施するとしたがこれ限定するものではない。 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更す

ることができる。たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化をなす。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のN倍パルス駆動である。

以上の実施例は、EL素子15と駆動用トランジスタ11aとの間にスイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、図32を用いて、その実施例について説明をする。

【0379】

図32は基本的には図1の画素構成である。図32の画素構成では、プログラムされたIw電流がEL素子15に流れ、EL素子15が発光する。つまり、駆動トランジスタ11aはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ11aをリセット（オフ状態）にする方式が図32の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【0380】

図1の画素構成でリセット駆動を実現するためには、トランジスタ11bとトランジスタ11cを独立してオンオフ制御できるように構成する必要がある。つまり、図32で図示するようにトランジスタ11bをオンオフ制御するゲート信号線11a（ゲート信号線WR）、トランジスタ11cをオンオフ制御するゲート信号線11c（ゲート信号線EL）とを独立して制御できるようにする。ゲート信号線11aとゲート信号線11cの制御は図6に図示するように独立した2つのシフトレジスタ61で行えばよい。

【0381】

ゲート信号線WRとゲート信号線ELの駆動電圧は変化させるとよい。ゲート

信号線WRの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線ELの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線WRの振幅は、ソース信号線18の電位が画素16に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線18の電位変動は小さいから、ゲート信号線WRの振幅値は小さくすることができる。一方、ゲート信号線ELはELのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ61aと61bとの出力電圧を変化させる。画素がPチャンネルTFTで形成されている場合は、シフトレジスタ61aと61bのV_{gh}（オフ電圧）を略同一にし、シフトレジスタ61aのV_{g1}（オン電圧）をシフトレジスタ61bのV_{g1}（オン電圧）よりも低くする。

【0382】

以下、図33を参照しながら、リセット駆動方式について説明をする。図33はリセット駆動の原理説明図である。まず、図33（a）に図示するように、トランジスタ11c、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。すると、駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、I_b電流が流れる。一般的に、トランジスタ11aは1つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ11dがオフ状態となり、トランジスタ11bがオン状態にすれば、駆動電流I_bがトランジスタ11aのゲート（G）端子に流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、トランジスタ11aはリセット（電流を流さない状態）になる。

【0383】

このトランジスタ11aのリセット状態（電流を流さない状態）は、図51などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図33（a）の状態では、コンデンサ19の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ11aの特性に応じて異なる電圧値である。したがって、図33（a）の動作

を実施することにより、各画素のコンデンサ 1 9 にはトランジスタ 1 1 a が電流を流さない。つまり、黒表示電流（ほとんど 0 に等しい）が保持されることになるのである。

【 0 3 8 4 】

なお、図 3 3 (a) の動作の前に、トランジスタ 1 1 b、トランジスタ 1 1 c をオフ状態にし、トランジスタ 1 1 d をオン状態にし、駆動用トランジスタ 1 1 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間に行うことが好ましい。E L 素子 1 5 に電流が流れて E L 素子 1 5 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H (1 水平走査期間) の 0. 1 % 以上 1 0 % 以下とすることが好ましい。さらに好ましくは 0. 2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0. 2 μ s e c 以上 5 μ s e c 以下となるようにすることが好ましい。また、全画面の画素 1 6 に一括して前述の動作 (図 3 3 (a) の前に行う動作) を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 1 1 a のドレイン (D) 端子電圧が低下し、図 3 3 (a) の状態でスムーズな I b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【 0 3 8 5 】

図 3 3 (a) の実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 3 3 (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 3 3 (a) の実施時間は、1 H 以上 5 H 以下にすることが好ましい。なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で E L 材料が異なり、この E L 材料の立ち上がり電圧などに差異があるためである。R G B の各画素で、E L 材料に適應して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H 以上 5 H 以下にするとしたが、黒挿入 (黒画面を書き込む) を主とする駆動方式では、5 H 以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

【 0 3 8 6 】

図33(a)を実施後、1H以上5H以下の期間において、図33(b)の状態にする。図33(b)はトランジスタ11c、トランジスタ11bをオンさせ、トランジスタ11dをオフさせた状態である。図33(b)の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を駆動用トランジスタ11aに流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ11aのゲート(G)端子の電位を設定するのである（設定電位はコンデンサ19に保持される）。

【0387】

もし、プログラム電流 I_w が0(A)であれば、トランジスタ11aは電流を図33(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図33(b)で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0388】

図33(b)の電流プログラミング後、図33(c)に図示するように、トランジスタ11b、トランジスタ11cとオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流 $I_w (= I_e)$ をEL素子15に流し、EL素子15を発光させる。図33(c)に関しても、図1などで以前に説明をしたので詳細は省略する。

【0389】

つまり、図33で説明した駆動方式（リセット駆動）は、駆動用トランジスタ11aとEL素子15間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン(D)端子とゲート(G)端子（もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子）間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。

。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、図32の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておかねばならない。

【0390】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。）。次に、EL素子15に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。図33（a）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行もいれると6画素行）となるはずである。

【0391】

また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間（1単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第2の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第3の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第4の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、図33（b）、図33（c）の駆動状態も図33（a）の駆動状態と同期して実施される。

【0392】

また、1画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図33（b）（c）の駆動を実施してもよいことはいうまでもない。また、

インターレース駆動状態（1画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

【 0 3 9 3 】

なお、図 3 3 のリセット駆動は、本発明の N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図 2 2 の構成は、間欠 N / K 倍パルス駆動（1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線 1 7 b を制御し、トランジスタ 1 1 d をオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図 2 2 あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

【 0 3 9 4 】

図 3 4 はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路 1 2 a は、図 3 2 におけるゲート信号線 1 7 a およびゲート信号線 1 7 b を制御する。ゲート信号線 1 7 a にオンオフ電圧を印加することによりトランジスタ 1 1 b がオンオフ制御される。また、ゲート信号線 1 7 b にオンオフ電圧を印加することによりトランジスタ 1 1 d がオンオフ制御される。ゲートドライバ回路 1 2 b は、図 3 2 におけるゲート信号線 1 7 c を制御する。ゲート信号線 1 7 c にオンオフ電圧を印加することによりトランジスタ 1 1 c がオンオフ制御される。

【 0 3 9 5 】

したがって、ゲート信号線 1 7 a はゲートドライバ回路 1 2 a で操作し、ゲート信号線 1 7 c はゲートドライバ回路 1 2 b で操作する。そのため、トランジスタ 1 1 b をオンさせて駆動用トランジスタ 1 1 a をリセットするタイミングと、トランジスタ 1 1 c をオンさせて駆動用トランジスタ 1 1 a に電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

【 0 3 9 6 】

図 3 5 はリセット駆動のタイミングチャートである。ゲート信号線 1 7 a にオン電圧を印加し、トランジスタ 1 1 b をオンさせ、駆動用トランジスタ 1 1 a をリセットしている時には、ゲート信号線 1 7 b にはオフ電圧を印加し、トランジスタ 1 1 d をオフ状態にしている。したがって、図 3 2 (a) の状態となっている。この期間に I b 電流が流れる。

【 0 3 9 7 】

図 3 5 のタイミングチャートでは、リセット時間は 2 H (ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b がオンする) としているが、これに限定するものではない。2 H 以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は 1 H 未満であってもよい。また、リセット期間を何 H 期間にするかはゲートドライバ回路 1 2 に入力する DATA (S T) パルス期間で容易に変更できる。たとえば、S T 端子に入力する DATA を 2 H 期間の間 H レベルとすれば、各ゲート信号線 1 7 a から出力されるリセット期間は 2 H 期間となる。同様に、S T 端子に入力する DATA を 5 H 期間の間 H レベルとすれば、各ゲート信号線 1 7 a から出力されるリセット期間は 5 H 期間となる。

【 0 3 9 8 】

1 H 期間のリセット後、画素行 (1) のゲート信号線 1 7 c (1) に、オン電圧が印加される。トランジスタ 1 1 c がオンすることにより、ソース信号線 1 8 に印加されたプログラム電流 I w がトランジスタ 1 1 c を介して駆動用トランジスタ 1 1 a に書き込まれる。

【 0 3 9 9 】

電流プログラム後、画素（１）のゲート信号線 1 7 c にオフ電圧が印加され、トランジスタ 1 1 c がオフし、画素がソース信号線と切り離される。同時に、ゲート信号線 1 7 a にもオフ電圧が印加され、駆動用トランジスタ 1 1 a のリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線 1 7 b にはオン電圧が印加され、トランジスタ 1 1 d がオンして、駆動用トランジスタ 1 1 a にプログラムされた電流が E L 素子 1 5 に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図 3 5 からその動作は明らかであるから説明を省略する。

【 0 4 0 0 】

図 3 5 において、リセット期間は 1 H 期間であった。図 3 6 はリセット期間を 5 H とした実施例である。リセット期間を何 H 期間にするかはゲートドライバ回路 1 2 に入力する DATA (S T) パルス期間で容易に変更できる。図 3 6 ではゲートドライバ回路 1 2 a の S T 1 端子に入力する DATA を 5 H 期間の間 H レベルし、各ゲート信号線 1 7 a から出力されるリセット期間を 5 H 期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【 0 4 0 1 】

図 3 6 はリセット期間を 5 H とした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線 1 7 a から出力される信号を 1 H ごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路 1 2 に入力する DATA (S T) パルスを制御することで容易に実現できる。

【 0 4 0 2 】

図 3 4 の回路構成では、ゲートドライバ回路 1 2 a は少なくとも 2 つのシフトレジスタ回路（１つはゲート信号線 1 7 a 制御用、他の 1 つはゲート信号線 1 7

b 制御用) が必要であった。そのため、ゲートドライバ回路 1 2 a の回路規模が大きくなるという課題があった。図 3 7 はゲートドライバ回路 1 2 a のシフトレジスタを 1 つにした実施例である。図 3 7 の回路を動作させた出力信号のタイミングチャートは図 3 5 のごとくなる。なお、図 3 5 と図 3 7 とはゲートドライバ回路 1 2 a、1 2 b から出力されているゲート信号線 1 7 の記号が異なっているので注意が必要である。

【0 4 0 3】

図 3 7 の OR 回路 3 7 1 が付加されていることから明らかであるが、各ゲート信号線 1 7 a の出力は、シフトレジスタ回路 6 1 a の前段出力との OR をとって出力される。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力される。一方、ゲート信号線 1 7 c はシフトレジスタ回路 6 1 a の出力がそのまま出力される。したがって、1 H 期間の間、オン電圧が印加される。

【0 4 0 4】

たとえば、シフトレジスタ回路 6 1 a の 2 番目に H レベル信号が出力されている時、画素 1 6 (1) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (1) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (2) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (2) のトランジスタ 1 1 b がオン状態となり、画素 1 6 (2) の駆動用トランジスタ 1 1 a がリセットされる。

【0 4 0 5】

同様に、シフトレジスタ回路 6 1 a の 3 番目に H レベル信号が出力されている時、画素 1 6 (2) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (2) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (3) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (3) トランジスタ 1 1 b がオン状態となり、画素 1 6 (3) 駆動用トランジスタ 1 1 a がリセットされる。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力され、ゲート信号線 1 7 c に 1 H 期間、オン電圧が出力される。

【0 4 0 6】

プログラム状態の時は、トランジスタ 1 1 b とトランジスタ 1 1 c が同時にオ

ン状態となる（図 3 3（b））ら、非プログラム状態（図 3 3（c））に移行する際、トランジスタ 1 1 c がトランジスタ 1 1 b よりも先にオフ状態となると、図 3 3（b）のリセット状態となってしまう。これを防止するためには、トランジスタ 1 1 c がトランジスタ 1 1 b よりもあとからオフ状態にする必要がある。そのためには、ゲート信号線 1 7 a がゲート信号線 1 7 c よりも先にオン電圧が印加されるように制御する必要がある。

【0 4 0 7】

以上の実施例は、図 3 2（基本的には図 1）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図 3 8 に示すようなカレントミラーの画素構成であっても実施することができる。なお、図 3 8 ではトランジスタ 1 1 e をオンオフ制御することにより、図 1 3、図 1 5 などで図示する N 倍パルス駆動を実現できる。図 3 9 は図 3 8 のカレントミラーの画素構成での実施例の説明図である。以下、図 3 9 を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【0 4 0 8】

図 3 9（a）に図示するように、トランジスタ 1 1 c、トランジスタ 1 1 e をオフ状態にし、トランジスタ 1 1 d をオン状態にする。すると、電流プログラム用トランジスタ 1 1 b のドレイン（D）端子とゲート（G）端子はショート状態となり、図に示すように I_b 電流が流れる。一般的に、トランジスタ 1 1 b は 1 つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ 1 9 に 1 F 期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でトランジスタ 1 1 e がオフ状態とし、トランジスタ 1 1 d がオン状態にすれば、駆動電流 I_b がトランジスタ 1 1 a のゲート（G）端子の方向に流れる（ゲート（G）端子とドレイン（D）端子がショートされる）。そのため、トランジスタ 1 1 a のゲート（G）端子とドレイン（D）端子とが同一電位となり、トランジスタ 1 1 a はリセット（電流を流さない状態）になる。また、駆動用トランジスタ 1 1 b のゲート（G）端子は電流プログラム用トランジスタ 1 1 a のゲート（G）端子と共通であるから、駆動用トランジスタ 1 1 b もリセット状態

となる。

【0409】

このトランジスタ11a、トランジスタ11bのリセット状態（電流を流さない状態）は、図51などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図39（a）の状態では、コンデンサ19の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ11に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ11a、トランジスタ11bの特性に応じて異なる電圧値である。したがって、図39（a）の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11a、トランジスタ11bが電流を流さない（つまり、黒表示電流（ほとんど0に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【0410】

なお、図39（a）においても図33（a）と同様に、リセットの実施時間を長くするほど、I_b電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図39（a）の実施時間は固定値にする必要がある。実験および検討によれば、図39（a）の実施時間は、1H以上10H（10水平走査期間）以下とすることが好ましい。さらには1H以上5H以下にすることが好ましい。あるいは、20μsec以上2msec以下とすることが好ましい。このことは図33の駆動方式でも同様である。

【0411】

図33（a）も同様であるが、図39（a）のリセット状態と、図39（b）の電流プログラム状態とを同期をとって行う場合は、図39（a）のリセット状態から、図39（b）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図33（a）あるいは図39（a）のリセット状態から、図33（b）あるいは図39（b）の電流プログラム状態までの期間が、1H以上10H（10水平走査期間）以下とすることが好ましい。さらには1H以上5H以下にすることが好ましいのである。あるいは

、 $20\mu\text{sec}$ 以上 2msec 以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面50の輝度も低下する。

【0412】

図39(a)を実施後、図39(b)の状態にする。図39(b)はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態である。図39(b)の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を電流プログラム用トランジスタ11aに流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ11bのゲート(G)端子の電位をコンデンサ19に設定するのである。

【0413】

もし、プログラム電流 I_w が0(A)（黒表示）であれば、トランジスタ11bは電流を図33(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図39(b)で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aあるいはトランジスタ11bの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0414】

図39(b)の電流プログラミング後、図39(c)に図示するように、トランジスタ11c、トランジスタ11dとオフし、トランジスタ11eをオンさせて、駆動用トランジスタ11bからのプログラム電流 $I_w (= I_e)$ をEL素子15に流し、EL素子15を発光させる。図39(c)に関しても、以前に説明をしたので詳細は省略する。

【0415】

図 3 3、図 3 9 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と E L 素子 1 5 間を切断（電流が流れない状態。トランジスタ 1 1 e あるいはトランジスタ 1 1 d で行う）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、第 1 の動作における駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と E L 素子 1 5 間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と E L 素子 1 5 間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【 0 4 1 6 】

図 3 9 のカレントミラーの画素構成は、電流プログラムトランジスタ 1 1 a をリセットすることにより、結果として駆動用トランジスタ 1 1 b をリセットする駆動方法であった。

【 0 4 1 7 】

図 3 9 のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ 1 1 b と E L 素子 1 5 間を切断する必要はない。したがって、電流プログラム用トランジスタ a のドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（G）端子を含む 2 端子、あるいは駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。

【0418】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【0419】

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図43は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

【0420】

図43の画素構成では、駆動用トランジスタ11aをリセット動作させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、図44を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【0421】

図44（a）に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、図に示すようにI_b電流が流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、駆動用トランジスタ11aはリセット（電流を流さない状態）になる。なお、トランジスタ11aをリセットする前に、図33あるいは図39で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、図44（a）の動作を実施する。

【 0 4 2 2 】

このトランジスタ 1 1 a、トランジスタ 1 1 b のリセット状態（電流を流さない状態）は、図 4 1 などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 4 4 （a）の状態では、コンデンサ 1 9 の端子間には、オフセット電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用トランジスタ 1 1 a の特性に応じて異なる電圧値である。つまり、図 4 4 （a）の動作を実施することにより、各画素のコンデンサ 1 9 には駆動用トランジスタ 1 1 a が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【 0 4 2 3 】

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図 4 4 （a）のリセットの実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 4 4 （a）の実施時間は固定値にする必要がある。実施時間は、0. 2 H 以上 5 H（5 水平走査期間）以下とすることが好ましい。さらには 0. 5 H 以上 4 H 以下とすることが好ましい。あるいは、2 μ s e c 以上 4 0 0 μ s e c 以下とすることが好ましい。

【 0 4 2 4 】

また、ゲート信号線 1 7 e は前段の画素行のゲート信号線 1 7 a と共通にしておくことが好ましい。つまり、ゲート信号線 1 7 e と前段の画素行のゲート信号線 1 7 a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1 H 前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に限定されるものではない。たとえば、2 画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ 1 1 a のリセットを実施してもよい。

【 0 4 2 5 】

前段ゲート制御方式をさらに具体的に記載すれば以下のようなになる。着目する画素行が（N）画素行とし、そのゲート信号線がゲート信号線 1 7 e（N）、ゲ

ート信号線 1 7 a (N) とする。1 H 前に選択される前段の画素行は、画素行が (N-1) 画素行とし、そのゲート信号線がゲート信号線 1 7 e (N-1)、ゲート信号線 1 7 a (N-1) とする。また、着目画素行の次の 1 H 後に選択される画素行が (N+1) 画素行とし、そのゲート信号線がゲート信号線 1 7 e (N+1)、ゲート信号線 1 7 a (N+1) とする。

【0 4 2 6】

第 (N-1) H 期間では、第 (N-1) 画素行のゲート信号線 1 7 a (N-1) にオン電圧が印加されると、第 (N) 画素行のゲート信号線 1 7 e (N) にもオン電圧が印加される。ゲート信号線 1 7 e (N) と前段の画素行のゲート信号線 1 7 a (N-1) とがショート状態で形成されているからである。したがって、第 (N-1) 画素行の画素のトランジスタ 1 1 b (N-1) がオンし、ソース信号線 1 8 の電圧が駆動用トランジスタ 1 1 a (N-1) のゲート (G) 端子に書き込まれる。同時に、第 (N) 画素行の画素のトランジスタ 1 1 e (N) がオンし、駆動用トランジスタ 1 1 a (N) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 1 1 a (N) がリセットされる。

【0 4 2 7】

第 (N-1) H 期間の次の第 (N) 期間では、第 (N) 画素行のゲート信号線 1 7 a (N) にオン電圧が印加されると、第 (N+1) 画素行のゲート信号線 1 7 e (N+1) にもオン電圧が印加される。したがって、第 (N) 画素行の画素のトランジスタ 1 1 b (N) がオンし、ソース信号線 1 8 に印加されている電圧が駆動用トランジスタ 1 1 a (N) のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画素のトランジスタ 1 1 e (N+1) がオンし、駆動用トランジスタ 1 1 a (N+1) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 1 1 a (N+1) がリセットされる。

【0 4 2 8】

以下同様に、第 (N) H 期間の次の第 (N+1) 期間では、第 (N+1) 画素行のゲート信号線 1 7 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 1 7 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 1 1 b (N+1) がオンし、ソース信

号線 18 に印加されている電圧が駆動用トランジスタ 11a (N+1) のゲート (G) 端子に書き込まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 11e (N+2) がオンし、駆動用トランジスタ 11a (N+2) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11a (N+2) がリセットされる。

【0429】

以上の本発明の前段ゲート制御方式では、1H 期間、駆動用トランジスタ 11a はリセットされ、その後、電圧 (電流) プログラムが実施される。

【0430】

図 33 (a) も同様であるが、図 44 (a) のリセット状態と、図 44 (b) の電圧プログラム状態とを同期をとって行う場合は、図 44 (a) のリセット状態から、図 44 (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 12 の輝度も低下する。

【0431】

図 44 (a) を実施後、図 44 (b) の状態にする。図 44 (b) はトランジスタ 11b をオンさせ、トランジスタ 11e、トランジスタ 11d をオフさせた状態である。図 44 (b) の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 11a のゲート (G) 端子に書き込む (駆動用トランジスタ 11a のゲート (G) 端子の電位をコンデンサ 19 に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ 11d を必ずしもオフさせる必要はない。また、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、あるいは以上のような、間欠 N/K 倍パルス駆動 (1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ 11e をオンオフ動作させることにより容易に実現できる) を実施する必要がなければ、トランジスタ 11e が不要でない。このことは以前に説明をしたので、説明を省略

する。

【0432】

図43の構成あるいは図44の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0433】

図44（b）の電流プログラミング後、図44（c）に図示するように、トランジスタ11bをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流をEL素子15に流し、EL素子15を発光させる。

【0434】

以上のように、図43の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流す第1の動作と、トランジスタ11aとEL素子15間を切断し、かつ、駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む2端子）間をショートする第2の動作と、前記動作の後、駆動用トランジスタ11aに電圧プログラムを行う第3の動作とを実施するものである。

【0435】

以上の実施例では、駆動トランジスタ素子11a（図1の画素構成の場合）からEL素子15に流す電流を制御するのに、トランジスタ11dをオンオフさせて行う。トランジスタ11dをオンオフさせるためには、ゲート信号線17bを走査する必要があり、走査のためには、シフトレジスタ61（ゲート回路12）が必要となる。しかし、シフトレジスタ61は規模が大きく、ゲート信号線17bの制御にシフトレジスタ61を用いたのでは狭額縁化できない。図40で説明

する方式は、この課題を解決するものである。

なお、本発明は、主として図1などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図38などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることは言うまでもない。また、ブロックでオンオフする技術的概念は、図41などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、EL素子15に流れる電流を間欠にする方式であるから、図50などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。

図40はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路12は基板71に直接形成したか、もしくはシリコンチップのゲートドライバIC12を基板71に積載したとして説明をする。また、ソースドライバ14およびソース信号線18は図面が煩雑になるため省略する。

図40において、ゲート信号線17aはゲートドライバ回路12と接続されている。一方、各画素のゲート信号線17bは点灯制御線401と接続されている。図40では4本のゲート信号線17bが1つの点灯制御線401と接続されている。

なお、4本のゲート信号線17bでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域50は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線401の本数が多くなり、制御線401のレイアウトが困難になる。

したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要があり、好ましくは、 $220 / 10 = 22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

図 4 0 の実施例では、点灯制御線 4 0 1 a、4 0 1 b、4 0 1 c、4 0 1 d……4 0 1 n と順次、オン電圧 (V_{gl}) を印加するか、もしくはオフ電圧 (V_{gh}) を印加し、ブロックごとに EL 素子 1 5 に流れる電流をオンオフさせる。

なお、図 4 0 の実施例では、ゲート信号線 1 7 b と点灯制御線 4 0 1 とがクロスすることがない。したがって、ゲート信号線 1 7 b と点灯制御線 4 0 1 とのショート欠陥は発生しない。また、ゲート信号線 1 7 b と点灯制御線 4 0 1 とが容量結合することがないため、点灯制御線 4 0 1 からゲート信号線 1 7 b 側を見た時の容量付加が極めて小さい。したがって、点灯制御線 4 0 1 を駆動しやすい。

ゲートドライバ 1 2 にはゲート信号線 1 7 a が接続されている。ゲート信号線 1 7 a にオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ 1 1 b、1 1 c はオンして、ソース信号線 1 8 に印加された電流 (電圧) を各画素のコンデンサ 1 9 にプログラムする。一方、ゲート信号線 1 7 b は各画素のトランジスタ 1 1 d のゲート (G) 端子と接続されている。したがって、点灯制御線 4 0 1 にオン電圧 (V_{gl}) が印加されたとき、駆動トランジスタ 1 1 a と EL 素子 1 5 との電流経路を形成し、逆にオフ電圧 (V_{gh}) が印加された時は、EL 素子 1 5 のアノード端子をオープンにする。

なお、点灯制御線 4 0 1 に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路 1 2 がゲート信号線 1 7 a に出力する画素行選択電圧 (V_{gl}) のタイミングは 1 水平走査クロック (1 H) に同期していることが好ましい。しかし、これに限定するものではない。

点灯制御線 4 0 1 に印加する信号は単に、EL 素子 1 5 への電流をオンオフさせるだけである。また、ソースドライバ 1 4 が出力する画像データと同期がとれている必要もない。点灯制御線 4 0 1 に印加する信号は、各画素 1 6 のコンデンサ 1 9 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは 1 H 信号に限定されるものではなく、 $1/2$ H でも、 $1/4$ H であってもよい。

図 3 8 に図示したカレントミラーの画素構成の場合であっても、ゲート信号線 1 7 b を点灯制御線 4 0 1 に接続することにより、トランジスタ 1 1 e をオンオフ

制御できる。したがって、ブロック駆動を実現できる。

なお、図 3 2 において、ゲート信号線 1 7 a を点灯制御線 4 0 1 に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1 つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

【 0 4 3 6 】

以上の実施例は、1 画素行ごとに 1 本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で 1 本の選択ゲート信号線を配置（形成）してもよい。

【 0 4 3 7 】

図 4 1 はその実施例である。なお、説明を容易にするため、画素構成は図 1 の場合を主として例示して説明をする。図 4 1 では画素行の選択ゲート信号線 1 7 a は 3 つの画素（1 6 R、1 6 G、1 6 B）を同時に選択する。R の記号とは赤色の画素関連を意味し、G の記号とは緑色の画素関連を意味し、B の記号とは青色の画素関連を意味するものとする。

【 0 4 3 8 】

したがって、ゲート信号線 1 7 a の選択により、画素 1 6 R、画素 1 6 G および画素 1 6 B が同時に選択されデータ書き込み状態となる。画素 1 6 R はソース信号線 1 8 R からデータをコンデンサ 1 9 R に書き込み、画素 1 6 G はソース信号線 1 8 G からデータをコンデンサ 1 9 G に書き込む。画素 1 6 B はソース信号線 1 8 B からデータをコンデンサ 1 9 B に書き込む。

【 0 4 3 9 】

画素 1 6 R のトランジスタ 1 1 d はゲート信号線 1 7 b R に接続されている。また、画素 1 6 G のトランジスタ 1 1 d はゲート信号線 1 7 b G に接続され、画素 1 6 B のトランジスタ 1 1 d はゲート信号線 1 7 b B に接続されている。したがって、画素 1 6 R の E L 素子 1 5 R、画素 1 6 G の E L 素子 1 5 G、画素 1 6 B の E L 素子 1 5 B は別個にオンオフ制御することができる。つまり、E L 素子 1 5 R、E L 素子 1 5 G、E L 素子 1 5 B はそれぞれのゲート信号線 1 7 b R、1 7 b G、1 7 b B を制御することにより、点灯時間、点灯周期を個別に制御可

能である。

【0440】

この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61の4つを形成（配置）することが適切である。

なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を $1/N$ の期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

なお、このコンデンサ19への突き抜けによる補償回路は、ソースドライバ回路14内に導入する。この事項については後ほど説明をする。

【0441】

また、図1などのスイッチングトランジスタ11b、11cなどはNチャンネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

【 0 4 4 2 】

また、画素構成によっては、突き抜け電圧がE・L素子15に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

【 0 4 4 3 】

逆に、図1のスイッチングトランジスタ11b、11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルトランジスタ11bがオフするときには V_{gh} 電圧となる。そのため、コンデンサ19の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

【 0 4 4 4 】

その他、ゲート信号線17aとトランジスタ11aのゲート(G)端子間に積極的にコンデンサ19bを形成し、突き抜け電圧を増加させる構成も有効である(図42(a)を参照)。このコンデンサ19bの容量は正規のコンデンサ19aの容量の $1/50$ 以上 $1/10$ 以下にすることが好ましい。さらには $1/40$ 以上 $1/15$ 以下とすることが好ましい。もしくはトランジスタ11bのソースゲート(ソースドレイン(SG)もしくはゲートドレイン(GD))容量の1倍以上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下にすることが好ましい。なお、コンデンサ19bの形成位置は、コンデンサ19aの一方の端子(トランジスタ11aのゲート(G)端子)とトランジスタ11dのソース(S)端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

【 0 4 4 5 】

突き抜け電圧発生用のコンデンサ19bの容量(容量を C_b (pF)とする)は、電荷保持用のコンデンサ19aの容量(容量を C_a (pF)とする)と、トランジスタ11aの白ピーク電流時(画像表示で表示最大輝度の白ラスター時)

のゲート (G) 端子電圧 V_w を黒表示での電流を流す (基本的には電流は 0 である。つまり、画像表示で黒表示としている時) 時のゲート (G) 端子電圧 V_b が関連する。これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $|V_w - V_b|$ とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である (つまり、変化する電圧幅)。

【0446】

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

【0447】

トランジスタ 11b は P チャンネルにし、この P チャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4 ゲート以上にする。そして、トランジスタ 11b のソースゲート (S G もしくはゲートドレイン (G D)) 容量 (トランジスタがオンしているときの容量) の 1 倍以上 10 倍以下のコンデンサを並列に形成または配置することが好ましい。

【0448】

なお、以上の事項は、図 1 の画素構成だけでなく、他の画素構成でも有効である。たとえば、図 42 (b) に図示するようにカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線 17a または 17b とトランジスタ 11a のゲート (G) 端子間に配置または形成する。スイッチングトランジスタ 11c の N チャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ 11c、11d を P チャンネルとし、トリプルゲート以上とする。

【0449】

図 41 の電圧プログラムの構成にあつては、ゲート信号線 17c と駆動用トランジスタ 11a のゲート (G) 端子間に突き抜け電圧発生用のコンデンサ 19c

を形成または配置する。また、スイッチングトランジスタ 1 1 c はトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ 1 9 c はトランジスタ 1 1 c のドレイン (D) 端子 (コンデンサ 1 9 b 側) と、ゲート信号線 1 7 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 1 9 c はトランジスタ 1 1 a のゲート (G) 端子と、ゲート信号線 1 7 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 1 9 c はトランジスタ 1 1 c のドレイン (D) 端子 (コンデンサ 1 9 b 側) と、ゲート信号線 1 7 c 間に配置してもよい。

【 0 4 5 0 】

また、電荷保持用のコンデンサ 1 9 a の容量を C_a とし、スイッチング用のトランジスタ 1 1 c または 1 1 d) のソースゲート容量 C_c (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号 (V_{gh}) とし、ゲート信号線に印加される低電圧信号 (V_{gl}) とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

【 0 4 5 1 】

$$0.05 \text{ (V)} \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8 \text{ (V)}$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【 0 4 5 2 】

$$0.1 \text{ (V)} \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5 \text{ (V)}$$

以上の事項は図 4 3 などの画素構成にも有効である。図 4 3 の電圧プログラムの画素構成では、トランジスタ 1 1 a のゲート (G) 端子とゲート信号線 1 7 a 間に突き抜け電圧発生用のコンデンサ 1 9 b を形成または配置する。

【 0 4 5 3 】

なお、突き抜け電圧を発生させるコンデンサ 1 9 b は、トランジスタのソース配線とゲート配線で形成する。ただし、トランジスタ 1 1 のソース幅を広げて、ゲート信号線 1 7 と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

【 0 4 5 4 】

また、スイッチングトランジスタ 1 1 b、1 1 c (図 1 の構成の場合) を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ 1 9 b を構成する方式も本発明の範疇である。スイッチングトランジスタ 1 1 b、1 1 c はチャンネル幅 W / チャンネル長 $L = 6 / 6 \mu m$ で形成することが多い。これを W と大きくすることも突き抜け電圧用のコンデンサ 1 9 b を構成することになる。例えば、 $W : L$ の比を 2 : 1 以上 2 0 : 1 以下にする構成が例示される。好ましくは、 $W : L$ の比を 3 : 1 以上 1 0 : 1 以下にすることがよい。

【 0 4 5 5 】

また、突き抜け電圧用のコンデンサ 1 9 b は、画素が変調する R、G、B で大きさ (容量) を変化させることが好ましい。R、G、B の各 EL 素子 1 5 の駆動電流が異なるためである。また、EL 素子 1 5 のカットオフ電圧が異なるためである。そのため、EL 素子 1 5 の駆動用トランジスタ 1 1 a のゲート (G) 端子にプログラムする電圧 (電流) が異なるからである。たとえば、R の画素のコンデンサ 1 1 b R を 0. 0 2 p F とした場合、他の色 (G、B の画素) のコンデンサ 1 1 b G、1 1 b B を 0. 0 2 5 p F とする。また、R の画素のコンデンサ 1 1 b R を 0. 0 2 p F とした場合、G の画素のコンデンサ 1 1 b G と 0. 0 3 p F とし、B の画素のコンデンサ 1 1 b B を 0. 0 2 5 p F とするなどである。このように、R、G、B の画素ごとにコンデンサ 1 1 b の容量を変化させることによりオフセットの駆動電流を RGB ごとに調整することができる。したがって、各 RGB の黒表示レベルを最適値にすることができる。

【 0 4 5 6 】

以上は、突き抜け電圧発生用のコンデンサ 1 9 b の容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ 1 9 a と突き抜け電圧発生用のコンデンサ 1 9 b との容量の相対的なものである。したがって、コンデンサ 1 9 b を R、G、B の画素で変化することに限定するものではない。つまり、保持用コンデンサ 1 9 a の容量を変化させてもよい。たとえば、R の画素のコンデンサ 1 1 a R を 1. 0 p F とした場合、G の画素のコンデンサ 1 1 a G と 1. 2 p F とし、B の画素のコンデンサ 1 1 a B を 0. 9 p F とするなどである。この時、突き抜け用コンデンサ 1 9 b の容量は、R、G、B で共通の値とする。したがって、本発

明は、保持用のコンデンサ 1 9 a と突き抜け電圧発生用のコンデンサ 1 9 b との容量比を、R、G、B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 1 9 a の容量と突き抜け電圧発生用のコンデンサ 1 9 b との容量との両方を R、G、B 画素で変化させてもよい。

【 0 4 5 7 】

また、画面 5 0 の左右で突き抜け電圧用のコンデンサ 1 9 b の容量を変化させてもよい。ゲートドライバ 1 2 に近い位置にある画素 1 6 は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線 1 7 端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線 1 7 には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 1 2 との接続側に近い画素 1 6 の突き抜け電圧用コンデンサ 1 9 b を小さくする。また、ゲート信号線 1 7 端はコンデンサ 1 9 b を大きくする。たとえば、画面の左右でコンデンサの容量は 1 0 % 程度変化させる。

【 0 4 5 8 】

発生する突き抜け電圧は、保持用コンデンサ 1 9 a と突き抜け電圧発生用のコンデンサ 1 9 b の容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ 1 9 b の大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ 1 9 b は画面の左右で一定にし、電荷保持用のコンデンサ 1 9 a の容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ 1 9 b と、電荷保持用のコンデンサ 1 9 a 容量の両方を画面の左右で変化させてもよいことは言うまでもない。

【 0 4 5 9 】

本発明の N 倍パルス駆動の課題に E L 素子 1 5 に印加する電流が瞬時的ではあるが、従来と比較して N 倍大きいという問題がある。電流が大きいと E L 素子の寿命を低下させる場合がある。この課題を解決するためには、E L 素子 1 5 に逆バイアス電圧 V_m を印加することが有効である。

【 0 4 6 0 】

E L 素子 1 5 において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

【 0 4 6 1 】

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【 0 4 6 2 】

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【 0 4 6 3 】

図 4 5 は、逆バイアス電圧 V_m と E L 素子 1 5 の端子電圧の変化を示している。この端子電圧とは、E L 素子 1 5 に定格電流を印加した時である。図 4 5 は E L 素子 1 5 に流す電流が電流密度 100 A/平方メートル の場合であるが、図 4 5 の傾向は、電流密度 $50 \sim 100 \text{ A/平方メートル}$ の場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【 0 4 6 4 】

縦軸は初期の E L 素子 1 5 の端子電圧に対して、2500 時間後の端子電圧との比である。たとえば、経過時間 0 時間において、電流密度 100 A/平方メートル の電流の印加した時の端子電圧が 8 (V) とし、経過時間 2500 時間において、電流密度 100 A/平方メートル の電流の印加した時の端子電圧が 10 (V) とすれば、端子電圧比は、 $10 / 8 = 1.25$ である。

【 0 4 6 5 】

横軸は、逆バイアス電圧 V_m と 1 周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比である。たとえば、60 Hz（とくに 60 Hz に意味はないが）で、逆バイアス電圧 V_m を印加した時間が $1/2$ （半分）であれば、 $t_1 = 0.5$ である。また、経過時間 0 時間において、電流密度 100 A / 平方メートルの電流の印加した時の端子電圧（定格端子電圧）が 8（V）とし、逆バイアス電圧 V_m を 8（V）とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8 \text{ (V)} \times 0.5 | / (8 \text{ (V)} \times 0.5) = 1.0$ となる。

【0466】

図 4 5 によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が 1.0 以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が 1.75 以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は 1.0 以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は 1.75 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

【0467】

ただし、バイアス駆動を行う場合は、逆バイアス V_m と定格電流とを交互に印加する必要がある。図 4 6 のようにサンプル A と B との単位時間あたりの平均輝度を等しくしようとする、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合（図 4 6 のサンプル A）の EL 素子 15 の端子電圧も高くなる。

【0468】

しかし、図 4 5 では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 とは、平均輝度を満足する端子電圧（つまり、EL 素子 15 を点灯する端子

電圧)とする(本明細書の具体例によれば、電流密度200A/平方メートルの電流の印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200A/平方メートルでの輝度となる)。

【0469】

以上の事項は、EL素子15を、白ラスター表示(画面全体のEL素子に最大電流を印加している場合)を想定している。しかし、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流(最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流)が流れているのではない。

【0470】

一般的に、映像表示を行う場合は、各EL素子15に印加される電流(流れる電流)は、白ピーク電流(定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流)の約0.2倍である。

【0471】

したがって、図45の実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は0.2以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 (もしくは t_2 、あるいは t_1 と t_2 との比率など)を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

【0472】

つまり、図45の横軸($| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$)において、1.0の値を0.2とする必要がある。したがって、表示パネルに映像を表示する(この使用状態が通常であろう。白ラスターを常時表示することはないであろう)時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が0.2よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、図45で図示するように、端子電圧比の増加は大きくない。した

がって、上限値は白ラスター表示を実施することとも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が 1.75 以下を満足するようにすればよい。

【0473】

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明は EL 素子 15 に電流が流れていない期間に逆バイアス電圧 V_m (電流) を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL 素子 15 に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は、結果として EL 素子 15 には電流が流れず、非点灯状態 (黒表示状態) となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心として説明するがこれに限定するものではない。

【0474】

逆バイアス駆動の画素構成では、図 47 に図示するように、トランジスタ 11g を N チャンネルとする。もちろん、P チャンネルでもよい。

【0475】

図 47 では、ゲート電位制御線 473 に印加する電圧を逆バイアス線 471 に印加している電圧よりも高くすることにより、トランジスタ 11g (N) がオンし、EL 素子 15 のアノード電極に逆バイアス電圧 V_m が印加される。

【0476】

また、図 47 の画素構成などにおいて、ゲート電位制御線 473 を常時、電位固定して動作させてもよい。たとえば、図 47 において V_k 電圧が 0 (V) とする時、ゲート電位制御線 473 の電位を 0 (V) 以上 (好ましくは 2 (V) 以上) にする。なお、この電位を V_{sg} とする。この状態で、逆バイアス線 471 の電位を逆バイアス電圧 V_m (0 (V) 以下、好ましくは V_k より -5 (V) 以上小さい電圧) にすると、トランジスタ 11g (N) がオンし、EL 素子 15 のアノードに、逆バイアス電圧 V_m が印加される。逆バイアス線 471 の電圧をゲート電位制御線 473 の電圧 (つまり、トランジスタ 11g のゲート (G) 端子電圧) よりも高くすると、トランジスタ 11g はオフ状態であるため、EL 素子 1

5には逆バイアス電圧 V_m は印加されない。もちろん、この状態の時に、逆バイアス線471をハイインピーダンス状態（オープン状態など）としてもよいことは言うまでもない。

【0477】

また、図48に図示するように、逆バイアス線471を制御するゲートドライバ回路12cを別途形成または配置してもよい。ゲートドライバ回路12cは、ゲートドライバ回路12aと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

【0478】

以上の駆動方法では、トランジスタ11gのゲート（G）端子は電位固定し、逆バイアス線471の電位を変化させるだけで、EL素子15に逆バイアス電圧 V_m を印加することができる。したがって、逆バイアス電圧 V_m の印加制御が容易である。また、トランジスタ11gのゲート（G）端子とソース（S）端子間に印加される電圧を低減できる。このことは、トランジスタ11gがPチャンネルの場合も同様である。

【0479】

また、逆バイアス電圧 V_m の印加は、EL素子15に電流を流していない時に行うものである。したがって、トランジスタ11dがオンしていない時に、トランジスタ11gをオンさせることにより行えばよい。つまり、トランジスタ11dのオンオフロジックの逆をゲート電位制御線473に印加すればよい。たとえば、図47では、ゲート信号線17bにトランジスタ11dおよびトランジスタ11gのゲート（G）端子を接続すればよい。トランジスタ11dはPチャンネルであり、トランジスタ11gはNチャンネルであるため、オンオフ動作は反対となる。

【0480】

図49は逆バイアス駆動のタイミングチャートである。なお、チャート図において（1）（2）などの添え字は、画素行を示している。説明を容易にするため、（1）とは、第1画素行目と示し、（2）とは第2画素行目を示すとして説明をするが、これに限定するものではない。（1）がN画素行目を示し、（2）がN

+1画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図49などの実施例では、図1などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図41、図38などの画素構成においても適用できるものである。

【0481】

第1画素行目のゲート信号線17a(1)にオン電圧(V_{g1})が印加されている時には、第1画素行目のゲート信号線17b(1)にはオフ電圧(V_{gh})が印加される。つまり、トランジスタ11dはオフであり、EL素子15には電流が流れていない。

【0482】

逆バイアス線471(1)には、 V_{s1} 電圧(トランジスタ11gがオンする電圧)が印加される。したがって、トランジスタ11gがオンし、EL素子15には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線17bにオフ電圧(V_{gh})が印加された後、所定期間(1Hの $1/200$ 以上の期間、または、 $0.5\mu sec$)後に、逆バイアス電圧が印加される。また、ゲート信号線17bにオン電圧(V_{g1})が印加される所定期間(1Hの $1/200$ 以上の期間、または、 $0.5\mu sec$)前に、逆バイアス電圧がオフされる。これは、トランジスタ11dとトランジスタ11gが同時にオンとなることを回避するためである。

【0483】

次の水平走査期間(1H)には、ゲート信号線17aにはオフ電圧(V_{gh})が印加され、第2画素行が選択される。つまり、ゲート信号線17b(2)にオン電圧が印加される。一方、ゲート信号線17bにはオン電圧(V_{g1})が印加され、トランジスタ11dがオンして、EL素子15にトランジスタ11aから電流が流れEL素子15が発光する。また、逆バイアス線471(1)にはオフ電圧(V_{sh})が印加されて、第1画素行(1)のEL素子15には逆バイアス電圧が印加されないようになる。第2画素行の逆バイアス線471(2)には V_{s1} 電圧(逆バイアス電圧)が印加される。

【0484】

以上の動作を順次くりかえすことにより、1画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図48の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動（図40参照）や、N倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

【0485】

以上の実施例は、図1の画素構成の場合であったが、他の構成においても、図38、図41などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図50は電流プログラム方式の画素構成である。

【0486】

図50は、カレントミラーの画素構成である。トランジスタ11cは画素選択素子である。ゲート信号線17a1にオン電圧を印加することにより、トランジスタ11cがオンする。トランジスタ11dはリセット機能と、駆動用トランジスタ11aのドレイン（D）ーゲート（G）端子間をショート（GDショート）する機能を有するスイッチ素子である。トランジスタ11dはゲート信号線17a2にオン電圧を印加することによりオンする。

【0487】

トランジスタ11dは、該当画素が選択する1H（1水平走査期間、つまり1画素行）以上前にオンする。好ましくは3H前にはオンさせる。3H前とすれば、3H前にトランジスタ11dがオンし、トランジスタ11aのゲート（G）端子とドレイン（D）端子がショートされる。そのため、トランジスタ11aはオフする。したがって、トランジスタ11bには電流が流れなくなり、EL素子15は非点灯となる。

【0488】

EL素子15が非点灯状態の時、トランジスタ11gがオンし、EL素子15に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ11dがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ11dとトランジスタ11gとは同時にオンすることになる。

【0489】

トランジスタ11gのゲート(G)端子はV_{sg}電圧が印加されて固定されている。逆バイアス線471をV_{sg}電圧より十分に小さな逆バイアス電圧を逆バイアス線471に印加することによりトランジスタ11gがオンする。

【0490】

その後、前記該当画素に映像信号が印加(書き込まれる)される水平走査期間がくると、ゲート信号線17a1にオン電圧が印加され、トランジスタ11cがオンする。したがって、ソースドライバ回路14からソース信号線18に出力された映像信号電圧がコンデンサ19に印加される(トランジスタ11dはオン状態が維持されている)。

【0491】

トランジスタ11dをオンさせると黒表示となる。1フィールド(1フレーム)期間に占めるトランジスタ11dのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても1フィールド(1フレーム)の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にEL素子15に流す電流と大きくする必要がある。この動作は、本発明のN倍パルス駆動である。したがって、N倍パルス駆動と、トランジスタ11dをオンさせて黒表示とする駆動とを組み合わせることが本発明の1つの特徴ある動作である。また、EL素子15が非点灯状態で、逆バイアス電圧をEL素子15に印加することが本発明の特徴ある構成(方式)である。

【0492】

以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のTFT11gを各画素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

【0493】

例えば、図1の画素構成において、画素16を選択し(TFT11b、TFT11cをオンさせる)、ソースドライバIC(回路)14から、ソースドライバ

I C が出力できる低い電圧 V_0 (例えば、GND 電圧) を出力して駆動用 T F T 1 1 a のドレイン端子 (D) に印加する。この状態で T F T 1 1 d もオンさせれば E L のアノード端子に V_0 電圧が印加される。同時に、E L 素子 1 5 のカソード V_k に V_0 電圧に対し、 $-5 \sim -15$ (V) 低い電圧 V_m 電圧を印加すれば E L 素子 1 5 に逆バイアス電圧が印加される。また、 V_{dd} 電圧も V_0 電圧より $0 \sim -5$ (V) 低い電圧を印加することにより、T F T 1 1 a もオフ状態となる。以上のようにソースドライバ回路 1 4 から電圧を出力し、ゲート信号線 1 7 を制御することにより、逆バイアス電圧を E L 素子 1 5 に印加することができる。

【0 4 9 4】

N 倍パルス駆動は、1 フィールド (1 フレーム) 期間内において、1 度、黒表示をしても再度、E L 素子 1 5 に所定の電流 (プログラムされた電流 (コンデンサ 1 9 に保持されている電圧による)) を流すことができる。しかし、図 5 0 の構成では、一度、トランジスタ 1 1 d がオンすると、コンデンサ 1 9 の電荷は放電 (減少を含む) されるため、E L 素子 1 5 に所定の電流 (プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

【0 4 9 5】

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図 3 8、図 5 0 のような他の電流方式の画素構成にも適用することができる。また、図 5 1、図 5 4、図 6 2 に図示するような電圧プログラムの画素構成でも適用することができる。

【0 4 9 6】

図 5 1 は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ 1 1 b が選択スイッチング素子であり、トランジスタ 1 1 a が E L 素子 1 5 に電流を印加する駆動用トランジスタである。この構成で、E L 素子 1 5 のアノードに逆バイアス電圧印加用のトランジスタ (スイッチング素子) 1 1 g を配置 (形成) している。

【0 4 9 7】

図 5 1 の画素構成では、E L 素子 1 5 に流す電流は、ソース信号線 1 8 に印加され、トランジスタ 1 1 b が選択されることにより、トランジスタ 1 1 a のゲー

ト (G) 端子に印加される。

【0498】

まず、図51の構成を説明するために、基本動作について図52を用いて説明をする。図51の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

【0499】

水平同期信号 (HD) 後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。この時、ソース信号線18にはV_dd電圧が印加される。したがって、コンデンサ19bのa端子にはV_dd電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用トランジスタ11aのドレイン (D) 端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

【0500】

次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT₁の期間、オン電圧が印加され、トランジスタ11bがオンする。このT₁の期間がリセット期間である。また、ゲート信号線17aには1Hの期間、継続してオン電圧が印加される。なお、T₁は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、20μsec以上160μsec以下の時間とすることが好ましい。また、コンデンサ19b (C_b) とコンデンサ19a (C_a) の容量の比率は、C_b : C_a = 6 : 1以上1 : 2以下とすることが好ましい。

【0501】

リセット期間では、トランジスタ11bのオンにより、駆動用トランジスタ11aのゲート (G) 端子とドレイン (D) 端子間がショートされる。したがって、トランジスタ11aのゲート (G) 端子電圧とドレイン (D) 端子電圧が等しくなり、トランジスタ11aはオフセット状態 (リセット状態：電流が流れない状態) となる。このリセット状態とはトランジスタ11aのゲート (G) 端子が

、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ 1 9 b の b 端子に保持される。したがって、コンデンサ 1 9 には、オフセット電圧（リセット電圧）が保持されていることになる。

【 0 5 0 2 】

次のプログラム状態では、ゲート信号線 1 7 c にオフ電圧が印加されトランジスタ 1 1 b がオフする。一方、ソース信号線 1 8 には、T d の期間、DATA 電圧が印加される。したがって、駆動用トランジスタ 1 1 a のゲート（G）端子には、DATA 電圧 + オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ 1 1 a はプログラムされた電流を流せるようになる。

【 0 5 0 3 】

プログラム期間後、ゲート信号線 1 7 a にはオフ電圧が印加され、トランジスタ 1 1 c はオフ状態となり、駆動用トランジスタ 1 1 a はソース信号線 1 8 から切り離される。また、ゲート信号線 1 7 c にもオフ電圧が印加され、トランジスタ 1 1 b がオフし、このオフ状態は 1 F の期間保持される。一方、ゲート信号線 1 7 b には、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図 1 3、図 1 5 などの N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

【 0 5 0 4 】

図 5 2 の駆動方式では、リセット状態でコンデンサ 1 9 には、トランジスタ 1 1 a の開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ 1 1 a のゲート（G）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線 1 8 と画素 1 6 とのカップリング、コンデンサ 1 9 への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図 5 3 で説明した駆動方法では、表示コントラストを高くすることができない。

【 0 5 0 5 】

逆バイアス電圧 V_m を EL 素子 1 5 に印加するためには、トランジスタ 1 1 a がオフさせる必要がある。トランジスタ 1 1 a をオフさせるためには、トランジ

スタ 1 1 a の V d d 端子とゲート (G) 端子間をショートすればよい。この構成については、後に図 5 3 を用いて説明をする。

【 0 5 0 6 】

また、ソース信号線 1 8 に V d d 電圧またはトランジスタ 1 1 a をオフさせる電圧を印加し、トランジスタ 1 1 b をオンさせてトランジスタ 1 1 a のゲート (G) 端子に印加させてもよい。この電圧によりトランジスタ 1 1 a がオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ 1 1 a が高インピーダンス状態））。その後、トランジスタ 1 1 g をオンさせて、E L 素子 1 5 に逆バイアス電圧を印加する。この逆バイアス電圧 V m の印加は、全画素同時に行ってもよい。つまり、ソース信号線 1 8 にトランジスタ 1 1 a を略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ 1 1 b をオンさせる。したがって、トランジスタ 1 1 a がオフする。その後、トランジスタ 1 1 g をオンさせて、逆バイアス電圧を E L 素子 1 5 に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

【 0 5 0 7 】

次に、図 5 1 の画素構成におけるリセット駆動について説明をする。図 5 3 はその実施例である。図 5 3 に示すように画素 1 6 a のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 b のリセット用トランジスタ 1 1 b のゲート (G) 端子にも接続されている。同様に、画素 1 6 b のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 c のリセット用トランジスタ 1 1 b のゲート (G) 端子に接続されている。

【 0 5 0 8 】

したがって、画素 1 6 a のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用トランジスタ 1 1 b がオンし、画素 1 6 b の駆動用トランジスタ 1 1 a がリセット状態となる。同様に、画素 1 6 b のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 b が電流プログラム状態となるとともに、次

段画素 1 6 c のリセット用トランジスタ 1 1 b がオンし、画素 1 6 c の駆動用トランジスタ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

【 0 5 0 9 】

さらに詳しく説明する。図 5 3 (a) のようにゲート信号線 1 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線 1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、ゲート信号線 1 7 b は画素 1 6 a 、 1 6 b にはオフ電圧が印加され、画素 1 6 c 、 1 6 d にはオン電圧が印加されているとする。

【 0 5 1 0 】

この状態では、画素 1 6 a は電圧プログラム状態で非点灯、画素 1 6 b はリセット状態で非点灯、画素 1 6 c はプログラム電流の保持状態で点灯、画素 1 6 d はプログラム電流の保持状態で点灯状態である。

【 0 5 1 1 】

1 H 後、制御用ゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 内のデータが 1 ビットシフトし、図 5 3 (b) の状態となる。図 5 3 (b) の状態は、画素 1 6 a はプログラム電流保持状態で点灯、画素 1 6 b は電流プログラム状態で非点灯、画素 1 6 c はリセット状態で非点灯、画素 1 6 d はプログラム保持状態で点灯状態である。

【 0 5 1 2 】

以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【 0 5 1 3 】

図 4 3 に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図 5 4 は図 4 3 の画素構成を前段ゲート制御方式の接続とした実施例である。

【 0 5 1 4 】

図 5 4 に示すように画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接

続されたゲート信号線 1 7 a は次段画素 1 6 b のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 c のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。

【 0 5 1 5 】

したがって、画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用トランジスタ 1 1 e がオンし、画素 1 6 b の駆動用トランジスタ 1 1 a がリセット状態となる。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリセット用トランジスタ 1 1 e がオンし、画素 1 6 c の駆動用トランジスタ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【 0 5 1 6 】

さらに詳しく説明する。図 5 5 (a) のようにゲート信号線 1 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線 1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ 1 1 g はオフ状態であるとする。

【 0 5 1 7 】

この状態では、画素 1 6 a は電圧プログラム状態、画素 1 6 b はリセット状態、画素 1 6 c はプログラム電流の保持状態、画素 1 6 d はプログラム電流の保持状態である。

【 0 5 1 8 】

1 H 後、制御用ゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 内のデータが 1 ビットシフトし、図 5 5 (b) の状態となる。図 5 5 (b) の状態は、画素 1 6 a はプログラム電流保持状態、画素 1 6 b は電流プログラム状態、画素 1 6 c はリセット状態、画素 1 6 d はプログラム保持状態である。

【 0 5 1 9 】

以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【 0 5 2 0 】

以後、本発明の電流駆動方式のソースドライバ IC（回路） 1 4 について説明をする。まず、図 7 2 に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、このような電流ドライバ IC が存在するのではなく、本発明の電流駆動方式のソースドライバ IC を説明するための原理的なものである。

【 0 5 2 1 】

図 7 2 において、7 2 1 は D/A 変換器である。D/A 変換器 7 2 1 には n ビットのデータ信号が入力され、入力されたデータに基づき、D/A 変換器からアナログ信号が出力される。このアナログ信号はオペアンプ 7 2 2 に入力される。オペアンプ 7 2 2 は N チャンネルトランジスタ 6 3 1 a に入力され、トランジスタ 6 3 1 a に流れる電流が抵抗 6 9 1 に流れる。抵抗 R の端子電圧はオペアンプ 7 2 2 の - 入力となり、この - 端子の電圧とオペアンプ 7 2 2 の + 端子とは同一電圧となる。したがって D/A 変換器 7 2 1 の出力電圧は抵抗 6 9 1 の端子電圧となる。

【 0 5 2 2 】

今、抵抗 6 9 1 の抵抗値が $1\text{ M}\Omega$ とし、D/A 変換器 7 2 1 の出力が 1 (V) であれば、抵抗 6 9 1 には $1\text{ (V)} / 1\text{ M}\Omega = 1\text{ (}\mu\text{A)}$ の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、D/A 変換器 7 2 1 のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗 6 9 1 に所定電流が流れる。

【 0 5 2 3 】

トランジスタ 6 3 1 p 1 と 6 3 1 p 2 とはカレントミラー回路を構成している。なお、トランジスタ 6 3 1 p は P チャンネル型トランジスタである。一方、6 3 3 n はカレントミラーを構成する n チャンネル型トランジスタである。駆動用トランジスタ 6 3 1 a のソースドレイン (SD) にも同じ電流が流れ、6 3 1 p 1 と 6 3 1 p 2 で構成されるカレントミラー回路にも同じ電流値が流れ、各ト

ランジスタ 6 3 3 n で構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子 O 1、O 2、O 3、O 4、O 5、・・・は同一の電流が流れる定電流出力端子となる（カレント倍率が等しい時）。

【 0 5 2 4 】

しかしながら、I C は、同一のマスクから同一のプロセスに基づいて製造されても、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、ドライバ I C の出力電流は、たとえ同一 I C であっても、定電流出力端子間では各出力間のばらつきは存在する。この場合、各定電流出力端子の出力電流値にばらつきが生じると、発光素子の発光量などにばらつきが生じ、ディスプレイパネルでは表示むらを生じる。したがって、ドライバ I C 1 4 を使用して、有機 E L 表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限にすることが必要となる。

【 0 5 2 5 】

本発明はかかる点に鑑みてなされたものであり、定電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバ I C（回路）1 4 を提供する。

【 0 5 2 6 】

図 6 3 に、本発明の電流駆動方式のソースドライバ I C（回路）1 4 の構成図を示す。図 1 は、一例として電流源を 3 段構成（6 3 1、6 3 2、6 3 3）とした場合の多段式カレントミラー回路を示している。

【 0 5 2 7 】

図 6 3 において、第 1 段の電流源 6 3 1 の電流値は、N 個（ただし、N は任意の整数）の第 2 段電流源 6 3 2 にカレントミラー回路によりコピーされる。更に、第 2 段電流源 6 3 2 の電流値は、M 個（ただし、M は任意の整数）の第 3 段電流源 6 3 3 にカレントミラー回路によりコピーされる。この構成により、結果として第 1 段電流源 6 3 1 の電流値は、N × M 個の第 3 段電流源 6 3 3 にコピーされることになる。

【 0 5 2 8 】

例えば、Q C I F 形式の表示パネルのソース信号線 1 8 に 1 個のドライバ I C

14で駆動する場合は、176出力（ソース信号線が各RGBで176出力必要のため）となる。この場合は、Nを16個とし、M=11個とする。しがたって、 $16 \times 11 = 176$ となり、176出力に対応できる。このように、NまたはMのうち、一方を8または16もしくはその倍数とすることにより、ドライバICの電流源のレイアウト設計が容易になる。

【0529】

従来の電流駆動方式のソースドライバIC（仮想で想定している）では、第1段電流源631の電流値を直接N×M個の第3段電流源にカレントミラー回路でコピーしていたので、第1段電流源631のトランジスタ特性と第3段電流源のトランジスタ特性に差が生じると、それがそのまま電流値のばらつきとなって、表示パネルの表示むらとなって現れていた。特に、ソースドライバIC14は、幅が2mm程度で長さが20mm程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

【0530】

この課題に対して、本発明の多段式カレントミラー回路による電流駆動方式のソースドライバIC（回路）14では、前記したように、第1段電流源631の電流値を直接N×M個の第3段電流源633にカレントミラー回路でコピーするのではなく、中間に第2段電流源632を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

【0531】

特に、本発明は、第1段のカレントミラー回路（電流源631）と第2段にカレントミラー回路（電流源632）を密接して配置するところに特徴がある。第1段の電流源631から第3段の電流源633（つまり、カレントミラー回路の2段構成）であれば、第1段の電流源と接続される第2段の電流源633の個数が多く、第1段の電流源631と第3段の電流源633を密接して配置することができない。

【0532】

本発明のソースドライバ回路14のように、第1段のカレントミラー回路（電

流源 6 3 1) の電流を第 2 段のカレントミラー回路 (電流源 6 3 2) にコピーし、第 2 段のカレントミラー回路 (電流源 6 3 2) の電流を第 3 段にカレントミラー回路 (電流源 6 3 2) にコピーする構成である。この構成では、第 1 段のカレントミラー回路 (電流源 6 3 1) に接続される第 2 段のカレントミラー回路 (電流源 6 3 2) の個数は少ない。したがって、第 1 段のカレントミラー回路 (電流源 6 3 1) と第 2 段のカレントミラー回路 (電流源 6 3 2) とを密接して配置することがことができる。

【 0 5 3 3 】

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第 2 段のカレントミラー回路 (電流源 6 3 2) に接続される第 3 段のカレントミラー回路 (電流源 6 3 3) の個数も少なくなる。したがって、第 2 段のカレントミラー回路 (電流源 6 3 2) と第 3 段のカレントミラー回路 (電流源 6 3 3) とを密接して配置することがことができる。

【 0 5 3 4 】

つまり、全体として、第 1 段のカレントミラー回路 (電流源 6 3 1)、第 2 段のカレントミラー回路 (電流源 6 3 2)、第 3 段のカレントミラー回路 (電流源 6 3 3) の電流受け取り部のトランジスタを密接して配置することがことができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる (精度が高い)。

【 0 5 3 5 】

なお、本例では簡単のため多段式カレントミラー回路を 3 段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルのソースドライバ IC 1 4 の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は 3 段に限定するものではなく、3 段以上であってもよい。

【 0 5 3 6 】

本発明において、電流源 6 3 1、6 3 2、6 3 3 と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは

、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、図 7 2 に図示するようにオペアンプ 7 2 2 とトランジスタ 6 3 1 と抵抗 R の組み合わせからなる電流回路でもよい。

【 0 5 3 7 】

図 6 4 はさらに具体的なソースドライバ IC (回路) 1 4 の構造図である。図 6 4 は第 3 の電流源 6 3 3 の部分を図示している。つまり、1 つのソース信号線 1 8 に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路 (電流源 6 3 4 (1 単位)) で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

【 0 5 3 8 】

図 6 4 で明らかであるが、本発明の 1 実施例として、6 ビットのデジタル入力の場合を図示している。つまり、2 の 6 乗であるから、6 4 階調表示である。このソースドライバ IC 1 4 をアレイ基板に積載することにより、赤 (R)、緑 (G)、青 (B) が各 6 4 階調であるから、 $64 \times 64 \times 64 = \text{約 } 26 \text{ 万色}$ を表示できることになる。

【 0 5 3 9 】

図 6 4 において、D 0 は L S B 入力を示しており、D 5 は M S B 入力を示している。D 0 入力端子に H レベル (正論理時) の時、スイッチ 6 4 1 a (オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、P チャンネルトランジスタと N チャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい) がオンする。すると、カレントミラーを構成する電流源 (1 単位) 6 3 4 に向かって電流が流れる。この電流は IC 1 4 内の内部配線 6 4 3 に流れる。この内部配線 6 4 3 は IC 1 4 の端子電極を介してソース信号線 1 8 に接続されているから、この内部配線 6 4 3 に流れる電流が画素 1 6 のプログラム電流となる。

【 0 5 4 0 】

D 1 入力端子に H レベル (正論理時) の時、スイッチ 6 4 1 b がオンする。すると、カレントミラーを構成する 2 つの電流源 (1 単位) 6 3 4 に向かって電流

が流れる。この電流は I C 1 4 内の内部配線 6 4 3 に流れる。この内部配線 6 4 3 は I C 1 4 の端子電極を介してソース信号線 1 8 に接続されているから、この内部配線 6 4 3 に流れる電流が画素 1 6 のプログラム電流となる。

【 0 5 4 1 】

他のスイッチ 6 4 1 でも同様である。D 2 入力端子に H レベル（正論理時）の時は、スイッチ 6 4 1 c がオンする。すると、カレントミラーを構成する 4 つの電流源（1 単位） 6 3 4 に向かって電流が流れる。D 5 入力端子に H レベル（正論理時）の時は、スイッチ 6 4 1 f がオンする。すると、カレントミラーを構成する 3 2 個の電流源（1 単位） 6 3 4 に向かって電流が流れる。

【 0 5 4 2 】

以上のように、外部からのデータ（D 0 ～ D 5）に応じて、それに対応する電流源（1 単位）に向かって電流が流れる。したがって、データに応じて、0 個から 6 3 個に電流源（1 単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は 6 ビットの 6 3 個としているが、これに限定するものではない。8 ビットの場合は、2 5 5 個の単位電流源 6 3 4 を形成（配置）すればよい。また、4 ビットの時は、1 5 個の単位電流源 6 3 4 を形成（配置）すればよい。

【 0 5 4 3 】

また、電流源 6 3 4 はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源 6 3 4 を重み付けしてもよい。たとえば、1 単位の電流源 6 3 4 と、2 倍の電流源 6 3 4 と、4 倍の電流源 6 3 4 など混在させて電流出力回路を構成してもよい。しかし、電流源 6 3 4 を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1 単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【 0 5 4 4 】

図 6 4 の構成は図 6 3 に図示する第 3 段のカレントミラー部である。したがって、第 1 の電流源 6 3 1 と第 2 段の電流源 6 3 2 が別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第 2 段の電流

源 6 3 2 と第 3 段の電流源を構成するカレントミラー回路のトランジスタ 6 3 3 a も密集（密接あるいは隣接）して配置される。

【 0 5 4 5 】

なお、特に電流源（1 単位） 6 3 4 は、密集して配置され、かつ微小な電流が流れる。したがって、E L 表示パネルなどから放射される光（発光光）が、電流源 6 3 4（他に 6 3 1、6 3 2、6 3 3 も考慮すべきである）に光が照射されると、ホトコンダクタ現象（ホトコン）により誤動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成する。また、基板に実装する箇所で、かつ、チップの電流源が形成された箇所に遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）。この遮光膜は、E L 素子 1 5 に電流を供給するアノード配線、カソード配線の引き回す（I C チップ下に引き回す）ことにより、構成すれば形成が容易であり、低コスト化できる。この構成は、I C チップに限定されるものではない。低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（C G S）を用いてソースドライバ回路 1 4 にも適用される。つまり、このソースドライバ回路 1 4 の裏面に遮光膜を形成する。

【 0 5 4 6 】

第 2 段のカレントミラー回路 6 3 2 を流れる電流は、第 3 段のカレントミラー回路を構成するトランジスタ 6 3 3 a にコピーされ、カレントミラー倍率が 1 倍の時は、この電流がトランジスタ 6 3 3 b に流れる。この電流は、最終段のトランジスタ 6 3 4 にコピーされる。

【 0 5 4 7 】

D 0 に対応する部分は、1 個のトランジスタ 6 3 4 で構成されているので、最終段電流源のトランジスタ 6 3 3 に流れる電流値である。D 1 に対応する部分は 2 個のトランジスタ 6 3 4 で構成されているので、最終段電流源の 2 倍の電流値である。D 2 は 4 個のトランジスタ 6 3 4 で構成されているので、最終段電流源の 4 倍の電流値であり、・・・、D 5 に対応する部分は 3 2 個のトランジスタで構成されているので、最終段電流源の 3 2 倍の電流値である。したがって、6 ビットの画像データ D 0、D 1、D 2、・・・、D 5 で制御されるスイッチを介し

てプログラム電流 I_w はソース信号線に出力される（電流を引き込む）。したがって、6ビットの画像データ D_0 、 D_1 、 D_2 、 \dots 、 D_5 の ON、OFF に応じて、出力線には、最終段電流源 633 の 1 倍、2 倍、4 倍、 \dots 、32 倍の電流が加算されて出力される。すなわち、6ビットの画像データ D_0 、 D_1 、 D_2 、 \dots 、 D_5 により、最終段電流源 633 の 0～63 倍の電流値が出力線より出力される（ソース信号線 18 から電流を引き込む）。

【0548】

以上のように、最終段電流源 633 の整数倍の構成により、従来の W/L の比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

【0549】

ただし、この構成は、画素 16 を構成する駆動用 TFT 11a が P チャンネルで構成され、かつ、ソースドライバ IC 14 を構成する電流源（1 単位）部 634 が N チャンネルトランジスタで構成されている場合である。他の場合（例えば、画素 16 の駆動用 TFT 11a が N チャンネルトランジスタで構成されている場合など）は、プログラム電流 I_w は吐き出し電流となる構成も実施できることはいうまでもない。

【0550】

なお、最終段電流源 633 の 0～63 倍の電流が出力されとしたが、これは最終段電流源 633 のカレントミラー倍率が 1 倍の時である。カレントミラー倍率が 2 倍の時は、最終段電流源 633 の 0～126 倍の電流が出力され、カレントミラー倍率が 0.5 倍の時は、最終段電流源 633 の 0～31.5 倍の電流が出力される。以上のように、本発明は最終段電流源 633 あるいは、それより前段の電流源（631、632 など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、R、G、B ごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、R のみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、EL 表示パネルは、各色（R、G、B あるいはシアン、イエロー、マゼンダ）ごとに発光効

率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。

【0551】

電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させるという事項は、固定的なものに限定されない。可変することにも含まれる。可変は、電流源にカレントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたEL表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。

【0552】

なお、カレントミラー倍率を変化という概念は、電流倍率を変化（調整）することである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。

【0553】

以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

【0554】

図65に、3段式カレントミラー回路による176出力（ $N \times M = 176$ ）の回路図の一例を示す。図65では、第1段カレントミラー回路による電流源631を親電流源、第2段カレントミラー回路による電流源632を子電流源、第3段カレントミラー回路による電流源633を孫電流源と記している。最終段カレ

ントミラー回路である第 3 段カレントミラー回路による電流源の整数倍の構成により、176 出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源 531、632、633 を密集して配置するという構成を忘れてはならない。

【0555】

なお、密集して配置するとは、第 1 の電流源 631 と第 2 の電流源 632 とを少なくとも 8 mm 以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5 mm 以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ V_t 、モビリティ（ μ ））差がほとんど発生しないからである。また、同様に、第 2 の電流源 632 と第 3 の電流源 633（電流の出力側と電流の入力側）も少なくとも 8 mm 以内の距離に配置する。さらに好ましくは、5 mm 以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

【0556】

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図 66 の電圧受け渡しの場合は、第（I）段の電流源のトランジスタ 631（出力側）と第（I+1）の電流源のトランジスタ 632a（入力側）とを密集して配置する関係である。図 67 の電流受け渡しの場合は、第（I）段の電流源のトランジスタ 631a（出力側）と第（I+1）の電流源のトランジスタ 632b（入力側）とを密集して配置する関係である。

【0557】

ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。

【0558】

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）を用いてソースドライバ回路にも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少の

ソース信号線 1 8 からの出力バラツキがあっても視覚的に認識されにくい。したがって、以上のガラス基板などに画素 T F T と同時にソースドライバ回路 1 4 を形成する表示パネルでは、密集して配置するとは、第 1 の電流源 6 3 1 と第 2 の電流源 6 3 2 とを少なくとも 3 0 m m 以内の距離に配置（電流の出力側と電流の入力側）することをいう。さらには、2 0 m m 以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性（ V_t 、モビリティ（ μ ））差がほとんど発生しないからである。また、同様に、第 2 の電流源 6 3 2 と第 3 の電流源 6 3 3（電流の出力側と電流の入力側）も少なくとも 3 0 m m 以内の距離に配置する。さらに好ましくは、2 0 m m 以内の位置に配置することが好ましい。

【 0 5 5 9 】

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間は電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより、よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路（I C）1 4 を実現することができる。

【 0 5 6 0 】

図 6 7 は電流受け渡し構成の実施例である。なお、図 6 6 は電圧受け渡し構成の実施例である。図 6 6、図 6 7 とともに回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図 6 6 において、6 3 1 は第 1 段電流源用 N c h トランジスタ、6 3 2 a は第 2 段電流源用 N c h トランジスタ、6 3 2 b は第 2 段電流源用 P c h トランジスタである。

【 0 5 6 1 】

図 6 7 において、6 3 1 a は第 1 段電流源用 N c h トランジスタ、6 3 2 a は第 2 段電流源用 N c h トランジスタ、6 3 2 b は第 2 段電流源用 P c h トランジスタである。

【 0 5 6 2 】

図 6 6 では、可変抵抗 6 5 1（電流を変化するために用いるものである）と N c h トランジスタ 6 3 1 で構成される第 1 段電流源のゲート電圧が、第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに受け渡されているので、電圧受け渡

し方式のレイアウト構成となる。

【0563】

一方、図67では、可変抵抗651とNchトランジスタ631aで構成される第1段電流源のゲート電圧が、隣接する第2段電流源のNchトランジスタ632aのゲートに印加され、その結果トランジスタに流れる電流値が、第2段電流源のPchトランジスタ632bに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

【0564】

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第1の電流源と第2の電流源との関係を中心に説明しているが、これに限定されるものではなく、第2の電流源と第3の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

【0565】

図66の電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段の電流源のNchトランジスタ631と第2段の電流源のNchトランジスタ632aが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第1段電流源の電流値が第2段電流源に正確に伝達されず、ばらつきが生じやすい。

【0566】

それに対して、図67の電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段電流源のNchトランジスタ631aと第2段電流源のNchトランジスタ632aが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第1段電流源の電流値が第2段電流源に正確に伝達され、ばらつきが生じにくい。

【0567】

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（IC）14）として、電圧受け渡しではなく

、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

【 0 5 6 8 】

なお、説明の都合上、第 1 段電流源から第 2 段電流源の場合を示したが、第 2 段電流源から第 3 段電流源、第 3 段電流源から第 4 段電流源、・・・の場合も同様であることは言うまでもない。

【 0 5 6 9 】

図 6 8 は、図 6 5 の 3 段構成のカレントミラー回路（3 段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図 6 5 は電圧受け渡し方式の回路構成である）。

【 0 5 7 0 】

なお、本発明のソースドライバ IC（回路）1 4 を構成するトランジスタは、MOS タイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコン技術で直接形成したのもでもよい。以上の事項は他の実施例においても同様である。

【 0 5 7 1 】

図 6 8 では、まず、可変抵抗 6 5 1 と N c h トランジスタ 6 3 1 a で基準電流が作成される。なお、可変抵抗 6 5 1 で基準電流を調整するように説明しているが、実際は、ソースドライバ IC（回路）1 4 内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ 6 3 1 a のソース電圧が設定され、調整されるように構成される。もしくは、図 6 4 に図示するような多数の電流源（1 単位）6 3 4 から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ 6 3 1 のソース端子に供給することにより基準電流は調整される（図 6 9 を参照のこと）。

【 0 5 7 2 】

トランジスタ 6 3 1 a による第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに印加され、その結果トランジスタ

に流れる電流値が、第 2 段電流源の P c h トランジスタ 6 3 2 b に受け渡される。また、第 2 の電流源のトランジスタ 6 3 1 2 b によるゲート電圧が、隣接する第 3 段電流源の N c h トランジスタ 6 3 3 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 3 段電流源の N c h トランジスタ 6 3 3 b に受け渡される。第 3 段電流源の N c h トランジスタ 6 3 3 b のゲートには図 6 4 に図示する多数の電流源 6 3 4 が必要なビット数に応じて形成（配置）される。

【 0 5 7 3 】

トランジスタの V_t バラツキ（特性バラツキ）は、1 ウェハ内で 1 0 0 mV 程度のばらつきがある。しかし、1 0 0 μ 以内に近接して形成されたトランジスタの V_t バラツキは、少なくとも、1 0 mV 以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成するとにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、本発明のソースドライバ IC の各端子の出力電流バラツキを少なくすることができる。

【 0 5 7 4 】

図 1 5 6 はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキ（ 3σ ）との測定結果を示している。出力電流バラツキとは、 V_t 電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（1 0 - 2 0 0 個）のトランジスタ出力電流バラツキである。図 1 5 6 の A 領域（形成面積 0. 5 平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆に C 領域（形成面積 2. 4 平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B 領域（形成面積 0. 5 平方ミリメートル以上 2. 4 平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

【 0 5 7 5 】

ただし、出力電流の絶対値は、ウェハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（IC）1 4 において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回

路工夫で対応できる（解決できる）。

【0576】

本発明は、入力デジタルデータ（D）により、単位トランジスタ634に流れる電流数を切替えることによりソース信号線18に流れる電流量を変化（制御）する。階調数が64階調以上であれば、 $1/64 = 0.015$ であるから、理論的には、1～2%以内の出力電流バラツキ以内にする必要がある。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

【0577】

出力電流バラツキ（%）を1%以内にするためには、図156の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方ミリメートル以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタの V_t バラツキ）を0.5%以内にするのが好ましい。図156の結果に示すようにトランジスタ群681の形成面積を1.2平方ミリメートル以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方ミリメートルでは、1mm×1.2mmである。

【0578】

なお、以上は、特に8ビット（256階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群681は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群681（図68では、トランジスタ群681aと681bの2つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（3つ以上ある場合は、1つ以上のトランジスタ群681）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群681（681aが上位で、681bが下位の関係）に関して、この条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

【0579】

以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。

【 0 5 8 0 】

本発明のソースドライバ回路（ＩＣ）１４は、図６８に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている（もちろん、親、子の２段接続でもよい）。また、各電流源間（トランジスタ群６８１間）を電流受け渡しにしている。具体的には、図６８の点線で囲った範囲（トランジスタ群６８１）を密配置にする。このトランジスタ群６８１は電圧受け渡しの関係にある。また、親の電流源６３１と子の電流源６３２ａとは、ソースドライバＩＣ１４チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ６３２ａと、子の電流源を構成するトランジスタ６３２ｂとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群６８１ａをＩＣチップの略中央部に配置する。そして、ＩＣチップ１４の左右に、下位のトランジスタ群６８１ｂを配置する。好ましくは、この下位のトランジスタ群６８１ｂの個数がＩＣチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ＩＣチップ１４に限定されず、低温あるいは高温ポリシリコン技術で基板７１に直接形成したソースドライバ回路１４にも適用される。他の事項も同様である。

【 0 5 8 1 】

本発明では、トランジスタ群６８１ａはＩＣチップ１４の略中央部に１つ構成または配置または形成あるいは作製されており、チップの左右に８個づつトランジスタ群６８１ｂが形成されている（ $N = 8 + 8$ 、図６３を参照のこと）。子のトランジスタ群６８１ｂはチップの左右に等しくなるように、もしくは、チップの左側に形成または配置されたトランジスタ群６８１ｂの個数と、チップの右側に形成または配置されたトランジスタ群６８１ｂの個数との差が、４個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群６８１ｂの個数と、チップの右側に形成または配置されたトランジスタ群６８１ｂの個数との差が、１個以内となるように構成することが好

ましい。以上の事項は、孫にあたるトランジスタ群（図 6 8 では省略されているが）についても同様である。

【 0 5 8 2 】

親電流源 6 3 1 と子電流源 6 3 2 a 間は電圧受け渡し（電圧接続）されている。したがって、トランジスタの V_t バラツキの影響を受けやすい。そのため、トランジスタ群 6 8 1 a の部分を密配置する。このトランジスタ群 6 8 1 a の形成面積を、図 1 5 6 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1. 2 平方ミリメートル以内に形成する。もちろん、階調数が 6 4 階調以下の場合は、5 平方ミリメートル以内でもよい。

【 0 5 8 3 】

トランジスタ群 6 8 1 a を子トランジスタ 6 3 2 b 間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群 6 8 1 a の出力端から下位のトランジスタ 6 8 1 b の入力端までの距離）は、先に説明したように、第 2 の電流源（子）を構成するトランジスタ 6 3 2 a と第 2 の電流源（子）を構成するトランジスタ 6 3 2 b とを、少なくとも 1 0 mm 以内の距離に配置する。このましくは 8 mm 以内に配置または形成する。さらには、5 mm 以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ V_t 、モビリティ（ μ ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群 6 8 1 a が上位で、その下位にトランジスタ群 6 8 1 b、さらにその下位にトランジスタ群 6 8 1 c があれば、トランジスタ群 6 8 1 b とトランジスタ群 6 8 1 c の電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群 6 8 1 がこの関係を満足させることに、本発明が限定されるものではない。少なくとも 1 組のトランジスタ群 6 8 1 がこの関係を満足さえるようにすればよい。特に、下位の方が、トランジスタ群 6 8 1 の個数が多くなるからである。

【 0 5 8 4 】

第 3 の電流源（孫）を構成するトランジスタ 6 3 3 a と第 3 の電流源を構成す

るトランジスタ 6 3 3 b についても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

【 0 5 8 5 】

トランジスタ群 6 8 1 b はチップの左右方向（長手方向、つまり、出力端子 7 6 1 と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群 6 8 1 b はチップの左右方向（長手方向、つまり、出力端子 7 6 1 と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群 6 8 1 b の個数 M は、本発明では 1 1 個（図 6 3 を参照）である。

【 0 5 8 6 】

子電流源 6 3 2 b と孫電流源 6 3 3 a 間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群 6 8 1 a と同様にトランジスタ群 6 8 1 b の部分を密配置する。このトランジスタ群 6 8 1 b の形成面積を、図 1 5 6 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1 . 2 平方ミリメートル以内に形成する。ただし、このトランジスタ群 6 8 1 b 部分の V_t が少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図 1 5 6 の A 領域（0 . 5 平方ミリメートル以内）にすることが好ましい。

【 0 5 8 7 】

トランジスタ群 6 8 1 b を孫トランジスタ 6 3 3 a とトランジスタ 6 3 3 b 間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第 3 の電流源（孫）を構成するトランジスタ 6 3 3 a と第 2 の電流源（孫）を構成するトランジスタ 6 3 3 b とを、少なくとも 8 mm 以内の距離に配置する。さらには、5 mm 以内に配置することが好ましい。

【 0 5 8 8 】

図 6 9 では、前記多段式カレントミラー回路の第 1 段電流源 6 3 1 に、電流値調整用素子が具備されていることを特徴としている。この構成により、第 1 段電流源 6 3 1 の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

【 0 5 8 9 】

図 6 9 に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗 6 9 1（電流制限および各基準電圧を作成する。抵抗 6 9 1 はポリシリで形成する）、デコーダ 6 9 2、レベルシフタ 6 9 3 などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ 6 4 1 はアナログスイッチ回路として機能する。

【 0 5 9 0 】

また、電子ボリウム回路は、E L 表示パネルの色数に応じて形成（もしくは配置）する。たとえば、R G B の 3 原色であれば、各色に対応する 3 つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、1 つの色を基準にする（固定する）場合は、色数 - 1 分の電子ボリウム回路を形成（もしくは配置）する。

【 0 5 9 1 】

図 7 6 は、R G B の 3 原色を独立に基準電流を制御する抵抗素子 6 5 1 を形成（配置）した構成である。もちろん、抵抗素子 6 5 1 は電子ボリウムに置き換えてもよいことは言うまでもない。電流源 6 3 1、電流源 6 3 2 などの親電流源、子電流源など基本（根本）となる電流源は図 7 6 に図示する領域に電流出力回路 7 0 4 に密集して配置する。密集して配置することにより、各ソース信号線 1 8 からの出力バラツキが低減する。図 7 6 に図示するように I C チップ（回路）1 4 の中央部に電流出力回路 7 0 4 に配置することにより、I C チップ（回路）1 4 の左右に電流源 6 3 1、6 3 2 などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

【 0 5 9 2 】

電流出力回路 7 0 4 は、R、G、B ごとに形成（配置）し、かつ、この R G B の電流出力回路 7 0 4 R、7 0 4 G、7 0 4 B も近接して配置する。また、各色（R、G、B）ごとに、図 7 3 に図示する低電流領域の基準電流 I_{NL} を調整し、また、図 7 4 に図示する低電流領域の基準電流 I_{NH} を調整する（図 7 9 も参照のこと）。したがって、R の電流出力回路 7 0 4 R には低電流領域の基準電流 I_{NL} を調整するボリウム（もしくは、電圧出力もしくは電流出力の電子ボリウ

ム) 6 5 1 R L が配置され、高電流領域の基準電流 I_{NH} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 6 5 1 R H が配置される。同様に、G の電流出力回路 7 0 4 G には低電流領域の基準電流 I_{NL} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 6 5 1 G L が配置され、高電流領域の基準電流 I_{NH} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 6 5 1 G H が配置される。また、B の電流出力回路 7 0 4 B には低電流領域の基準電流 I_{NL} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 6 5 1 B L が配置され、高電流領域の基準電流 I_{NH} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 6 5 1 B H が配置される。

【 0 5 9 3 】

なお、ボリウム 6 5 1 などは、E L 素子 1 5 の温特を補償できるように、温度で変化するように構成することが好ましい。また、図 7 9 のガンマ特性で、折れ曲がり点が 2 点以上あるときは、各色の基準電流を調整する電子ボリウムあるいは抵抗などは 3 個以上にしてもよいことは言うまでもない。

【 0 5 9 4 】

I C チップの出力端子には、出力パッド 7 6 1 が形成または配置されている。この出力パッドと、表示パネルのソース信号線 1 8 とが接続される。出力パッド 7 6 1 は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ (突起) が形成されている。突起の高さは $10\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下の高さにする。

【 0 5 9 5 】

前記バンプと各ソース信号線 1 8 とは導電性接合層 (図示せず) を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀 (A g)、金 (A u)、ニッケル (N i)、カーボン (C)、酸化錫 (SnO_2) などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。また、バンプとソース信号線 1 8 とを A C F 樹脂で熱圧着される。なお、バンプあるいは出力パッド 7 6 1 とソース信号線 1 8 との接続は、以上の方式に限定するものではない。また、アレイ基板上に I C 1 4 を積載せず、フィルムキャリア技術を用いたり、ポリ

イミドフィルム等を用いてソース信号線 1 8 などと接続しても良い。

【0 5 9 6】

図 6 9 において、入力された 4 ビットの電流値制御用データ (D I) は、4 ビットデコーダ回路 6 9 2 でデコードされる (分割数が 6 4 必要であれば、6 ビットにすることは言うまでもない。ここでは説明を容易にするため、4 ビットとして説明をする)。その出力はレベルシフタ回路 6 9 3 により、ロジックレベルの電圧値からアナログレベルの電圧値に昇圧され、アナログスイッチ 6 4 1 に入力される。

【0 5 9 7】

電子ポリウム回路の主構成部は、固定抵抗 R 0 6 9 1 a と 1 6 個の単位抵抗 r 6 9 1 b で構成されている。デコーダ回路 6 9 2 の出力は、1 6 個のアナログスイッチ 6 4 1 のいずれかに接続されており、デコーダ回路 6 9 2 の出力により、電子ポリウムの抵抗値が定まるように構成されている。すなわち、例えば、デコーダ回路 6 9 2 の出力が 4 であれば、電子ポリウムの抵抗値は $R 0 + 5 r$ となる。この電子ポリウムの抵抗は、第 1 段電流源 6 3 1 の負荷となっており、アナログ電源 A V d d にプルアップされている。したがって、この電子ポリウムの抵抗値が変化すると、第 1 段電流源 6 3 1 の電流値が変化し、その結果、第 2 段電流源 6 3 2 の電流値が変化し、その結果、第 3 段電流源 6 3 3 の電流値も変化して、ドライバ I C の出力電流はコントロールされることになる。

【0 5 9 8】

なお、説明の都合上、電流値制御用データは 4 ビットとしたが、これは 4 ビットに固定されるものではなく、ビット数が多ければ多いほど、電流値の可変数は多くなることは言うまでもない。また、多段式カレントミラーの構成を 3 段として説明したが、これも 3 段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

【0 5 9 9】

また、温度変化により、E L 素子の発光輝度が変化するという課題に対して、電子ポリウム回路の構成として、温度により抵抗値が変化する外付け抵抗 6 9 1 a を具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、

サーミスタ、ポジスタなどが例示さえる。一般に、素子に流れる電流に応じて輝度が増加する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が増加する外付け抵抗 6 9 1 a を電子ボリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が増加しても発光輝度が常に一定にすることができる。

【 0 6 0 0 】

なお、前記多段式カレントミラー回路が、赤 (R) 用、緑 (G) 用、青 (B) 用の 3 系統に分離することが好ましい。一般に有機 EL 等の電流駆動型発光素子では、R、G、B で発光特性が異なる。従って、R、G、B で同じ輝度にするためには、発光素子に流す電流値を R、G、B でそれぞれ調整する必要がある。また、有機 EL 表示パネル等の電流駆動型発光素子では、R、G、B で温度特性が異なる。従って、温度特性を補正するためのサーミスタ等の外部補助素子の特性も、R、G、B でそれぞれ調整する必要がある。

【 0 6 0 1 】

本発明では、前記多段式カレントミラー回路が、R 用、G 用、B 用の 3 系統に分離されているので、発光特性や温度特性を R、G、B でそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。

【 0 6 0 2 】

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線 1 8 などに寄生容量があると、1 水平走査期間 (1 H) に画素 1 6 に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数 n A 程度と微弱であるため、その信号値で数 1 0 p F 程度あると思われる寄生容量 (配線負荷容量) を駆動することは困難である。この課題を解決するためには、ソース信号線 1 8 に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線 1 8 の電位レベルを画素の T F T 1 1 a の黒表示電流 (基本的には T F T 1 1 a はオフ状態) にすることが有効である。このプリチャージ電圧の形成 (作成) には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を

行うことが有効である。

【 0 6 0 3 】

図 7 0 に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（IC）14 の一例を示す。図 7 0 では、6 ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図 7 0 において、プリチャージ制御信号は、画像データ D 0 ～ D 5 の上位 3 ビット D 3、D 4、D 5 がすべて 0 である場合を NOR 回路 7 0 2 でデコードし、水平同期信号 HD によるリセット機能を有するドットクロック CLK のカウンタ回路 7 0 1 の出力との AND 回路 7 0 3 をとり、一定期間黒レベル電圧 V_P を出力するように構成されている。他の場合は、図 6 8 など説明した電流出力段 7 0 4 からの出力電流がソース信号線 1 8 に印加される（ソース信号線 1 8 からプログラム電流 I_w を吸収する）。この構成により、画像データが黒レベルに近い 0 階調目～7 階調目の場合、1 水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を 0 階調目とし、完全白表示を 6 3 階調目とする（6 4 階調表示の場合）。

【 0 6 0 4 】

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

【 0 6 0 5 】

好ましくは、階調データの階調 0 から 1 / 8 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の時は、0 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調 0 から 1 / 1 6 の領域の階調で、選択プリチャージを行う（たとえば、6 4 階調の時は、0 階調目から 3 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

【 0 6 0 6 】

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒浮きして見えることである。したがって、階調データの階調0から1/8の領域の階調と、一定の範囲で選択プリチャージを行う。

【0607】

なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、01階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Rは7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込むようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

【0608】

また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

【0609】

図75は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ

電圧の入力端子である。外部入力あるいは、電子ボリウム回路にあり、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、Bで共通であってもよい。プリチャージ電圧は、画素16の駆動TFT11aの V_t に相関するものであり、この画素16はR、G、B画素で同一だからである。逆に、画素16の駆動TFT11aの W/L 比などがR、G、Bで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、 L が大きくなれば、TFT11aのダイオード特性は悪くなり、ソースドレイン（SD）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（ V_{dd} ）に対して低く設定する必要がある。

【0610】

プリチャージ電圧PVはアナログスイッチ731に入力されている。このアナログスイッチの W （チャンネル幅）はオン抵抗を低減するために、 $10\mu m$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $100\mu m$ 以下にする。さらに好ましくは、チャンネル幅 W は $15\mu m$ 以上 $60\mu m$ 以下にすることが好ましい。以上の事項は図75のスイッチ641bのアナログスイッチ731、図73のアナログスイッチ731にも適用される。

【0611】

スイッチ641aはプリチャージイネーブル（PEN）信号、選択プリチャージ信号（PSL）と、図74のロジック信号の上位3ビット（H5、H4、H3）で制御される。一例としたロジック信号の上位3ビット（H5、H4、H3）の意味は、上位3ビットが“0”の時に選択プリチャージが実施されるようにしたためである。つまり、下位3ビットが“1”の時（階調0から階調7）の時を選択してプリチャージが実施されるように構成している。

【0612】

なお、この選択プリチャージは、階調0のみをプリチャージするとか、階調0から階調7の範囲でプリチャージするとか固定してもよいが、低階調流域（図79の階調0から階調R1もしくは階調（ $R1-1$ ））を選択プリチャージすると

いうように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調0から階調R1の時はこの範囲で実施し、低階調領域が階調0から階調R2の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

【0613】

以上の信号の印加状態により、スイッチ641aがオンオフ制御され、スイッチ641aオンの時、プリチャージ電圧PVがソース信号線18に印加される。なお、プリチャージ電圧PVを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は1水平走査期間（1H）の $1/100$ 以上 $1/5$ 以下の時間に設定することが好ましい。たとえば、1Hが $100\mu\text{sec}$ とすれば、 $1\mu\text{sec}$ 以上 $20\mu\text{sec}$ とする。さらに好ましくは、 $2\mu\text{sec}$ 以上 $10\mu\text{sec}$ とする。

【0614】

また、プリチャージ印加時間は、R、G、Bで異ならせたりすることも良好な結果が得られる。たとえば、Rのプリチャージ時間をG、Bのプリチャージ時間よりも長くするなどである。これは、有機ELなどでは、RGBの各材料で発光開始時間などが異なるからである。また、次にソース信号線18に印加する画像データにより、プリチャージ電圧PV印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調0では印加時間を長くし、階調4ではそれよりも短くするなどである。また、1H前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、1H前にソース信号線に画素を白表示にする電流と書き込み、次の1Hに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1H前にソース信号線に画素を黒表示にする電流と書き込み、次の1Hに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【0615】

また、印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（ V_{dd} に対して。なお、画素TFT11aがPチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素TFT11aがPチャンネルの時）する。

【0616】

プログラム電流オープン端子（PO端子）が“0”の時は、スイッチ641bがオフ状態となり、IL端子およびIH端子とソース信号線18とは切り離される（Iout端子が、ソース信号線18と接続されている）。したがって、プログラム電流Iwはソース信号線18には流れない。PO端子はプログラム電流Iwをソース信号線に印加している時は、“1”とし、スイッチ641bをオンして、プログラム電流Iwをソース信号線18に流す。

【0617】

PO端子に“0”を印加し、スイッチ641bをオープンにする時は、表示領域のいずれの画素行も選択されていない時である。電流源634は入力データ（D0～D5）に基づいて電流をたえず、ソース信号線18から引き込んでいる。この電流が選択された画素16の V_{dd} 端子からTFT11aを介してソース信号線18に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素16からソース信号線18に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線18に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【0618】

この状態で、IOUT端子がソース信号線18に接続されていると、オンしている単位電流源634（実際にはオンしているのはD0～D5端子のデータにより制御されるスイッチ641であるが）に電流が流れる。そのため、ソース信号線18の寄生容量に充電された電荷が放電し、ソース信号線18の電位が、急激

に低下する。

【0619】

以上のように、ソース信号線18の電位が低下すると、本来ソース信号線18に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【0620】

この課題を解決するため、本発明は、全非選択期間に、P O端子に“0”を印加し、図75のスイッチ641bをオフとして、I O U T端子とソース信号線18とを切り離す。切り離すことにより、ソース信号線18から電流源634に電流が流れ込むことはなくなるから、全非選択期間にソース信号線18の電位変化は発生しない。以上のように、全非選択期間にP O端子を制御し、ソース信号線18から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【0621】

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、R、G、Bで異ならせることも有効である。E L表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、所定輝度の白面積：所定輝度の黒面積の比が1：20以上でプリチャージを停止または開始し、GとBは、所定輝度の白面積：所定輝度の黒面積の比が1：16以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機E Lパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が1：100以上（つまり、黒面積が白面積の100倍以上）でプリチャージを停止するこ

とが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が1：200以上（つまり、黒面積が白面積の200倍以上）でプリチャージを停止することが好ましい。

【0622】

プリチャージ電圧PVは、画素16の駆動TFT11aがPチャンネルの場合、Vdd（図1を参照）に近い電圧をソースドライバ回路（IC）14から出力する必要がある。しかし、このプリチャージ電圧PVがVddに近いほど、ドライバ回路（IC）14は高耐圧プロセスの半導体を使用する必要がある（高耐圧といっても、5（V）～10（V）であるが、しかし、5（V）耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、5（V）耐圧のプロセスを採用することのより高精細、低価格のプロセスを使用することができる）。

【0623】

画素16の駆動用TFT11aのダイオード特性が良好で白表示のオン電流が確保した時、5（V）以下であれば、ソースドライバIC14も5（V）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が5（V）を越えると、問題となる。特に、プリチャージは、TFT11aのソース電圧Vddに近いプリチャージ電圧PVを印加する必要があるので、IC14から出力することができなくなる。

【0624】

図92は、この課題を解決するパネル構成である。図92では、アレイ71側にスイッチ回路641を形成している。ソースドライバIC14からは、スイッチ641のオンオフ信号を出力する。このオンオフ信号は、アレイ71に形成されたレベルシフト回路693で昇圧され、スイッチ641をオンオフ動作させる。なお、スイッチ641およびレベルシフト回路693が画素のTFTを形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路（IC）で別途形成し、アレイ71上に実装などしてもよい。

【0625】

オンオフ信号は、先に説明（図75など）したプリチャージ条件に基づいて、

IC 14 の端子 7 6 1 a から出力される。したがって、プリチャージ電圧の印加、駆動方法は図 9 2 の実施例においても適用できることは言うまでもない。端子 7 6 1 a から出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフタ回路 6 9 3 でスイッチ 6 4 1 のオンオフロジックレベルまで振幅が大きくなる。

【0626】

以上のように構成することにより、ソースドライバ回路（IC）14 はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧 PV は、動作電圧が高いアレイ基板 7 1 で課題はなくなる。したがって、プリチャージも V_{dd} 電圧まで十分印加できるようになる。

【0627】

図 8 9 のスイッチ回路 6 4 1 もソースドライバ回路（IC）14 内に形成（配置）するとなると耐圧が問題となる。たとえば、画素 1 6 の V_{dd} 電圧が、IC 14 の電源電圧よりも高い場合、IC 14 の端子 7 6 1 に IC 14 を破壊するような電圧が印加される危険があるからである。

【0628】

この課題を解決する実施例が図 9 1 の構成である。アレイ基板 7 1 にスイッチ回路 6 4 1 を形成（配置）している。スイッチ回路 6 4 1 の構成などは図 9 2 で説明した構成、仕様など同一または近似である。

【0629】

スイッチ 6 4 1 は IC 14 の出力よりも先で、かつソース信号線 1 8 の途中に配置されている。スイッチ 6 4 1 がオンすることにより、画素 1 6 をプログラムする電流 I_w がソースドライバ回路（IC）14 に流れ込む。スイッチ 6 4 1 がオフすることにより、ソースドライバ回路（IC）14 はソース信号線 1 8 から切り離される。このスイッチ 6 4 1 を制御することにより、図 9 0 に図示する駆動方式などを実施することができる。

【0630】

図 9 2 と同様に端子 7 6 1 a から出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフタ回路 6 9 3 でスイッチ 6 4 1 のオンオフ

ロジックレベルまで振幅が大きくされる。

【0631】

以上のように構成することにより、ソースドライバ回路（IC）14はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ641もアレイ71の電源電圧で動作するため、画素16から V_{dd} 電圧がソース信号線18に印加されてもスイッチ641が破壊することはなく、また、ソースドライバ回路（IC）14が破壊されることもない。

【0632】

なお、図91のソース信号線18の途中に配置（形成）されたスイッチ641とプリチャージ電圧 PV 印加用スイッチ641の双方をアレイ基板71に形成（配置）してもよいことは言うまでもない（図91+図92の構成）。

【0633】

以前にも説明したが、図1のように画素16の駆動用TFT11a、選択TFT（11b、11c）がPチャンネルTFTの場合は、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、選択TFT（11b、11c）のG-S容量（寄生容量）を介して、コンデンサ19の端子に突き抜けるためである。Pチャンネルトランジスタ11bがオフするときには V_{gh} 電圧となる。そのため、コンデンサ19の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ11aのゲート（G）端子電圧は上昇し、より黒表示となる。

【0634】

しかし、反面、第1階調の完全黒表示は実現できるが、第2階調などは表示しにくいことになる。もしくは、第1階調から第2階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

【0635】

この課題を解決する構成が、図71の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路711の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル0であっても、ある程度（数10nA）電流が流れるようにし、黒レベルの調整にも用いることができる。

【0636】

基本的には、図 7 1 は、図 6 4 の出力段に嵩上げ回路（図 7 1 の点線で囲まれた部分）を追加したものである。図 7 1 は、電流値嵩上げ制御信号として 3 ビット（K 0、K 1、K 2）を仮定したものであり、この 3 ビットの制御信号により、孫電流源の電流値の 0 ～ 7 倍の電流値を出力電流に加算することが可能である。

【 0 6 3 7 】

以上が本発明のソースドライバ回路（I C）1 4 の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（I C）1 4 について説明をする。

【 0 6 3 8 】

E L 素子 1 5 に流す電流 I （A）と発光輝度 B （n t）とは線形の関係がある。つまり、E L 素子 1 5 に流す電流 I （A）と発光輝度 B （n t）とは比例する。電流駆動方式では、1 ステップ（階調刻み）は、電流（電流源 6 3 4（1 単位））である。

【 0 6 3 9 】

人間の輝度に対する視覚は 2 乗特性をもっている。つまり、2 乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図 8 3 の関係であると、低輝度領域でも高輝度領域でも、E L 素子 1 5 に流す電流 I （A）と発光輝度 B （n t）とは比例する。したがって、1 ステップきざみずつ変化させると、低階調部（黒領域）では、1 ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ 2 乗カーブの直線領域と一致するので、1 ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（1 ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（I C）1 4 において）、黒表示領域が課題となる。

【 0 6 4 0 】

この課題に対して、本発明は、図 7 9 に図示するように、低階調領域（階調 0（完全黒表示）から階調（R 1））の電流出力の傾きを小さくし、高階調領域（階調（R 1）から最大階調（R））の電流出力の傾きを大きくする。つまり、低階調領域では、1 階調あたりに（1 ステップ）増加する電流量と小さくする。高

階調領域では、1 階調あたりに（1 ステップ）増加する電流量と大きくする。図 7 9 の 2 つの階調領域で 1 ステップあたりに変化する電流量を異ならせることにより、階調特性が 2 乗カーブに近くなり、低階調領域での黒飛びの発生はない。以上の図 7 9 などに図示する、階調－電流特性カーブをガンマカーブと呼ぶ。

【 0 6 4 1 】

なお、以上の実施例では、低階調領域と高階調領域の 2 段階の電流傾きとしたが、これに限定するものではない。3 段階以上であっても良いことは言うまでもない。しかし、2 段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。

【 0 6 4 2 】

本発明の技術的思想は、電流駆動方式のソースドライバ回路（IC）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、階調 1 ステップあたりの電流増加量が複数存在させることである。

【 0 6 4 3 】

EL などの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が増加する。したがって、本発明のソースドライバ回路（IC）1 4 では、1 つの電流源（1 単位）6 3 4 に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【 0 6 4 4 】

EL 表示パネルでは、R、G、B で発光効率が異なり、また、NTSC 基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためには RGB の比率を適正に調整する必要がある。調整は、RGB のそれぞれの基準電流を調整することにより行う。たとえば、R の基準電流を $2 \mu A$ にし、G の基準電流を $1.5 \mu A$ にし、B の基準電流を $3.5 \mu A$ にする。基準電流は、なお、本発明のドライバでは、図 6 7 の第 1 段の電流源 6 3 1 のカレントミラー倍率を小さくし（たとえば、基準電流が $1 \mu A$ であれば、トランジスタ 6 3 2 b に流れる電流を $1/100$ の $10 nA$ にするなど）、外部から調整する基準電流の調

整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

【 0 6 4 5 】

図 7 9 のガンマカーブを実現できるように、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、RGB で独立に調整できるように、RGB ごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1 色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2 色（たとえば、G を固定している場合は、R、B）を調整する低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備させればよい。

【 0 6 4 6 】

電流駆動方式は、図 8 3 にも図示したように、EL に流す電流 I と輝度の関係は直線の関係がある。したがって、RGB の混合によるホワイトバランスの調整は、所定の輝度の一点で RGB の基準電流を調整するだけでよい。つまり、所定の輝度の一点で RGB の基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。

【 0 6 4 7 】

しかし、図 7 9 のガンマカーブの場合は、少し注意が必要である。まず、RGB のホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調 R1）を RGB で同一にする必要がある（逆に言えば、電流駆動方式では、ガンマカーブの相対的な関係を RGB で同一にできるということになる）。また、低階調領域の傾きと高階調領域の傾きとの比率を RGB で、一定にする必要がある（つまり、電流駆動方式では、ガンマカーブの相対的な関係を RGB で同一にできるということになる）。たとえば、低階調領域で 1 階調あたり 10 nA 増加（低階調領域でのガンマカーブの傾き）し、高階調領域で 1 階調あたり 50 nA 増加（高階調領域でのガンマカーブの傾き）する（なお、高階調領域で 1 階調あたり電流増加量 / 低階調領域で 1 階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、 $50 \text{ nA} / 10 \text{ nA} = 5$ である）。すると、RGB でガンマ電流比率を同一にする。つまり、RGB では、ガンマ電流比率を

同一にした状態で E L 素子 1 5 に流れる電流を調整するように構成する。

【 0 6 4 8 】

図 8 0 ではそのガンマカーブの例である。図 8 0 (a) では、低階調部と高階調部とも 1 階調あたりの電流増加が大きい。図 8 0 (b) では、低階調部と高階調部とも 1 階調あたりの電流増加は図 8 0 (a) に比較して小さい。ただし、図 8 0 (a) 、図 8 0 (b) とともにガンマ電流比率は同一にしている。このようにガンマ電流比率を、 R G B で同一に維持したまま調整することは、各色ごとに、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するボリュームを作製（配置）すればよいからである。

【 0 6 4 9 】

図 7 7 はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路 7 7 2 で低電流領域の基準電流源 7 7 1 L と高電流領域の基準電流源 7 7 1 H とのガンマ電流比率を維持したまま、電流源 6 3 3 L 、 6 3 3 H に流れる電流を変化させる。

【 0 6 5 0 】

また、図 7 8 に図示するように、 I C チップ（回路） 1 4 内に形成した温度検出回路 7 8 1 で相対的な表示パネルの温度を検出することが好ましい。有機 E L 素子は、 R G B を構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色ごとに配置（形成）した温度制御回路 7 8 2 にフィードバックし、電流制御回路 7 7 2 により温度補償を行う。

【 0 6 5 1 】

なお、ガンマ比率は、検討により、 3 以上 1 0 以下の関係にすることが適切である。さらに好ましくは、 4 以上 8 以下の関係にすることが適切である。特にガンマ電流比率は 5 以上 7 以下の関係を満足させることが好ましい。これを第 1 の関係と呼ぶ。

【 0 6 5 2 】

また、低階調部と高階調部との変化ポイント（図 7 9 の階調 R 1）は、最大階調数 K の $1/32$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数 K が 6 ビットの 64 階調とすれば、 $64/32 = 2$ 階調番目以上、 $64/4 = 16$ 階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（図 7 9 の階調 R 1）は、最大階調数 K の $1/16$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数 K が 6 ビットの 64 階調とすれば、 $64/16 = 4$ 階調番目以上、 $64/4 = 16$ 階調番目以下にする）。さらに好ましくは、最大階調数 K の $1/10$ 以上 $1/5$ 以下に設定するのが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数 K が 6 ビットの 64 階調とすれば、 $64/10 = 6$ 階調番目以上、 $64/5 = 12$ 階調番目以下にする）。以上の関係を第 2 の関係と呼ぶ。なお、以上の説明は、2 つの電流領域のガンマ電流比率の関係である。しかし、以上の第 2 の関係は、3 つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が 2 箇所以上ある）場合にも適用される。つまり、3 つ以上の傾きに対し、任意の 2 つの傾きに対する関係に適用すればよい。

【 0 6 5 3 】

以上の第 1 の関係と第 2 の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

【 0 6 5 4 】

図 8 2 は、本発明の電流駆動方式のソースドライバ回路（IC）14 を 1 つの表示パネルに複数個用いた実施例である。本発明のソースドライバ IC 14 は複数のドライバ IC 14 を用いることを想定した、スレーブ/マスター（S/M）端子を具備している。S/M 端子を H レベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブの IC 14（14 a、14 c）の図 7 3、図 7 4 の INL、INH 端子に流れる電流となる。S/M 端子を L レベルにすることにより IC 14 はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図 7 3、図 7 4 の INL、INH 端子に流れる電流となる。

【 0 6 5 5 】

基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の 2 系統である。したがって、RGB の 3 色では、 3×2 で 6 系統となる。なお、上記の実施例では、各色 2 系統としたがこれに限定するものではなく、各色 3 系統以上であっても良い。

【 0 6 5 6 】

本発明の電流駆動方式では、図 8 1 に図示するように、折れ曲がり点（階調 R 1 など）を変更できるように構成している。図 8 1 (a) では、階調 R 1 で低階調部と高階調部とを変化させ、図 8 1 (b) では、階調 R 2 で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所に変化できるようにしている。

【 0 6 5 7 】

具体的には、本発明では 6 4 階調表示を実現できる。折れ曲がり点（R 1）は、なし、2 階調目、4 階調目、8 階調目、1 6 階調目としている。なお、完全黒表示を階調 0 としているため、折れ曲がり点は 2、4、8、1 6 となるのであって、完全に黒表示の階調を階調 1 とするのであれば、折れ曲がり点は、3、5、9、1 7、3 3 となる。以上のように、折れ曲がり位置を 2 の倍数の箇所（もしくは、2 の倍数 + 1 の箇所：完全黒表示を階調 1 とした場合）でできるように構成することにより、回路構成が容易になるという効果が発生する。

【 0 6 5 8 】

図 7 3 は低電流領域の電流源回路部の構成図である。また、図 7 4 は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図 7 3 に図示するように低電流源回路部は基準電流 I_{NL} が印加され、基本的にはこの電流が単位電流となり、入力データ $L_0 \sim L_4$ により、電流源 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流 I_{wL} が流れる。

【 0 6 5 9 】

また、図 7 4 に図示するように高電流源回路部は基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $H_0 \sim L_5$ により、電流源 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流 I_{wH} が流れ

る。

【0660】

嵩上げ電流回路部も同様であって、図74に図示するように基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $AK0 \sim AK2$ により、電流源634が必要個数動作し、その総和として嵩上げ電流に対応する電流 I_{wK} が流れる

ソース信号線18に流れるプログラム電流 I_w は $I_w = I_{wH} + I_{wL} + I_{wK}$ である。なお、 I_{wH} と I_{wL} の比率、つまりガンマ電流比率は、先にも説明した第1の関係を満足させるようにする。

【0661】

なお、図73、図74に図示するようにオンオフスイッチ641は、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成される。このようにスイッチ641を、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成することにより、オン抵抗を低下することができ、電流源634とソース信号線18間の電圧降下が極めて小さくすることができる。

【0662】

図73の低電流回路部と図74の高電流回路部の動作について説明をする。本発明のソースドライバ回路(IC)14は、低電流回路部 $L0 \sim L4$ の5ビットで構成され、高電流回路部 $H0 \sim H5$ の6ビットで構成される。なお、回路の外部から入力されるデータは $D0 \sim D5$ の6ビット(各色64階調)である。この6ビットデータを $L0 \sim L4$ の5ビット、高電流回路部 $H0 \sim H5$ の6ビットに変換してソース信号線に画像データに対応するプログラム電流 I_w を印加する。つまり、入力6ビットデータを、 $5 + 6 = 11$ ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

【0663】

以上のように、入力6ビットデータを、 $5 + 6 = 11$ ビットデータに変換をしている。本発明では、高電流領域の回路のビット数(H)は、入力データ(D)のビット数と同一にし、低電流領域の回路のビット数(L)は、入力データ(D

）のビット数-1としている。なお、低電流領域の回路のビット数（L）は、入力データ（D）のビット数-2としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、EL表示パネルの画像表示に最適になる。

【0664】

以下、低電流領域の回路制御データ（L0～L4）と高電流領域の回路制御データ（H0～H4）との制御方法について、図84から図86を参照しながら説明をする。

【0665】

本発明は図73の図73のL4端子に接続された、電流源634aの動作に特徴がある。この634aは1単位の電流源となる1つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流I_wの制御（オンオフ制御）が容易になる。

【0666】

図84は、低電流領域と高電流領域を階調4で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号である。なお、図84から図86において、階調0から18まで図示しているが、実際は63階調目までである。したがって、各図面において階調18以上は省略している。また、表の“1”の時にスイッチ641がオンし、該当電流源634とソース信号線18とが接続され、表の“0”の時にスイッチ641がオフするとしている。

【0667】

図84において、完全黒表示の階調0の場合は、（L0～L4）＝（0、0、0、0、0）であり、（H0～H5）＝（0、0、0、0、0）である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流I_w＝0である。

【0668】

階調1では、（L0～L4）＝（1、0、0、0、0）であり、（H0～H5）＝（0、0、0、0、0）である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソー

ス信号線 1 8 には接続されていない。

【 0 6 6 9 】

階調 2 では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 2 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【 0 6 7 0 】

階調 3 では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 2 つのスイッチ 6 4 1 L a、6 4 1 L b がオンし、3 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【 0 6 7 1 】

階調 4 では、 $(L0 \sim L4) = (1, 1, 0, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 3 つのスイッチ 6 4 1 L a、6 4 1 L b、6 4 1 L e がオンし、4 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【 0 6 7 2 】

階調 5 以上では、低電流領域 $(L0 \sim L4) = (1, 1, 0, 0, 1)$ は変化がない。しかし、高電流領域において、階調 5 では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。また、階調 6 では $(H0 \sim H5) = (0, 1, 0, 0, 0)$ であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 7 では $(H0 \sim H5) = (1, 1, 0, 0, 0)$ であり、2 つのスイッチ 6 4 1 H a スイッチ 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 8 では $(H0 \sim H5) = (0, 0, 1, 0, 0)$ であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位

電流源 6 4 1 がソース信号線 1 8 と接続される。以後、図 8 4 のように順次スイッチ 6 4 1 がオンオフし、プログラム電流 I_w がソース信号線 1 8 に印加される。

【 0 6 7 3 】

以上の動作で特徴的なのは、折れ曲がり点（低電流領域と高電流領域の切り換わり点、正確には、プログラム電流 I_w としては、高電流領域の階調の場合、低電流 I_{wL} が加算されているので、切り換わり点という表現は正しくない（また、嵩上げ電流 I_{wK} も加算される）。つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流 I_w となっているのである。1 ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット（L）が変化しない点である。また、この時、図 7 3 の L 4 端子に“1”となり、スイッチ 6 4 1 e がオンし、トランジスタ 6 3 4 a に電流が流れている点である。

【 0 6 7 4 】

したがって、図 8 4 の階調 4 では低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作している。そして、階調 5 では、低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階調部のトランジスタ（電流源）6 3 4 が 1 個動作している。以後同様に、階調 6 では、低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階調部のトランジスタ（電流源）6 3 4 が 2 個動作する。したがって、折れ曲がりポイントである階調 5 以上では、折れ曲がりポイント以下の低階調領域の電流源 6 3 4 が階調分（この場合、4 個）オンし、これに加えて、順次、高階調部の電流源 6 3 4 が階調に応じた個数順次オンしていく。

【 0 6 7 5 】

したがって、図 7 3 の L 4 端子のトランジスタ 6 3 4 a の 1 個は有用に作用していることがわかる。もし、このトランジスタ 6 3 4 a がないと、階調 3 の次に、高階調部のトランジスタ 6 3 4 が 1 個オンする動作になる。そのため、切り替わりポイントが 4、8、16 というように 2 の乗数にならない。2 の乗数は 1 信号にみが“1”となった状態である。したがって、2 の重み付けの信号ラインが

“1”となったという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができる。つまり、ICチップの論理回路が簡略化し、結果としてチップ面積小さいICを設計できるのである（低コスト化が可能である）。

【0676】

図85は、低電流領域と高電流領域を階調8で切り替える場合の低電流側信号線(L)と高電流側信号線(H)との印加信号の説明図である。

【0677】

図85において、完全黒表示の階調0の場合は、図84と同様であり、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。

【0678】

同様に階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0679】

階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0680】

階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つのスイッチ641La、641Lbがオンし、3つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0681】

以下も同様に、階調4では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ であり

、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調5では、 $(L0 \sim L4) = (1, 0, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。階調6では、 $(L0 \sim L4) = (0, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調7では、 $(L0 \sim L4) = (1, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。

【0682】

階調8が切り替わりポイント（折れ曲がり位置）である。階調8では、 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の4つのスイッチ641La、641Lb、641Lc、641Leがオンし、8つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0683】

階調8以上では、低電流領域 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ は変化がない。しかし、高電流領域において、階調9では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641がソース信号線18と接続されている。

【0684】

以下、同様に、階調ステップに応じて、高電流領域のトランジスタ634の個数が1個ずつ増加する。つまり、階調10では $(H0 \sim H5) = (0, 1, 0, 0, 0)$ であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641がソース信号線18と接続される。同様に、階調11では $(H0 \sim H5) = (1, 1, 0, 0, 0)$ であり、2つのスイッチ641Haスイッチ641Hbがオンし、高電流領域の3つの単位電流源641がソース信号線18と接続される。さらに、階調12では $(H0 \sim H5) = (0, 0, 1, 0, 0)$ であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641がソース信号線18と接続される。以後、図84のように順次スイッチ641がオンオフし、プログラム電流Iwがソース信号線18に印加される。

【0685】

図86は、低電流領域と高電流領域を階調16で切り替える場合の低電流側信号線(L)と高電流側信号線(H)との印加信号の説明図である。この場合も図84、図85と基本的な動作は同じである。

【0686】

つまり、図86において、完全黒表示の階調0の場合は、図85と同様であり、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。同様に階調1から階調16までは、高階調領域の $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。つまり、低階調領域の $(L0 \sim L4)$ のみが変化する。

【0687】

つまり、階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、階調4では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ である。以下階調16まで順次カウントされる。つまり、階調15では、 $(L0 \sim L4) = (1, 1, 1, 1, 0)$ であり、階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ である。階調16では、階調を示すD0～D5の5ビット目(D4)のみが1本オンするため、データD0～D5の表現している内容が16であるということが、1データ信号線(D4)の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。

【0688】

階調16が切り替わりポイント(折れ曲がり位置)である(もしくは階調17が切り替わりポイントというべきであるかもしれない)。階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の4つのスイッチ641La、641Lb、641Lc、641Leがオンし、16つの単位電流源634

がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。

【 0 6 8 9 】

階調 1 6 以上では、低電流領域 ($L 0 \sim L 4$) = (1、1、1、0、1) は変化がない。しかし、高電流領域において、階調 1 7 では ($H 0 \sim H 5$) = (1、0、0、0、0) であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 6 3 4 の個数が 1 個ずつ増加する。つまり、階調 1 8 では ($H 0 \sim H 5$) = (0、1、0、0、0) であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 1 9 では ($H 0 \sim H 5$) = (1、1、0、0、0) であり、2 つのスイッチ 6 4 1 H a スイッチ 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 2 0 では ($H 0 \sim H 5$) = (0、0、1、0、0) であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。

【 0 6 9 0 】

以上のように、切り替わりポイント（折れ曲がり位置）で、2 の乗数の個数の電流源（1 単位）6 3 4 がオンもしくはソース信号線 1 8 と接続（逆に、オフとなる構成も考えられる）ように構成するロジック処理などがきわめて容易になる。たとえば、図 8 4 に図示するように折れ曲がり位置が階調 4（4 は 2 の乗数である）であれば、4 個の電流源（1 単位）6 3 4 が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（1 単位）6 3 4 が加算されるように構成する。また、図 8 5 に図示するように折れ曲がり位置が階調 8（8 は 2 の乗数である）であれば、8 個の電流源（1 単位）6 3 4 が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源（1 単位）6 3 4 が加算されるように構成する。本発明の構成を採用すれば、6 4 階調に限らず（1 6 階調：4 0 9 6 色、2 5 6 階調：1 6 7 0 万色など）、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。

【 0 6 9 1 】

なお、図 8 4、図 8 5、図 8 6 で説明した実施例では、切り替わりポイントの階調が 2 の乗数となるとしたが、これは、完全黒階調が階調 0 とした場合である。階調 1 を完全黒表示とする場合は、+ 1 する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域（低電流領域、高電流領域など）を有し、その切り替わりポイントを信号入力が少なく判定（処理）できるように構成することである。その一例として、2 の乗数であれば、1 信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源 6 3 4 a を付加する。

【 0 6 9 2 】

したがって、負論理であれば、2、4、8・・・ではなく、階調 1、3、7、15・・・で切り替わりポイントとすればよい。また、階調 0 を完全黒表示としたが、これに限定するものではない。たとえば、6 4 階調表示であれば、階調 6 3 を完全黒表示状態とし、階調 0 を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、2 の乗数から処理上、異なる構成となる場合がある。

【 0 6 9 3 】

また、切り替わりポイント（折れ曲がり位置）が 1 つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置が階調 4 と階調 1 6 に設定することができる。また、階調 4 と階調 1 6 と階調 3 2 というように 3 ポイント以上に設定することもできる。

【 0 6 9 4 】

また、以上の実施例は、階調が 2 の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、2 の乗数の 2 と 8（ $2 + 8 = 10$ 階調目、つまり、判定に要する信号線は 2 本）で折れ曲がり点を設定してもよい。それ以上の 2 の乗数の 2 と 8 と 1 6（ $2 + 8 + 16 = 26$ 階調目、つまり、判定に要する信号線は 3 本）で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応

することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。

【0695】

図87に図示するように、本発明のソースドライバ回路（IC）14は3つの部分の電流出力回路704から構成されている。高階調領域で動作する高電流領域電流出力回路704aであり、低電流領域および高階調領域で動作する低電流領域電流出力回路704bであり、嵩上げ電流を出力する電流嵩上げ電流出力回路704cである。

【0696】

高電流領域電流出力回路704aと電流嵩上げ電流出力回路704cは高電流を出力する基準電流源771aを基準電流として動作し、低電流領域電流出力回路704bは低電流を出力する基準電流源771bを基準電流として動作する。

【0697】

なお、先にも説明したが、電流出力回路704は、高電流領域電流出力回路704a、低電流領域電流出力回路704b、電流嵩上げ電流出力回路704cの3つに限定するものではなく、高電流領域電流出力回路704aと低電流領域電流出力回路704bの2つでもよく、また、3つ以上の電流出力回路704から構成してもよい。また、基準電流源771はそれぞれの電流領域電流出力回路704に対応して配置または形成してもよく、また、すべての電流領域電流出力回路704に共通にしてもよい。

【0698】

以上の電流出力回路704が階調データに対応して、内部のトランジスタ634が動作し、ソース信号線18から電流を吸収する。前記とトランジスタ634は、1水平走査期間（1H）信号に同期して動作する。つまり、1Hの間、該当する階調データに基づく電流を入力する（トランジスタ634がNチャンネルの場合）。

【0699】

一方、ゲートドライバ回路12も1H信号に同期して、基本的には1本のゲート信号線17aを順次選択する。つまり、1H信号に同期して、第1H期間には

ゲート信号線 1 7 a (1) を選択し、第 2 H 期間にはゲート信号線 1 7 a (2) を選択し、第 3 H 期間にはゲート信号線 1 7 a (3) を選択し、第 4 H 期間にはゲート信号線 1 7 a (4) を選択する。

【 0 7 0 0 】

しかし、第 1 のゲート信号線 1 7 a が選択されてから、次の第 2 のゲート信号線 1 7 a が選択される期間には、どのゲート信号線 1 7 a も選択されない期間（非選択期間、図 8 8 の t 1 を参照）を設ける。非選択期間は、ゲート信号線 1 7 a の立ち上がり期間、立下り期間が必要であり、T F T 1 1 d のオンオフ制御期間を確保するために設ける。

【 0 7 0 1 】

いずれかのゲート信号線 1 7 a にオン電圧が印加され、画素 1 6 の T F T 1 1 b、T F T 1 1 c がオンしていれば、V d d 電源（アノード電圧）から駆動用 T F T 1 1 a を介して、ソース信号線 1 8 にプログラム電流 I w が流れる。このプログラム電流 I w がトランジスタ 6 3 4 に流れる（図 8 8 の t 2 期間）。なお、ソース信号線 1 8 には寄生容量 C が発生している（ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する）。

【 0 7 0 2 】

しかし、いずれのゲート信号線 1 7 a も選択されていない（非選択期間 図 8 8 の t 1 期間）は T F T 1 1 a を流れる電流経路がない。トランジスタ 6 3 4 は電流を流すから、ソース信号線 1 8 の寄生容量から電荷を吸収する。そのため、ソース信号線 1 8 の電位が低下する（図 8 8 の A の部分）。ソース信号線 1 8 の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

【 0 7 0 3 】

この課題に解決するため、図 8 9 に図示するように、ソース端子 7 6 1 との出力端にスイッチ 6 4 1 a を形成する。また、嵩上げ電流電流出力回路 7 0 4 c の出力段にスイッチ 6 4 1 b を形成または配置する。

【 0 7 0 4 】

非選択期間 t 1 に、制御端子 S 1 に制御信号を印加し、スイッチ 6 4 1 a をオ

フ状態にする。選択期間 t_2 ではスイッチ 641a をオン状態（導通状態）にする。オン状態の時にはプログラム電流 $I_w = I_{wH} + I_{wL} + I_{wK}$ が流れる。スイッチ 641a をオフにすると I_w 電流は流れない。したがって、図 90 に図示するように図 88 の A のような電位に低下（変化はない）。なお、スイッチ 641 のアナログスイッチ 731 のチャンネル幅 W は、 $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下にする。このアナログスイッチの W （チャンネル幅）はオン抵抗を低減するために、 $10\mu\text{m}$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $100\mu\text{m}$ 以下にする。さらに好ましくは、チャンネル幅 W は $15\mu\text{m}$ 以上 $60\mu\text{m}$ 以下にすることが好ましい。

【0705】

スイッチ 641b は低階調表示のみに制御するスイッチである。低階調表示（黒表示）時は、画素 16 の TFT 11a のゲート電位は V_{dd} に近くする必要がある（したがって、黒表示では、ソース信号線 18 の電位は V_{dd} 近くにする必要がある）。また、黒表示では、プログラム電流 I_w が小さく、図 88 の A ように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

【0706】

そのため、低階調表示の場合は、非選択期間 t_1 が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流 I_w が大きいため、非選択期間 t_1 が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ 641a、スイッチ 641b の両方をオンさせておく。また、嵩上げ電流 I_{wK} も切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ 641a をオンさせておき、スイッチ 641b はオフするというように駆動する。スイッチ 641b は端子 S2 で制御する。

【0707】

もちろん、低階調表示および高階調表示の両方で、非選択期間 t_1 にスイッチ 641a をオフ（非導通状態）、スイッチ 641b はオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間 t_1 にスイッチ 641a、スイッチ 641b の両方をオフ（非

導通)させた駆動を実施してもよい。

【0708】

いずれにしても、制御端子 S 1、S 2 の制御でスイッチ 6 4 1 を制御できる。
なお、制御端子 S 1、S 2 はコマンド制御で制御する。

【0709】

たとえば、制御端子 S 2 は非選択期間 t_1 をオーバーラップするように t_3 期間を“0”ロジックレベルとする。このように制御にすることにより、図 8 8 の A の状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子 S 1 を“0”ロジックレベルとする。すると、嵩上げ電流 I_{WK} は停止し、より黒表示を実現できる。

【0710】

以上の実施例は、表示パネルに 1 つのソースドライバ IC 1 4 を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバ IC 1 4 を 1 つの表示パネルに複数積載する構成でもよい。たとえば、図 9 3 は 3 つのソースドライバ IC 1 4 を積載した表示パネルの実施例である。

【0711】

本発明のソースドライバ IC 1 4 は、図 7 3、図 7 4、図 7 6、図 7 7 などでも説明したように、少なくとも低階調領域の基準電流と、高階調領域の基準電流の 2 系統を具備する。このことは、図 8 2 でも説明をした。

【0712】

図 8 2 でも説明したように、本発明の電流駆動方式のソースドライバ回路 (IC) 1 4 は複数のドライバ IC 1 4 を用いることを想定した、スレーブ/マスター (S/M) 端子を具備している。S/M 端子を H レベルにすることによりマスターチップとして動作し、基準電流出力端子 (図示せず) から、基準電流を出力する。もちろん、S/M 端子のロジックは逆極性でもよい。また、ソースドライバ IC 1 4 へのコマンドにより切り替えても良い。基準電流は可スケート電流接続線 9 3 1 で伝達される。S/M 端子を L レベルにすることにより IC 1 4 はスレーブチップとして動作し、基準電流入力端子 (図示せず) から、マスターチッ

プの基準電流を受け取る。この電流が図 7 3、図 7 4 の I N L、I N H 端子に流れる電流となる。

【 0 7 1 3 】

基準電流は I C チップ 1 4 の中央部（真中部分）の電流出力回路 7 0 4 で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいは I C 内部に配置あるいは構成された電流きざみ方式の電子ボリウムにより、基準電流が調整されて印加される。

【 0 7 1 4 】

なお、I C チップ 1 4 の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子 7 6 1 までの距離を極力短くするためである。

【 0 7 1 5 】

図 9 3 の構成では、マスターチップ 1 4 b より基準電流が 2 つのスレーブチップ（1 4 a、1 4 c）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ 1 4 b がスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（図 6 7 を参照のこと）。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

【 0 7 1 6 】

図 9 4 は基準電流の受け渡し端子位置を概念的に図示している。I C チップの中央部に配置されて信号入力端子 9 4 1 i に基準電流信号線 9 3 2 が接続されている。この基準電流信号線 9 3 2 に印加される電流（なお、電圧の場合もある。図 7 6 を参照のこと）は、E L 材料の温特補償がされている。また、E L 材料の寿命劣化による補償がされている。

【 0 7 1 7 】

基準電流信号線 9 3 2 に印加された電流（電圧）に基づき、チップ 1 4 内で各電流源（6 3 1、6 3 2、6 3 3、6 3 4）を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレー

ブチップへの基準電流は端子 9 4 1 o から出力される。端子 9 4 1 o は基準電流発生回路 7 0 4 の左右に少なくとも 1 個以上配置（形成）される。図 9 4 では、左右に 2 個ずつ配置（形成）されている。この基準電流が、カスケード信号線 9 3 1 a 1、9 3 1 a 2、9 3 1 b 1、9 3 1 b 2 でスレーブチップ 1 4 に伝達される。なお、スレーブチップ 1 4 a に印加された基準電流を、マスターチップ 1 4 b にフィードバックし、ずれ量を補正するように回路を構成してもよい。

【0 7 1 8】

有機 E L 表示パネルをモジュール化する際、問題となる事項に、アノード配線 9 5 1、カソード配線の引き回し（配置）の抵抗値の課題がある。有機 E L 表示パネルは、E L 素子 1 5 の駆動電圧が比較的低いかわりに、E L 素子 1 5 に流れる電流が大きい。そのため、E L 素子 1 5 に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、2 インチクラスの E L 表示パネルでも高分子 E L 材料では、2 0 0 m A 以上の電流をアノード配線 9 5 1 に流す必要がある。そのため、アノード配線 9 5 1 の電圧降下を防止するため、アノード配線は 1 Ω 以下の低抵抗化する必要がある。しかし、アレイ基板 7 1 では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、2 0 0 m A の電流をほとんど電圧降下なしで伝達するためには、配線幅が 2 m m 以上となるという課題があった。

【0 7 1 9】

図 1 0 5 は従来の E L 表示パネルの構成である。表示領域 5 0 の左右に内蔵ゲートドライバ 1 2 a、1 2 b が形成（配置）されている。また、ソースドライバ回路 1 4 p も画素 1 6 の T F T と同一プロセスで形成されている（内蔵ソースドライバ回路）。

【0 7 2 0】

アノード配線 9 5 1 はパネルの右側に配置されている。アノード配線 9 5 1 には V d d 電圧が印加されている。アノード配線 9 5 1 幅は一例として 2 m m 以上である。アノード配線 9 5 1 は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、Q C I F パネルでは、1 7 6 列 \times R G B = 5 2 8 本である。一方、ソース信号線 1 8 は内蔵ソースドライバ 1 4 p から出力さ

れている。ソース信号線 1 8 は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ 1 2 の電源配線 1 0 5 1 も画面の左右に配置されている。

【 0 7 2 1 】

したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図 1 0 5 の構成では、狭額縁化が困難である。

【 0 7 2 2 】

この課題を解決するため、本発明の表示パネルでは、図 1 0 6 に図示するように、アノード配線 9 5 1 はソースドライバ IC 1 4 の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（IC）1 4 は半導体チップで形成（作製）し、COG（チップオンガラス）技術で基板 7 1 に実装している。ソースドライバ IC 1 4 化にアノード配線 9 5 1 を配置（形成）できるのは、チップ 1 4 の裏面に基板に垂直方向に $10\mu\text{m} \sim 30\mu\text{m}$ の空間があるからである。図 1 0 5 のように、ソースドライバ回路 1 4 p をアレイ基板 7 1 に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ回路 1 4 p の下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）9 5 1 を形成することは困難である。

【 0 7 2 3 】

また、図 1 0 6 に図示するように、共通アノード線 9 6 2 を形成し、ベースアノード線 9 5 1 と共通アノード線 9 6 2 とを接続アノード線 9 6 1 で短絡させている。特に、ICチップの中央部の接続アノード線 9 6 1 を形成した点がポイントである。接続アノード線 9 6 1 を形成することにより、ベースアノード線 9 5 1 と共通アノード線 9 6 2 間の電位差がなくなる。また、アノード配線 9 5 2 を共通アノード線 9 6 2 から分岐している点がポイントである。以上の構成を採用することにより、図 1 0 5 のようにアノード配線 9 5 1 の引き回しがなくなり、狭額縁化を実現できる。

【 0 7 2 4 】

なお、ソースドライバ I C 1 4 の裏面にアノード配線（カソード配線）などの E L 素子 1 5 に電流を供給する配線を敷設する（配置する、形成する）としたが、これに限定するものではない。たとえば、ゲートドライバ回路 1 2 を I C チップで形成し、この I C を C O G 実装してもよい。このゲートドライバ I C 1 2 の裏面にアノード配線、カソード配線を配置（形成）する。以上のように本発明は、E L 表示装置などにおいて、駆動 I C を半導体チップで形成（作製）し、この I C をアレイ基板 7 1 などの基板に直接実装し、かつ、I C チップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成（作製）するものである。

【 0 7 2 5 】

以上の事項を他の図面を使用しながらさらに詳しく説明をする。図 9 5 は本発明の表示パネルの一部の説明図である。図 9 5 において、点線が I C チップ 1 4 を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）が I C チップ 1 4 の裏面かつアレイ基板 7 1 上に形成（配置）されている。なお、本発明の実施例において、I C チップ（1 2、1 4）の裏面に分岐前のアノード配線 9 5 1 を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線 9 5 1 のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲートドライバ回路 1 2 の電源配線 1 0 5 1 を配置または形成してもよい。

【 0 7 2 6 】

I C チップ 1 4 は C O G 技術により電流出力（電流入力）端子 7 4 1 とアレイ 7 1 に形成された接続端子 9 5 3 とが接続される。接続端子 9 5 3 はソース信号線 1 8 の一端に形成されている。また、接続端子 9 5 3 は 9 5 3 a と 9 5 3 b というように千鳥配置である。なお、ソース信号線の一端には接続端子 9 5 3 が形成され、他の端にもチェック用の端子電極が形成されている。

【 0 7 2 7 】

また、本発明では I C チップは電流駆動方式のドライバ I C （電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図 4 3、図 5 3 などの電圧プログラムの画素を駆動する電圧駆動方式のドライバ I C を

積載した E L 表示パネル（装置）などにも適用することができる。

【 0 7 2 8 】

接続端子 9 5 3 a と 9 5 3 b 間にはアノード配線 9 5 2（分岐後のアノード配線）が配置される。つまり、太く、低抵抗のベースアノード線 9 5 1 から分岐されたアノード配線 9 5 2 が接続端子 9 5 3 間に形成され、画素 1 6 列に沿って配置されている。したがって、アノード配線 9 5 2 とソース信号線 1 8 とは平行に形成（配置）される。以上のように構成（形成）することにより、図 1 0 5 のようにベースアノード線 9 5 1 を画面横に引き回すことなく、各画素に V d d 電圧を供給できる。

【 0 7 2 9 】

図 9 6 はさらに、具体的に図示している。図 9 5 との差異は、アノード配線を接続端子 9 5 3 間に配置せず、別途形成した共通アノード線 9 6 2 から分岐させた点である。共通アノード線 9 6 2 とベースアノード線 9 5 1 とは接続アノード線 9 6 1 で接続している。

【 0 7 3 0 】

図 9 6 は I C チップ 1 4 を透視して裏面の様子を図示したように記載している。I C チップ 1 4 は出力端子 7 6 1 にプログラム電流 I w を出力する電流出力回路 7 0 4 が配置されている。基本的に、出力端子 7 6 1 と電流出力回路 7 0 4 は規則正しく配置されている。I C チップ 1 4 の中央部には親電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、I C チップの中央部には出力端子 7 6 1 が形成されていない（電流出力回路 7 0 4 が I C チップの中央部に形成できないからである）。

【 0 7 3 1 】

本発明では、図 9 6 の中央部 7 0 4 a 部には出力端子 7 6 1 を I C チップに作製していない（出力回路がないからである。なお、ソースドライバなどの I C チップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い）。本発明の I C チップはこの点に着眼し、I C チップの中央部に出力端子 7 6 1 を形成（配置）せず（ソースドライバなどの I C チップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっ

ても、中央部にダミーパッドをして、出力端子（パッド）が形成されているのが一般的である）、この位置に共通アノード線 9 6 1 を形成している（ただし、共通アノード線 9 6 1 はアレイ基板 7 1 面に形成されている）。接続アノード線 9 6 1 の幅は、 $50\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下にする。また、長さに対する抵抗（最大抵抗）値は、 100Ω 以下になるようにする。

【 0 7 3 2 】

接続アノード線 9 6 1 でベースアノード線 9 5 1 と共通アノード線 9 6 2 とをショートすることにより、共通アノード線 9 6 2 に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線 9 6 1 は IC チップの中央部に出力回路がない点を有効に利用しているのである。また、従来、IC チップの中央部にダミーパッドとして形成されている出力端子 7 6 1 を削除することにより、このダミーパッドと接続アノード線 9 6 1 が接触することによる、IC チップが電氣的に影響をあたえることを防止している。ただし、このダミーパッドが IC チップのベース基板（チップのグランド）、他の構成と電氣的に絶縁されている場合は、ダミーパッドが接続アノード線 9 6 1 と接触しても全く問題がない。したがって、ダミーパッドを IC チップの中央部に形成したままでもよいことは言うまでもない。

【 0 7 3 3 】

さらに具体的には、図 9 9 のように接続アノード線 9 6 1、共通アノード線 9 6 2 は形成（配置）されている。まず、接続アノード線 9 6 1 は太い部分（9 6 1 a）と細い部分（9 6 1 b）がある。太い部分（9 6 1 a）は抵抗値を低減するためである。細い部分（9 6 1 b）は、出力端子 9 6 3 間に接続アノード線 9 6 1 b を形成し、共通アノード線 9 6 2 と接続するためである。

【 0 7 3 4 】

また、ベースアノード線 9 5 1 と共通アノード線 9 6 2 との接続は、中央部の接続アノード線 9 6 1 b だけでなく、左右の接続アノード線 9 6 1 c でもショートしている。したがって、共通アノード線 9 6 2 とベースアノード線 9 5 1 とは 3 本の接続アノード線 9 6 1 でショートされている。したがって、共通アノード線 9 6 2 に大きな電流が流れても共通アノード線 9 6 2 で電圧降下が発生しにく

い。これは、ICチップ14は通常、幅が2mm以上あり、このIC14下に形成されたベースアノード線951の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線951と共通アノード線962とを複数箇所接続アノード線961によりショートしているため、共通アノード線962の電圧降下は小さくなるのである。

【0735】

以上のように共通アノード線962での電圧降下を小さくできるのは、ICチップ14下にベースアノード線951を配置（形成）できる点、ICチップ14の左右の位置を用いて、接続アノード線961cを配置（形成）できる点、ICチップ14の中央部に接続アノード線961bを配置（形成）できる点にある。

【0736】

また、図99では、ベースアノード線951とカソード電源線（ベースカソード線）991とを絶縁膜102を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源バスコンデンサとして機能する。したがって、ベースアノード線951の急激な電流変化を吸収することができる。コンデンサの容量は、EL表示装置の表示面積をS平方ミリメートルとし、コンデンサの容量をC（pF）としたとき、 $M/200 \leq C \leq M/10$ 以下の関係を満足させることがよい。さらには、 $M/100 \leq C \leq M/20$ 以下の関係を満足させることがよい。Cが小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

【0737】

なお、図99などの実施例では、ICチップ14下にベースアノード線951を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図99において、ベースカソード線991とベースアノード線951とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板71もしくはフレキシブル基板に実装し、半導体チップの下面にEL素子15などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

【 0 7 3 8 】

したがって、半導体チップは、ソースドライバ 1 4 に限定されるものではなく、ゲートドライバ 1 2 でもよく、また、電源 IC でもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面に EL 素子 1 5 などの電源あるいはグラントパターンを配線（形成）する構成も含まれる。また、EL 素子 1 5 への電源あるいはグラントパターンとしたがこれに限定するものではなく、ソースドライバ 1 4 への電源配線、ゲートドライバ 1 2 への電源配線でもよい。また、EL 表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、FED、PDP など表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

【 0 7 3 9 】

図 9 7 は本発明の他の実施例である。主な図 9 5、図 9 6、図 9 9 との差異は図 9 5 が出力端子 9 5 3 間にアノード配線 9 5 2 を配置したのに対し、図 9 7 では、ベースアノード配線 9 5 1 から多数（複数）の細い接続アノード線 9 6 1 d を分岐させ、この接続アノード線 9 6 1 d を共通アノード線 9 6 2 とをショートした点である。また、細い接続アノード線 9 6 1 d と接続端子 9 5 3 と接続されたソース信号線 1 8 とを絶縁膜 1 0 2 を介して積層した点である。

【 0 7 4 0 】

アノード線 9 6 1 d はベースアノード線 9 5 1 とコンタクトホール 9 7 1 a で接続を取り、アノード配線 9 5 2 は共通アノード線 9 6 2 とコンタクトホール 9 7 1 b で接続を取っている。他の点（接続アノード線 9 6 1 a、9 6 1 b、9 6 1 c、アノードコンデンサ構成など）などは図 9 6、図 9 9 と同様であるので説明を省略する。

【 0 7 4 1 】

図 9 9 の a a ' 線での断面図を図 9 8 に図示する。図 9 8 (a) では、略同一幅のソース信号線 1 8 を接続アノード線 9 6 1 d が絶縁膜 1 0 2 a を介して積層されている。

絶縁膜 1 0 2 a の膜厚は、500 オングストローム以上 3000 オングストローム (Å) 以下にする。さらに好ましくは、800 オングストローム以上 2000

オングストローム (Å) 以下にする。膜厚が薄いと、接続アノード線 9 6 1 d とソース信号線 1 8 との寄生容量が大きくなり、また、接続アノード線 9 6 1 d とソース信号線 1 8 との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜 1 0 2 は、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 SiO_2 , SiN_x などの無機材料が例示される。その他、 Al_2O_3 , Ta_2O_3 などであってもよいことは言うまでもない。また、図 9 8 (a) に図示するように、最表面には絶縁膜 1 0 2 b を形成し、配線 9 6 1 などの腐食、機械的損傷を防止させる。

【 0 7 4 2 】

図 9 8 (b) では、ソース信号線 1 8 の上にソース信号線 1 8 よりも線幅の狭い接続アノード線 9 6 1 d が絶縁膜 1 0 2 a を介して積層されている。以上のように構成することにより、ソース信号線 1 8 の段差によるソース信号線 1 8 と接続アノード線 9 6 1 d とのショートを抑制することができる。図 9 8 (b) の構成では、接続アノード線 9 6 1 d の線幅は、ソース信号線 1 8 の線幅よりも 0.5 μm 以上狭くすることが好ましい。さらには、接続アノード線 9 6 1 d の線幅は、ソース信号線 1 8 の線幅よりも 0.8 μm 以上狭くすることが好ましい。

【 0 7 4 3 】

図 9 8 (b) では、ソース信号線 1 8 の上にソース信号線 1 8 よりも線幅の狭い接続アノード線 9 6 1 d が絶縁膜 1 0 2 a を介して積層されているとしたが、図 9 8 (c) に図示するように、接続アノード線 9 6 1 d の上に接続アノード信号線 9 6 1 d よりも線幅の狭いソース信号線 1 8 が絶縁膜 1 0 2 a を介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

【 0 7 4 4 】

図 1 0 0 は IC チップ 1 4 部の断面図である。基本的には図 9 9 の構成を基準にしているが、図 9 6、図 9 7 などでも同様に適用できる。もしくは類似に適用できる。

【 0 7 4 5 】

図 1 0 0 (b) は図 9 9 の AA' での断面図である。図 1 0 0 (b) でも明ら

かなように、ICチップの14の中央部には出力パッド761が形成（配置）されていない。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりパンプ（突起）が形成されている。突起の高さは $10\mu\text{m}$ 以上 $40\mu\text{m}$ 以下の高さにする。もちろん、金メッキ技術（電解、無電解）により突起を形成してもよいことは言うまでもない。

【0746】

前記突起と各ソース信号線18とは導電性接合層（図示せず）を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化錫（ SnO_2 ）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層（接続樹脂）1001は、転写等の技術でパンプ上に形成する。または、突起とソース信号線18とをACF樹脂1001で熱圧着される。なお、突起あるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。図100（a）はソース信号線18と共通アノード線962とが重なっている部分の断面図である（図98を参照のこと）。

【0747】

共通アノード線962からアノード配線952が分岐されている。アノード配線952はQCI Fパネルの場合は、 $176 \times \text{RGB} = 528$ 本である。アノード配線952を介して、図1などで図示するVdd電圧（アノード電圧）が供給される。1本のアノード配線952には、EL素子15が低分子材料の場合は、最大で $200\mu\text{A}$ 程度の電流が流れる。したがって、共通アノード配線962には、 $200\mu\text{A} \times 528$ で約 100mA の電流が流れる。

【0748】

したがって、共通アノード配線962での電圧降下を 0.2V 以内にするには、電流が流れる最大経路の抵抗値が 2Ω （ 100mA 流れるとして）以下にする必要がある。本発明では、図99に示すように3箇所接続アノード線96

1 を形成しているので、集中分布回路におきなおすと、共通アノード線 9 6 2 の抵抗値は容易に極めて小さく設計することができる。また、図 9 7 のように多数の接続アノード線 9 6 1 d を形成すれば、共通アノード線 9 6 2 での電圧降下は、ほぼなくなる。

【 0 7 4 9 】

問題となるのは、共通アノード線 9 6 2 とソース信号線 1 8 との重なり部分における寄生容量（共通アノード寄生容量と呼ぶ）の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線 1 8 に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

【 0 7 5 0 】

共通アノード寄生容量は、少なくとも 1 ソース信号線 1 8 が表示領域内で発生する寄生容量（表示寄生容量と呼ぶ）の $1/10$ 以下にする必要がある。たとえば、表示寄生容量が 10 (pF) であれば、1 (pF) 以下にする必要がある。さらに好ましくは、（表示寄生容量と呼ぶ）の $1/20$ 以下にする必要がある。表示寄生容量が 10 (pF) であれば、0.5 (pF) 以下にする必要がある。この点を考慮して、共通アノード線 9 6 2 の線幅（図 1 0 3 の M）、絶縁膜 1 0 2 の膜厚（図 1 0 1 を参照）を決定する。

【 0 7 5 1 】

ベースアノード線 9 5 1 は IC チップ 1 4 の下に形成（配置）する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線 9 5 1 は遮光の機能を持たせることが好ましい。この説明図を図 1 0 2 に図示している。なお、ベースアノード配線 9 5 1 を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線 9 5 1 が太くできない時、あるいは、ITO などの透明材料で形成するときは、ベースアノード線 9 5 1 に積層して、あるいは多層に、光吸収膜あるいは光反射膜を IC チップ 1 4 下（基本的にはアレイ 7 1 の表面）に形成する。

【 0 7 5 2 】

もちろん、アレイ基板 7 1 と IC チップ 1 4 との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿

入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板 7 1 と IC チップ 1 4 との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線 9 5 1 を遮光膜（反射膜）にするとして説明をする。

【 0 7 5 3 】

図 1 0 2 のように、ベースアノード線 9 5 1 はアレイ基板 7 1 の表面（なお、表面に限定するものではない。遮光膜／反射膜とするという思想を満足させるためには、IC チップ 1 4 の裏面に光が入射しなければよいのである。したがって、基板 7 1 の内面あるいは内層にベースアノード線 9 5 1 などを形成してもよいことは言うまでもない。また、基板 7 1 の裏面にベースアノード線 9 5 1（反射膜、光吸収膜として機能する構成または構造）を形成することのより、IC 1 4 に光が入射することを防止または抑制できるのであれば、アレイ基板 7 1 の裏面でもよい。

【 0 7 5 4 】

また、図 1 0 2 などでは、遮光膜などはアレイ基板 7 1 に形成するとしたがこれに限定するものではなく、IC チップ 1 4 の裏面に直接に遮光膜などを形成してもよい。この場合は、IC チップ 1 4 の裏面に絶縁膜 1 0 2（図示せず）を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路 1 4 がアレイ基板 7 1 に直接に形成する構成（低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術によるドライバ構成）の場合は、遮光膜、光吸収膜あるいは反射膜を基板 7 1 に形成し、その上にドライバ回路 1 4 を形成（配置）すればよい。

【 0 7 5 5 】

IC チップ 1 4 には電流源 6 3 4 など、微小電流を流すトランジスタ素子が多

く形成されている（図 1 0 2 の回路形成部 1 0 2 1）。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流（プログラム電流 I_w ）、親電流量、子電流量などが異常な値（バラツキが発生するなど）となる。特に、有機 EL などの自発光素子は、基板 7 1 内で EL 素子 1 5 から発生した光が乱反射するため、表示領域 5 0 以外の箇所から強い光が放射される。この放射された光が、IC チップ 1 4 の回路形成部 1 0 2 1 に入射するとホトコンダクタ現象が発生する。したがって、ホトコンダクタ現象の対策は、EL 表示デバイスに特有の対策である。

【 0 7 5 6 】

この課題に対して、本発明では、ベースアノード線 9 5 1 を基板 7 1 上に構成し、遮光膜する。ベースアノード線 9 5 1 の形成領域は図 1 0 2 に図示するように、回路形成部 1 0 2 1 を被覆するようにする。以上のように、遮光膜（ベースアノード線 9 5 1）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線 9 5 1 などの EL 電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、1 H タイミングで少しずつ変化するため、ほぼ、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線 9 5 1 あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

【 0 7 5 7 】

有機 EL などの自発光素子は、基板 7 1 内で EL 素子 1 5 から発生した光が乱反射するため、表示領域 5 0 以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図 1 0 1 に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜 1 0 1 1 を形成する（逆に有効領域とは、表示領域 5 0 をその近傍）。光吸収膜を形成する箇所は、封止フタ 8 5 の外面（光吸収膜 1 0 1 1 a）、封止フタ 8 5 の内面（光吸収膜 1 0 1 1 c）、基板 7 0 の側面（光吸収膜 1 0 1 1 d）、基板の画像表示領域以外（光吸収膜 1 0 1 1 b）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることのより、光を発散させる方式あるいは構造も含まれる、また、広義に

は反射により光を封じこめる方式あるいは構成も含まれる。

【 0 7 5 8 】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボン含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成された PrMnO_3 膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【 0 7 5 9 】

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものをを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な 1 種、もしくはそれらのうち 2 種類以上の組み合わせでも良い。

【 0 7 6 0 】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。

【 0 7 6 1 】

なお、封止フタ 8 5 は、 $4\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下の樹脂ビーズ 1 0 1 2 を含有させた封止樹脂 1 0 3 1 を用いて、基板 7 1 と封止フタ 8 5 とを接着する。

【 0 7 6 2 】

図 9 9 の実施例は、共通アノード線 9 6 2 を IC チップ 1 4 の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図 1 0 3 に図示するように、表示領域 5 0 の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線 1 8 とアノード配線 9 5 2 とが短距離で

、かつ平行して配置（形成）する部分が減少するからである。ソース信号線 1 8 とアノード配線 9 5 2 とが短距離で、かつ平行に配置されると、ソース信号線 1 8 とアノード配線 9 5 2 間に寄生容量が発生するからである。図 1 0 3 のように、表示領域 5 0 の近傍に共通アノード線 9 6 2 を配置するとその問題点はなくなる。画面表示領域 5 0 から共通アノード線 9 6 2 の距離 K（図 1 0 3 を参照）は、1 mm 以下にすることが好ましい。

【 0 7 6 3 】

共通アノード線 9 6 2 は、極力低抵抗化するため、ソース信号線 1 8 を形成する金属材料で形成することが好ましい。本発明では、Al 薄膜あるいは Ti / Al / Ti の積層構造からなる金属材料（SDメタル）で形成している。したがって、ソース信号線 1 8 と共通アノード線 9 6 2 が交差する箇所はショートすることを防止するため、ゲート信号線 1 7 を構成する金属材料（GEメタル）に置き換える。ゲート信号線は、Mo / W の積層構造からなる金属材料で形成している。

【 0 7 6 4 】

一般的に、ゲート信号線 1 7 のシート抵抗は、ソース信号線 1 8 のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機 EL 表示パネルにおいて、かつ電流駆動方式では、ソース信号線 1 8 を流れる電流は 1 ~ 5 μ A と微少である。したがって、ソース信号線 1 8 の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線 1 8 に画像データを書き込む。したがって、ソース信号線 1 8 の抵抗値が高いと画像を 1 水平走査期間に書き込むことができない。

【 0 7 6 5 】

しかし、本発明の電流駆動方式では、ソース信号線 1 8 の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線 1 8 のシート抵抗は、ゲート信号線 1 7 のシート抵抗より高くともよい。したがって、本発明の EL 表示パネルにおいて（概念的には、電流駆動方式の表示パネルあるいは表示装置において）、図 1 0 4 に図示するように、ソース信号線 1 8 を GEメタルで作製（形成）し、ゲート信号線 1 7 を SDメタルで作製（形成）

してもよい（液晶表示パネルと逆）。

【0766】

図107は、図99、図103の構成に加えて、ゲートドライバ回路12を駆動する電源配線1051を配置した構成である。電源配線1051はパネルの表示領域50の右端→下辺→表示領域50の左端に引き回している。つまり、ゲートドライバ12aと12bの電源とは同一になっている。

【0767】

しかし、ゲート信号線17aを選択するゲートドライバ回路12a（ゲート信号線17aはTFT11b、TFT11cを制御する）と、ゲート信号線17bを選択するゲートドライバ回路12b（ゲート信号線17bはTFT11dを制御し、EL素子15に流れる電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線17aの振幅（オン電圧－オフ電圧）は小さいことが好ましい。ゲート信号線17aの振幅が小さくなるほど、画素16のコンデンサ19への突き抜け電圧が減少するからである（図1などを参照）。一方、ゲート信号線17bはEL素子15を制御する必要があるため、振幅は小さくできない。

【0768】

したがって、図108に図示するように、ゲートドライバ12aの印加電圧は V_{ha} （ゲート信号線17aのオフ電圧）と、 V_{la} （ゲート信号線17aのオン電圧）とし、ゲートドライバ12bの印加電圧は V_{hb} （ゲート信号線17bのオフ電圧）と、 V_{lb} （ゲート信号線17bのオン電圧）とする。 $V_{la} < V_{lb}$ なる関係とする。なお、 V_{ha} と V_{hb} とは、略一致させてもよい。

【0769】

ゲートドライバ回路109は、通常、NチャンネルトランジスタとPチャンネルトランジスタで構成するが、Pチャンネルトランジスタのみで形成することが好ましい。アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。NチャンネルトランジスタとPチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は10枚となるが、Pチャンネルトランジスタのみで形成すると必要なマスク数は5枚に

なる。

【 0 7 7 0 】

しかし、Pチャンネルトランジスタのみでゲートドライバ回路12などを構成すると、レベルシフタ回路をアレイ基板71に形成できない。レベルシフタ回路はNチャンネルトランジスタとPチャンネルトランジスタで構成するからである。

【 0 7 7 1 】

この課題に対して、本発明では、レベルシフタ回路機能を、電源IC1091に内蔵させている。図109はその実施例である。電源IC1091はゲートドライバ回路12の駆動電圧、EL素子15のアノード、カソード電圧、ソースドライバ回路14の駆動電圧を発生させる。

【 0 7 7 2 】

電源IC1091はゲートドライバ回路12のEL素子15のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路12の駆動する信号電圧までレベルシフトすることができる。

【 0 7 7 3 】

したがって、レベルシフトおよびゲートドライバ回路12の駆動は図109の構成で実施する。入力データ（画像データ、コマンド、制御データ）992はソースドライバIC14に入力される。入力データにはゲートドライバ回路12の制御データも含まれる。ソースドライバIC14は耐圧（動作電圧）が5（V）である。一方、ゲートドライバ回路12は動作電圧が15（V）である。ソースドライバ回路14から出力されるゲートドライバ回路12に出力される信号は、5（V）から15（V）にレベルシフトする必要がある。このレベルシフトを電源回路（IC）1091で行う。図109ではゲートドライバ回路12を制御するデータ信号も電源IC制御信号1092としている。

【 0 7 7 4 】

電源回路1091は入力されたゲートドライバ回路12を制御するデータ信号1092を内蔵するレベルシフタ回路でレベルシフトし、ゲートドライバ回路制

御信号 1 0 9 3 として出力し、ゲートドライバ回路 1 2 を制御する。

【0 7 7 5】

電流駆動方式の E L 表示パネルは、黒表示でのプログラム電流は 100 nA 以下を非常に微小である。したがって、ソース信号線 1 8 などに寄生容量が存在すると、寄生容量の充放電が 1 水平走査期間 (1 H) に実施することができない (十分に寄生容量の影響をなくすることができない)。したがって、書き込み不足が発生する。書き込み不足は、表示コントラストの低下、解像度の低下を招く。

【0 7 7 6】

寄生容量には、表示領域の寄生容量と、ドライバ I C 1 4 の出力端子の寄生容量がある。この出力端子の寄生容量とは、図 1 2 8 (a) に図示するように、出力段の内部配線 1 2 8 2 に接続された保護ダイオード 1 2 8 1 a による寄生容量 1 2 8 1 b である。保護ダイオード 1 2 8 1 a は、I C 1 4 の静電気対策として重要な回路であるが、図 1 2 8 (b) のように、保護ダイオード 1 2 8 1 a はコンデンサ 1 2 8 1 b (寄生容量) と等価である。なお、保護ダイオードなどによる寄生容量を保護容量と呼ぶ。

【0 7 7 7】

ドライバ I C 1 4 が電圧出力の場合は、保護容量が比較的大きくとも、I C 1 4 の出力インピーダンスが低いため影響はない。しかし、ドライバ I C 1 4 が電流出力の場合は、I C 1 4 の出力インピーダンスが高いため、保護容量の大きさは時定数に大きく影響する。つまり、1 水平走査期間 (1 H) 内でプログラム電流 I_w を画素 1 6 に書き込めない。しかし、静電気対策などのため、保護ダイオードを削除することはできない。

【0 7 7 8】

本発明はこの課題を解決させるものである。図 1 2 9 はその実施例である。図 1 2 8 (a) のような保護ダイオード 1 2 8 1 a は形成していない。かわりに隣接したソース信号線 1 8 間をショートするスイッチ 1 2 9 1 (短絡回路) を I C 1 4 内に形成している。短絡回路 1 2 9 1 はごく小さなスイッチである。スイッチして、M O S トランジスタが例示される。その他、バイポーラトランジスタでもよく、P チャンネルと N チャンネルのトランジスタからなるアナログスイッチ

でもよい。なお、スイッチはオープン状態の時、 $100\text{M}\Omega$ 以上の抵抗値を示すようにトランジスタの W （チャンネル幅）と L （チャンネル長）が設計される。また、このスイッチ1291はIC形成時、クローズ状態となるように構成されている（ノーマリクローズ）。制御端子（図示せず）に印加した信号（電圧）により図130に図示するようにオープンとなる。制御端子とはスイッチ1291を構成するトランジスタのゲート端子に接続されている。

【0779】

図131の実施例は隣接したソース信号線18間に短絡部1311を形成した実施例である。 $100\text{M}\Omega$ 以上の高インピーダンスの配線で形成される。隣接したソース信号線18間には微小なリークが発生するが、微小であるのプログラム電流 I_w には影響を与えない。短絡部はポリシリコンで形成する。

【0780】

図132（a）は隣接したソース信号線18間に完全な短絡部1311を形成した実施例である。短絡部をメタル配線などで形成する。ドライバIC14を基板71に実装するまでは、短絡部1311は残しておく。実装後、エッチング液などに基板71とIC14をと浸し、短絡部1311をエッチングして切り離す。以上の実施例では、エッチングにより短絡部1311を切り離すとしたが、レーザーなどを短絡部1311に照射することにより切断してもよい。

【0781】

図135はその実施例である。先にも説明したように、本発明ではIC14の裏面にはベースアノード線951が形成されている。また、ベースアノード線951はICがホトコンにより誤動作することを抑制するため、回路形成部を遮光するように基板上71に形成されている（図102およびその説明を参照のこと）。

【0782】

図135では、IC14において、短絡部1311が形成された箇所に、ベースアノード線951にスリット1351を空けている。スリット1351とは、光が透過できる部分である。このスリット1351から図136に図示するようにレーザー光1361を入射させることにより、短絡部1311を切断する。レ

ーザー光の波長は1 μ m前後が好ましい。この波長のレーザーとしてはYAGレーザーが例示される。もちろん、他のレーザーでもよい。たとえば、炭酸ガスレーザー、エキシマレーザー、ネオンヘリウムレーザー、白色レーザー、色素レーザーなどが例示される。その他、アルゴンランプ、キセノンランプが放射する光を集光したものをを用いても良い。つまり、光学エネルギーにあり、配線などを加工できるものであればいずれでもよい。

【0783】

レーザー光1361はガラス基板71を透過させて、短絡部1311などに照射する。レーザー光1361はベースアノード線951に形成されたスリット1351から入射する。なお、スリット1351を形成するとしたがこれに限定するものではない。重要なことは、短絡部1311などの切断箇所がレーザー光1361などで加工できるように構成することである。

【0784】

図133は内部配線1282に接続された保護ダイオード1281を形成した実施例である。図128(a)と異なる点は、保護ダイオード1281を内部配線1281aから切り離せるように短絡部（つまり切断部）1311bを形成している点である。さらにVss電圧源、Vdd電圧源とも切断できるように短絡部1311aを形成または配置している。図134は切断箇所に×印をつけている。なお、短絡部1311の切断に関しては、図135、図136などで説明したので説明を省略する。

【0785】

以上に説明した本発明のEL表示装置、液晶表示装置などに用いるアレイ基板、前記アレイ基板にEL素子15を形成したEL表示パネル、前記EL表示パネルを用いたEL表示装置あるいは情報表示装置もしくは映像表示装置の検査方法と検査装置について説明をする。検査方法は、アレイ基板もしくは表示装置の製造方法において歩留まりを向上させ、低コスト化のための必須技術である。

【0786】

なお、EL表示パネルの検査方法あるいは検査装置として説明をするが、しかし、本発明はEL素子15が形成されていない状態（アレイ状態）でも本発明の

検査方式を適用することができる。つまり、E L表示パネルの検査方法として説明していても、アレイの検査方法にも適用できる。アレイと、E Lパネルとの差は、E L素子15の形成の有無だけである。したがって、E L表示パネルとアレイの検査方式とは同義であり、両方とも本発明の技術的範疇に含まれる。同様に、E L表示装置の検査方式も同様である。また、アレイと表示パネルとは特に断りがない限り同義として取り扱う。また、表示パネルと表示装置についても特に断りがない限り同義として取り扱う。

【0787】

まず、最初に図1に記載している電流駆動方式の画素構成を採用するアレイ基板あるいはそれを用いた表示装置を中心として説明をする。しかし、本発明はこれに限定するものではなく、他の画素構成でも適用できることは言うまでもない。

【0788】

図1の画素構成において、図110に図示するように、ゲート信号線17に電圧を印加する。なお、図110において、画素16の駆動用TFT11aのゲート端子(G)には、 V_t 以上の電圧が印加されているとする。 V_t 電圧を印加するためには、図114に図示するようにゲート信号線17aにオン電圧(V_{gl})を印加し、ソース信号線18に印加された V_s 電圧をTFT11aのゲート端子に書き込めばよい。

【0789】

なお、ここでは V_t 電圧とは、E L素子15が発光し、この発光を視覚的あるいは光学的に検出できる以上の電流の意味で用いている。つまり、TFT11aが比較的E L素子が発光させるのに十分な電流を流す状態である。したがって、 V_t 電圧とは、E L素子15の発光開始電流以上となるようにTFT11aを制御したものである。ここでは説明を容易にするため、 V_t 電圧以上の電圧を印加することによりTFT11aが流す電流をオン電流と呼ぶ。

【0790】

ゲート信号線17aにはゲートオフ電圧(V_{gh})、ゲート信号線17bにはゲートオン電圧(V_{gl})を印加する(以上はスイッチングTFT11がPチャ

ンネルの場合である。Nチャンネルの場合は、逆の関係となる）。

【0791】

すると、図111に図示するように、ゲート信号線17aに接続されたスイッチングTFT11b、11cはオフ状態となり、ゲート信号線17bに接続されたスイッチングTFT11dはオン状態となる。一方、駆動TFT11aのソース端子（S）にはドレイン端子（D）よりも高い電圧V_{dd}が印加されている。この状態では、駆動用TFT11aから電流I_eがEL素子15に流れる。したがって、EL素子15は点灯する。

【0792】

駆動用TFT11aがオン電流を流すようにするには、ソース信号線18にV_t電圧以上の電圧を印加し、ゲート信号線17aにオン電圧を印加することにより、TFT11b、TFT11cをオンさせ、ソース信号線18に印加された電圧を駆動TFT11aのゲート（G）端子に印加する方法がある。もちろん、本発明の検査方法において、この方法を採用してもよい。しかし、この方法では、ソース信号線18に電圧を印加する必要がある。

【0793】

他の方法として、ソース信号線18をオープンにし（電圧などが無印加状態）、ゲート信号線17a、ゲート信号線17bにオン電圧を印加し、TFT11b、11dをオンさせる方法がある。すると、駆動用TFT11aのゲート（G）端子の電位は、EL素子15のアノード電位となる。V_{dd}電圧が十分高く、またEL素子15のカソード電位（V_k）が低ければ、駆動用TFT11aはオン電流を流すようになる。この状態で、ゲート信号線17aのオフ電圧を印加し、TFT11bをオフ状態にしても、TFT11aがオン状態を維持するのに、コンデンサ19に十分な電荷が保持されている。したがって、TFT11aは一定の期間、オン状態（オン電流を流す状態）を維持する。

【0794】

つまり、ソース信号線18がオープン状態であっても、ゲート信号線17a、17bにオン電圧を印加し、TFT11b、TFT11dをオンさせればよい。また、ゲート信号線17bにオン電圧を印加し、TFT11dのオン状態を維持

したまま、ゲート信号線 1 7 a のオン電圧位置を走査していけば、E L 素子 1 5 が発光する。なお、ゲート信号線 1 7 a にオン電圧を印加し、T F T 1 1 b をオンさせて、駆動用 T F T 1 1 a がオン電流を流すようにするとしたが、実際には、ゲート信号線 1 7 a をオフ状態のままを維持しても、駆動用 T F T 1 1 a はオン電流を流すようになり、E L 素子 1 5 が発光する。これは、T F T 1 1 b のリークによるためと推定される。したがって、ゲート信号線 1 7 a は走査しなくとも、また、ゲート信号線 1 7 a にオン電圧を印加せずとも本発明の検査方式を実現することができる。しかし、以下の実施例においては、検査を確実にするため、ゲート信号線 1 7 a は走査あるいはオン電圧を印加するとして説明する。そのため、本発明において、ゲート信号線 1 7 a の操作状態に限定されるものではない。

【 0 7 9 5 】

以上の駆動を実施すれば、図 1 の画素構成において、E L 素子 1 5 の点灯、非点灯を検出することのより、少なくとも T F T 1 1 a、T F T 1 1 b、T F T 1 1 d、E L 素子 1 5 の動作状態（正常あるいは非正常）を検出あるいは検査を行うことができる。

【 0 7 9 6 】

なお、本発明の検査方法などにおいて、ゲートドライバ回路 1 2 は、画素 1 6 の形成時に同時に形成した内蔵ゲートドライバ 1 2 として説明をするが、これに限定するものではない。たとえば、図 1 3 7 のように、シリコンチップからなる半導体のゲートドライバ I C をゲート信号線 1 7 に接続（実装）する構成であってもよい。もちろん、ゲートドライバ I C を実装し、このゲートドライバ I C 1 7 を動作させて検査する方式に限定するものではなく、図 1 3 7 のように、各ゲート信号線 1 7 あるいは単独のゲート信号線 1 7 ごとにプローブ 1 1 2 1 でプロービングすることにより実施してもよい。

【 0 7 9 7 】

本発明では説明を容易にするため、ソースドライバ回路 1 4 は半導体 I C チップ（外付け）とし、ゲートドライバ回路 1 2 は内蔵（基板 7 1 に直接形成されている）であるとして説明をする。

【0798】

図112は、本発明のアレイ（パネル状態も含む）基板の検査方式を説明するための説明図である。図112において、内蔵ゲートドライバ回路17aはゲート信号線17aと接続されており、外部のクロック、制御信号と電源（図示せず）により動作する。制御信号は、ゲートドライバ制御端子（信号線（クロック、スタートパルス、シフト信号線）、電源）により供給される。内蔵ゲートドライバ回路17bはゲート信号線17bと接続されており、外部のクロック、制御信号と電源（図示せず）により動作する。制御信号は、ゲートドライバ制御端子（信号線（クロック、スタートパルス、シフト信号線）、電源）により供給される。

【0799】

また、図112において、ソース信号線17はオープン状態であるとして説明をするが、先にも説明したように所定電圧（ V_t 電圧以上）を印加し、この所定電圧をTFT11aのゲート端子に印加するように操作してもよいことは言うまでもない。

【0800】

図112に図示するように、ベースアノード線951にはアノード端子電極1122が形成あるいは配置されており、プローブ1121を介して電圧（電流の場合もある。一定の電流を外部から印加することによりEL素子15が発光に要する電流を供給するからである）印加配線1123からの電圧もしくは電流をベースアノード線951に印加する。なお、発明では、ベースアノード線951から電圧を印加するとして説明をするが、これに限定されるものではない。カード電極に電圧（ V_k ）に印加してもよい。EL素子15を点灯制御するためには、アノードあるいはカソードの一方を基準にして電圧あるいは電流を印加すればよいからである（つまり、EL素子15のアノードとカソード間に電位差が発生するように電圧（電流）を印加する。本発明では、説明を容易にするため、図112に図示するように、アノード側に電圧（電流）を印加するとして説明をする。

【0801】

ベースアノード線951に電圧を印加することにより、ベースアノード線95

1 から分岐されたアノード配線 9 5 2 に V d d 電圧が印加される。ゲートドライバ回路 1 2 b は、制御端子 1 1 2 4 b の制御により、オン電圧を走査し、すべてのゲート信号線 1 7 b にオン電圧が印加されるように動作する。もちろん、1 本あるいは複数のゲート信号線 1 7 b にオン電圧を印加し、他のゲート信号線 1 7 b にはオフ電圧を印加し、さらにオン電圧印加位置が走査されるように制御してもよい。本発明は駆動用 T F T 1 1 a から E L 素子 1 5 にオン電流を流し、E L 素子 1 5 が発光あるいは点灯しないことを検出するものである。したがって、ゲートドライバ回路 1 2 b の動作状態に同期して、T F T 1 1 d がオンオフし、E L 素子 1 5 が点滅動作したとしても、E L 素子 1 5 が点灯する（逆に非点灯を維持）すること検出できれば、検査方法を実現できるからである。また、T F T 1 1 d をオンオフさせることにより、E L の点滅周期、点灯状態を測定することにより E L 表示パネルの良否、性能を検査あるいは評価することができる。

【 0 8 0 2 】

なお、先にも述べたが、ソース信号線 1 8 に電圧を印加し、T F T 1 1 a を制御（オン電流を流すなど）、E L 素子 1 5 にソース信号線 1 8 から直接に電流を流すことにより、E L 表示パネルの良否、性能を検査あるいは評価してもよいことは言うまでもない。

【 0 8 0 3 】

一方、ゲートドライバ 1 7 a は基本的には、1 本以上のゲート信号線 1 7 a にオン電圧を印加し、このオン電圧を印加したゲート信号線 1 7 a 位置を走査させる（制御端子 1 1 2 4 a で制御する）。この動作により、表示画面 5 0 内の駆動用 T F T 1 1 a のゲート端子にはオン電圧が書き込まれ、T F T 1 1 a はオン電流を流せるようになる。もちろん、先に説明したように、ゲートドライバ回路 1 2 a を制御し、すべてのゲート信号線 1 7 a がオフ状態となるように制御してもよい。他に、全ゲート信号線 1 7 a がオン電圧を出力し、次の期間に全ゲート信号線 1 7 a にオフ電圧を出力するように制御してもよい。この制御は、ゲートドライバ回路 1 7 に付加（形成あるいは作製）された回路構成のイネーブル回路により容易に実現できる。

【 0 8 0 4 】

なお、以上の事項はゲートドライバ回路 1 2 b についても適用される。つまり、イネーブル回路により、全ゲート信号線 1 7 b をオン状態にしたり、オフ状態にしたりして検査を実施する。

【 0 8 0 5 】

図 1 1 3 は、本発明の検査装置の構成図である。ベースアノード線 9 5 1 の一端には、アノード端子電極 1 1 2 2 が形成または配置され、この端子電極 1 1 2 2 にプローブ 1 1 2 1 c が接続もしくは配置または導通がとれるように構成される。なお、プローブ 1 1 2 1 などはマニピュレータに配置され、X Y Z 方向を移動できるように構成されている。この移動により、端子電極 1 1 2 2 などに位置決めされる。

【 0 8 0 6 】

すべてのソース信号線 1 8 は、ショート配線 1 1 4 4 で電氣的に短絡されている。なお、技術的思想は、複数のソース信号線 1 8 を電氣的に接続するということである。したがって、ショート配線 1 1 4 4 でソース信号線 1 8 を短絡すること限定されるものではない。たとえば、導電体材料をソース信号線間に圧接することにより、電氣的に接続をとってもよい。また、すべてのソース信号線 1 8 が 1 つのショート配線 1 1 4 4 で接続されることに限定するものではなく、偶数番目のソース信号線 1 8 が第 1 のショート配線 1 1 4 4 でショートされ、この第 1 のショート配線 1 1 4 4 に第 1 の端子電極 1 1 4 1 が配置または形成され、奇数番目のソース信号線 1 8 が第 2 のショート配線 1 1 4 4 でショートされ、この第 2 ショート配線 1 1 4 4 に第 1 の端子電極 1 1 4 1 が配置または形成されるように構成してもよい。

【 0 8 0 7 】

ベースカソード線 9 9 1 の一端には、カソード端子電極 1 1 3 6 が形成または配置され、この端子電極 1 1 3 6 にプローブ 1 1 2 1 b が接続もしくは配置または導通がとれるように構成される。これらのプローブ 1 1 2 1 などはマニピュレータに配置され、X Y Z 方向を移動し、複数のアレイが作製された 1 基板に、順次プロービングが行われる。

【 0 8 0 8 】

アノード端子電極 1 1 2 2 とカソード端子電極 1 1 3 6 間には電流計 1 1 3 4 c、1 1 3 4 b が接続される。また、アノード端子電極 1 1 2 2 とカソード端子電極 1 1 3 6 間に電圧源 1 1 3 5 a が接続または配置されている。制御回路 1 1 3 1 は電圧源 1 1 3 5 a を制御し、所定の電圧をアノード端子電極 1 1 2 2 とカソード端子電極 1 1 3 6 間に印加する。電圧の印加により、電流計 1 1 3 4 c、1 1 3 4 b に流れる電流が測定され、制御回路 1 1 3 1 に入力される。基本的に EL 素子 1 5 は電流素子である。したがって、電圧源 1 1 3 5 a を用いて、アノード端子電極 1 1 2 2 とカソード端子電極 1 1 3 6 間に所定値になるように電圧を印加するのではなく、電流計 1 1 3 4 が所定の電流が流れるように、電圧源 1 1 3 4 a の発生する電圧を所定値にする。

【0809】

電流計 1 1 3 4 c に流れる電流は図 1 1 0 に図示する V d d 端子 (T F T 1 1 a のソース (S) 端子) から流れ込む電流である。したがって、V d d 端子には、プログラム電流 I_w も流れる。また、EL 素子 1 5 に流れる電流 I_e も流れる。電流計 1 1 3 4 b に流れる電流は図 1 1 0 に図示する EL 素子 1 5 の V k 端子 (EL 素子 1 5 のカソード端子) から流れ出す電流である。したがって、基本的には、EL 素子 1 5 に流れる電流 I_e しか流れない。

【0810】

プログラム電流 I_w は、該当画素行が選択されている時にしか流れない。したがって、1 フレームの期間、保持されて電流を流しつづける EL 素子 1 5 電流 I_e に比較すると小さい。逆に電流計 1 1 3 4 c の値と、電流計 1 1 3 4 b の値が大きく異なる時、アレイ内に異常があることを検出できる。また、電流計 1 1 3 4 c の値と電流計 1 1 3 4 b の値を検討／評価することによりアレイ、パネル検査を良好に行うことができる。

【0811】

ベースカソード線 9 9 1 の一端には、カソード端子電極 1 1 3 6 が形成または配置され、この端子電極 1 1 3 6 にプローブ 1 1 2 1 b が接続もしくは配置または導通がとれるように構成される。これらのプローブ 1 1 2 1 などはマニピュレータに配置され、X Y Z 方向を移動し、複数のアレイが作製された 1 基板に、順

次プローピングが行われる。

【0812】

ソース信号線ショート端子電極 1 1 4 1 にプローブ 1 1 2 1 a が接続されている。端子電極 1 1 4 1 には電流計 1 1 3 4 a が接続される。また、電圧源 1 1 3 5 b が接続または配置されている。制御回路 1 1 3 1 は電圧源 1 1 3 5 b を制御し、所定の電圧を端子電極 1 1 4 1 に印加する。電圧の印加により、電流計 1 1 3 4 a に流れる電流が測定され、制御回路 1 1 3 1 に入力される。

【0813】

ソース信号線 1 8 に流れる電流は、基本的にプログラム電流である。ただし、複数のソース信号線 1 8 をショートしているため、電流駆動ではなく、電圧駆動となっている。電流計 1 1 3 4 a には画素行が選択されている時にしか流れない。したがって、1 フレームの期間、保持されて電流を流しつづける E L 素子 1 5 電流 I_e に比較すると小さい。逆に電流計 1 1 3 4 a の値が大きく異なる時、アレイ内に異常があることを検出できる。電流計 1 1 3 4 a の値を検討／評価することによりアレイ、パネル検査を良好に行うことができる。

【0814】

図 1 5 1 のように、V d d 端子を O p e n にする場合は、プローブ 1 1 2 1 を電極などに接触させないようにする。もしくは、図 1 5 1 に図示するように、プローブ 1 1 2 1 への経路にスイッチ 6 4 1 を形成または配置し、導通状態と、ハイインピーダンス状態（オープン）状態とを切り替えられるようにする。

【0815】

図 1 5 1 のように構成すれば、プローブ 1 1 2 1 を移動せずに、プローブをベースソース線 9 5 1 などと接触あるいは非接触状態にすることができる。したがって、本発明の検査方法を容易に実現できるようになる。

【0816】

検査は、図 1 1 2 で説明したように、ベースアノード線 9 5 1 に電圧を印加することにより、ベースアノード線 9 5 1 から分岐されたアノード配線 9 5 2 に V d d 電圧が印加される。ゲートドライバ回路 1 2 b は、制御端子 1 1 2 4 b の制御により、オン電圧を印加するゲート信号線 1 7 b の位置を走査し、すべてのゲ

ート信号線 1 7 b にオン電圧が印加されるように動作する。もちろん、イネーブル端子を用いて、すべてのゲート信号線 1 7 b に一度にオン電圧を印加するように構成してもよい。また、イネーブル端子を制御し、クロックに同期して、T F T 1 1 d をオンオフさせ、E L 素子 1 5 を点滅動作させることにより、検査を実施してもよい。この検査時に流れる電流計 1 1 3 4 の電流値により、アレイ、パネル検査／評価を実施することもできる。

【 0 8 1 7 】

一方、ゲートドライバ 1 7 a は基本的には、1 本以上のゲート信号線 1 7 a にオン電圧を印加し、このオン電圧を印加したゲート信号線 1 7 a 位置を走査させる（制御端子 1 1 2 4 a で制御する）。この動作により、表示画面 5 0 内の駆動用 T F T 1 1 a のゲート端子にはオン電圧が書き込まれ、T F T 1 1 a はオン電流を流せるようになる。もちろん、先に説明したように、ゲートドライバ回路 1 2 a を制御し、すべてのゲート信号線 1 7 a がオフ状態となるように制御してもよい。他に、全ゲート信号線 1 7 a がオン電圧を出力し、次の期間に全ゲート信号線 1 7 a にオフ電圧を出力するように制御してもよい。この制御は、ゲートドライバ回路 1 7 に付加（形成あるいは作製）された回路構成のイネーブル回路により容易に実現できる。

【 0 8 1 8 】

E L 素子 1 5 の点灯状態は、カメラ（光学的入力手段）1 1 3 2 で行う。カメラはイメージセンサを有しておき、ゲートドライバ回路 1 2 の制御信号に同期して、順次、表示領域 5 0 の表示状態を取り込むように構成されている。この表示状態から、非点灯状態である画素 1 6 を検出する。また、本来、非点灯状態の印加信号の時に、点灯する欠陥画素 1 6 を検出する。

【 0 8 1 9 】

なお、図 1 1 3 では、カメラあるいはイメージセンサあるいはホトマルなどで検査もしくは評価などするとしたが、これに限定するものではない。本発明は光学的にアレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出するものである。したがって、人間の目を用いて、視覚的にアレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出してもよい。

【 0 8 2 0 】

また、光学的にのみ限定するものではない。T F T 1 1 あるいは E L 素子 1 5 あるいは信号線（1 7、1 8 など）に流れる電流を直接検出したり、電流が流れることにより発生する電界あるいは磁界を検出したりするものである（ホール素子、コイルなどで測定あるいは検出できる）。T F T 1 1 あるいは E L 素子 1 5 あるいは信号線（1 7、1 8 など）から放出される電子あるいは電荷あるいは光子を検出することにより、アレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出してもよい。また、磁気歪みを検出することにより、アレイ、パネルなどを検査あるいは評価あるいは測定あるいは検出してもよい。

【 0 8 2 1 】

以上の実施例は、光学的に画素 1 6 欠陥などを検出するということを前提に実施例を説明した。しかし、図 1 1 0 において、E L 素子 1 5 が形成されていない状態（アレイ状態）でも検査を実施できる。プログラム電流 I_w を検出することにより、トランジスタ 1 1 a、1 1 b、1 1 c の欠陥を検出できるからである（電氣的検査）。したがって、図 1 1 3 に図示する本発明の検査装置は、光学的検査装置だけではなく、電氣的検査装置としても用いることができる。

【 0 8 2 2 】

以上の本発明の検査方式は、V d d 端子（T F T 1 1 a のソース端子）に V d d 電圧を印加して検査を実施するものであった。そのため、ベースアノード線 9 5 1 に V d d 電圧を印加することにより、ベースアノード線 9 5 1 から分岐されたアノード配線 9 5 2 に V d d 電圧が印加した。

【 0 8 2 3 】

しかし、E L 素子 1 5 を点灯させ、検査を実施するのはこの方法だけではなく、図 1 1 4 の構成でも実施することできる。図 1 1 4 と図 1 1 0 の相違は、V d d 端子をオープン（インピーダンス無限大）にした点である。図 1 1 3 の検査回路ではプローブ 1 1 2 1 c を非接触状態にした状態である。ただし、プローブ 1 1 2 1 b は端子電極 1 1 3 6 と接触させ、電圧源 1 1 3 6 b との電位関係を所定値にしておく（つまり、電圧源 1 1 3 5 a と 1 1 3 5 b とは、グラント共通にされており、プローブ 1 1 2 1 a、1 1 2 1 b、1 1 2 1 c に印加する電位は独立

に電位設定を行えるように構成されている)。以上のように、図113の検査回路を用いて、図114で説明する検査方法を実施することができる。

【0824】

図114に図示するようにVdd端子を‘Open’にすることにより、駆動用TFT11aの電流経路はなくなる。ゲートドライバ回路12aを制御し、ゲート信号線17aにオン電圧(V_{g1})を印加すれば、TFT11b、TFT11cがオン状態となる。また、ゲートドライバ回路12aを制御し、ゲート信号線17bにオン電圧(V_{g1})を印加すれば、TFT11dがオン状態となる。この状態で、電圧源1135bからVs電圧($V_s > V_k$)をソース信号線18に印加すれば、ソース信号線18からTFT11c→TFT11d→EL素子15→Vk端子なる電流Isが流れる電流経路が発生する。したがって、ソース信号線18の電圧印加により図115に図示するようにEL素子15を点灯させることができる。

【0825】

ゲートドライバ回路12bを制御して、すべてのゲート信号線17bにオン電圧を印加する(表示領域50内のTFT11dはオン状態)。また、ゲートドライバ回路12aを制御し、ゲート信号線17aに順次、オン電圧(V_{g1})を印加(走査状態)する。すると、1画素行が順次、選択され、1画素行が点灯する。そして、この点灯画素行が画面の上から下に移動する。この点灯画素行をカメラ1132で観察することにより、画素欠陥を検出することができる。もちろん、ソース信号線18にVs電圧を印加しない状態で点灯する画素があれば、この画素16は欠陥であることを検出することができる。

【0826】

また、ゲートドライバ回路12bを制御して、すべてのゲート信号線17bにオン電圧を印加する(表示領域50内のTFT11dはオン状態)。また、ゲートドライバ回路12aを制御し、すべてのゲート信号線17aにオン電圧(V_{g1})を印加する。すると、画面50全体が点灯状態となる。この点灯画面をカメラ1132で観察することにより、画素欠陥を検出することができる。

【0827】

なお、ソース信号線 1 8 に V_s 電圧を印加することは、ソース信号線 1 8 にソースドライバ IC 1 4 を実装し、このソースドライバ IC 1 4 を動作させることによって実現することができる。この場合、前記ソースドライバ IC 1 4 が電流駆動方式の IC であれば、ソース信号線 1 8 に印加される信号は V_s ではなく、電流 I_s である。重要なのは、本発明はソースドライバ IC (回路) 1 4 を動作させて行う検査方法も技術的範疇であることである。

【 0 8 2 8 】

また、本発明の検査方式では、表示画像は、白ラスターに限定されるものではなく、クロスパッチ、縦ストライプ、横ストライプ、チェッカー、階調パターン、カラーバー、ウインドウなどを表示させて行っても良い。

【 0 8 2 9 】

なお、図 1 1 5 では、 V_{dd} 端子 (駆動用 TFT 1 1 a のソース (S) 端子) を Open にして、本発明の検査方式を実施するとしたが、これは一例である。たとえば、図 1 5 2 に図示するように、 V_{dd} 端子に一電圧 (少なくとも、駆動用 TFT 1 1 a がゲート信号線 1 7 a の電位状態にかかわらず、オフする電圧である。もしくは、電流が流れても検査に影響を与えない状態にする電圧である) を印加しても、ソース信号線 1 8 \rightarrow TFT 1 1 c \rightarrow TFT 1 1 d \rightarrow EL 素子 1 5 $\rightarrow V_k$ なる電流経路が発生する。この状態で EL 素子 1 5 が発光すれば光学的に検査を実施することができる。また、電流 I_s を電流計で直接に、電流 I_s の経路にピックアップ抵抗を接続し、ピックアップ抵抗 6 9 1 の両端の電圧を検出すれば、間接的に電圧計 1 5 3 1 (電圧測定手段) で測定することができる (図 1 5 3 を参照のこと)。したがって、検査を行うことができる。

【 0 8 3 0 】

また、EL 素子 1 5 のカソードーアノード間 (画素電極ーカソード電極間) に短絡が発生しているかどうか検査する場合 (つまり、有機 EL 膜が破れている) は、図 1 5 2 (b) に図示するように電圧を印加することにより検査を行うことができる。図 1 5 2 (b) では、EL 素子 1 5 のカソード端子に高い電圧 (一例として V_s 電圧) を印加する (なお、図 1 5 2 (a) のように電流経路が発生する場合は低い電圧でもよい)。この状態で、ゲート信号線 1 7 a、ゲート信号線

1 7 b にオン電圧を印加すれば、V k 端子→E L 素子→T F T 1 1 d→T F T 1 1 c→ソース信号線 1 8 なる電流経路が発生する。したがって、電氣的にアレイ（パネル）に検査を実施することができる。また、電流 I s を電流計で直接に、電流 I s の経路にピックアップ抵抗 6 9 1 を接続し、ピックアップ抵抗 6 9 1 の両端の電圧を検出すれば、間接的に電圧計で測定することができる。

【 0 8 3 1 】

また、V s 電圧、V k 電圧は、直流電圧または直流電流のように表現しているが、これに限定するものではない。たとえば、図 1 5 4 に図示するように、信号発生器 1 5 4 1（信号発生手段）を接続してもよい。

【 0 8 3 2 】

以上の実施例は、検査時は、図 1 5 5 のように構成される。内蔵ゲートドライバ 1 2 a、1 2 b が接続され、このゲートドライバ 1 2 を制御することにより、ゲート信号線 1 7 a、1 7 b にオンオフ電圧が印加される。この印加状態により、検査画素行が順次、選択され、検査が実施される。本発明は、基本的には、画素の発光状態を光学的に検出し、検査を実施する。電氣的に検査を実施する場合は、図 1 5 5 に図示するように、ソース信号線 1 8 の接続端子 9 5 3 などにプローブ 1 1 2 1 を接触させ、プローブ 1 1 2 1 に流れる電流を直接に、あるいは、ピックアップ抵抗 6 9 1 に流れる電流を電圧計 1 5 2 1 で測定することのより実施する。

【 0 8 3 3 】

なお、以上の事項は、図 1 4 6、図 1 3 9、図 1 4 8 などの他の画素構成の検査方式も適用されることはいうまでもない。また、他の本発明の他の検査方式の実施例に適用されることも言うまでもない。E L 素子 1 5 を形成後に検査を実施する場合は、E L 膜の封止を行ってから実施する。

【 0 8 3 4 】

また、図 1 1 3 の検査回路を用いて、図 1 1 4、図 1 1 5 で説明した第 2 の検査方法と、図 1 1 0、図 1 1 1 で説明した第 1 の検査方法の両方を実施することができる。この第 1 の検査方法と第 2 の検査方法の両方を実施することにより、画素 1 6 の T F T 1 1 a、1 1 b、1 1 c、1 1 d、E L 素子 1 5 のすべての電

流パスを実施したことになる。したがって、完全な検査を実現できる。また、以降に説明する本発明の他の検査方法を単独であるいは組み合わせて実施してもよい。

【 0 8 3 5 】

ゲートドライバ回路 1 2 a を 1 画素行づつ、順次、走査すれば、1 画素行づつ点灯させることができる。ゲートドライバ回路 1 2 a を制御し、すべてのゲート信号線 1 7 a にオン電圧を印加すれば、画面 5 0 全体を表示することができる。また、1 画素行飛ばし（偶数行、奇数行）で交互に点灯させて検査を行ってもよい。複数画素行（2 画素行、4 画素行など）の組みで、順次、走査して検査を行ってもよい。また、画面を分割（画面 5 0 を 4 分割して、この 4 分割の領域を順次点灯するなど）して、順次検査を行ってもよい。

【 0 8 3 6 】

以上の事項は、図 1 1 0、図 1 1 2、図 1 1 3 など説明した本発明の検査方式においても適用できることは言うまでもない。なお、以上の事項は以降に説明する他の本発明の検査方式においても適用できる。

【 0 8 3 7 】

図 1 1 6 に図示するようにソース信号線 1 8 をショート配線 1 1 4 4 でショートしておく。ショート配線 1 1 4 4 はソース信号線 1 8 と同時に形成しておく。ショート配線 1 1 4 4 を形成しておくことにより、静電気対策にもなる。ショート配線 1 1 4 4 の一端にソース信号線端子電極 1 1 4 1 を形成または配置し、図 1 1 3 に図示するように、この端子電極 1 1 4 1 にプローブ 1 1 2 1 a を接続し、このプローブ 1 1 2 1 a は電圧（電流）印加配線 1 1 2 3 が接続されている。

【 0 8 3 8 】

一方、ソース信号線 1 8 の一端には、チェック端子電極 1 1 4 3 が形成されている。チェック端子 1 1 4 3 は各ソース信号線 1 8 の電位をチェックあるいは測定するためのものである。アレイ検査後、AA' 線で切断することにより、各ソース信号線 1 8 は分離されて、アレイが完成する。

【 0 8 3 9 】

なお、本発明の検査方式において、画素構成は図 1 1 0 に限定されるものでは

ない。たとえば、画素構成がカレントミラーの構成であっても適用することができる。また、画素構成が電圧駆動の画素構成であっても適用することができる。

【 0 8 4 0 】

以下、図面を参照しながら、本発明の他の実施例について説明をする。図 1 1 7 は本発明の検査方法を説明するための説明図である。図 1 1 7 の画素構成では、プログラム電流 I_w をソース信号線 1 8 に印加する。プログラム電流 I_w は $1\mu A \sim 10\mu A$ の電流である。駆動用 TFT 1 1 a は所定のプログラム電流 I_w が流れるように駆動される。つまり、駆動用 TFT 1 1 a のゲート (G) 端子の電位は変化する。この所定の電流 I_w を流すための、TFT 1 1 a のゲート端子 (G) の電位を V_t と呼ぶ。

【 0 8 4 1 】

たとえば、ある画素の駆動用 TFT 1 1 a は I_w 電流を流すのに、ゲート端子は V_{dd} 電圧よりも V_{t2} だけ低くする必要がある (図 1 1 7 (a) の実線)。他のある画素の駆動用 TFT 1 1 a は I_w 電流を流すのに、ゲート端子は V_{dd} 電圧よりも V_{t1} だけ低くする必要がある (図 1 1 7 (a) の点線)。これらの V_t はソース信号線 1 8 の電位の変化であるが、画素 1 6 の TFT 1 1 a の特性を示していることになる。

【 0 8 4 2 】

ゲートドライブ回路 1 2 を制御し、1 ゲート信号線 1 7 a にオン電圧を印加する。つまり、1 画素行づつ、順次選択していく (他のゲート信号線 1 7 a にはオフ電圧が印加されている)。また、ソース信号線 1 8 には I_w 電流を流すように設定する。ゲート信号線 1 7 a にオン電圧が印加され、選択された画素 1 6 の TFT 1 1 a のゲート端子は、所定電流 I_w を流すに必要とする V_t 電圧となる。

【 0 8 4 3 】

ゲート信号線 1 7 b にはオフ電圧を印加しておく。オフ電圧に印加により TFT 1 1 d はオフ状態となり、駆動用 TFT 1 1 a と EL 素子 1 5 とは切り離された状態となる。したがって、EL 素子 1 5 が形成されていないアレイ状態でも本発明の検査方法を適用できる。

【 0 8 4 4 】

以上のように、ゲート信号線 17a のオン電圧位置を、1 水平走査期間 (1 H) に同期して順次シフトしていくと、図 118 に図示するようにソース信号線 18 電位が変化する (図 117 も参照のこと)。変化は、1 H に同期して出力される。なお、1 H に同期すること限定されるものではない。画像を表示するのではなく、検査のためだからである。したがって、1 H とは、1 画素行を順次選択するという意味であって、説明を容易にするためである。1 H は任意の固定の時間 (期間) であって良い。

【0845】

図 119 は、図 117 の検査方法を実施するための検査回路である。基本的に図 113 の検査回路と同一である。異なる点は、各ソース信号線 18 の電極端子 953 にプローブ 1121 を接続し、ソース信号線 18 にプログラム電流 I_w を印加している点である。プログラム電流 I_w は、基準電圧回路 1191 の電圧値により変更あるいは調整できる。

【0846】

プログラム電流 I_w は $1\ \mu\text{A}$ 以上 $10\ \mu\text{A}$ 以下に設定する。基本的には、パネルを駆動するのに必要な最大値の電流で実施する。また、黒書き込み状態 (黒表示時) の検討するため、 $100\ \text{nA}$ 以下の低電流で測定してもよい。

【0847】

基準電圧回路 1191 が出力する基準電圧 V_a は、オペアンプ 722 の + 端子に印加される。オペアンプの + 端子と - 端子は同一電位となるから、トランジスタ 631 にはソース信号線 18 に流れる電流 $I_w = V_a / R_m$ が流れる。したがって、すべてのソース信号線 18 には定電流 I_w が流れる。

【0848】

以上の回路構成によれば、ソース信号線 18 に定電流 I_w が流れるから、ゲート信号線 17a を順次シフトしていくと、図 118 の電圧波形を測定することができる。この電圧波形を AD (アナログ-デジタル) 変換して、パーソナルコンピュータ (PC) 1192 などのデータ収集手段および制御手段に取り込む。

【0849】

ソース信号線 18 には微小な電流が流れることから、インピーダンスが高い状

態である。この状態で、ソース信号線18の電位変化（あるいは絶対値）を良好に測定するためには、高インピーダンス回路（たとえば、FET回路で構成された入力オペアンプの入力端子）をソース信号線18に接続する。また、QCIFパネルの場合、 $176 \times RGB = 528$ 本のソース信号線18がある。このソース信号線18のすべてに、ADコンバータを配置することは困難である。そこで、入力オペアンプの出力端に、マルチプレクサタイプのアナログスイッチを配置する。このアナログスイッチの出力にADコンバータを配置し、このADコンバータからのデータをPC1192に取り込む。図119では、この高インピーダンス回路、アナログスイッチなどを1193として表現している。なお、端子電極953との接続状態を図123に図示する。

【0850】

図120がソース信号線18の電位を測定する回路（検査回路）のデータ測定のタイミングチャートである。図120（a）は1Hに同期したソース信号線18の電位変化を示している。図120（b）はゲート信号線17bの電位を図示している。つまり、1画素行づつオン電圧位置がシフトされていることを示している。この選択画素行に同期して、選択された画素行のTFT11aが動作し、ソース信号線電位（図120（a））が変化する。

【0851】

図120（c）はPC1192へのデータ取り込み信号である（アナログスイッチの切り替え信号ということもできる）。このデータ取り込み信号の立ち上がりでPC1192にデータが取り込まれる。

【0852】

PC1192では取り込まれたデータの値を評価／判断する。この結果により、アレイあるいはパネルの欠陥状態、欠陥位置、欠陥モード、不良状態などを検出あるいは検査する。

【0853】

図110の画素構成で、ゲート信号線17aにオン電圧を印加し、ゲート信号線17bにオフ電圧を印加した状態（図119の検査方式）では、Vdd端子→TFT11aのSD間→TFT11c→ソース信号線18への電流経路が生じる

【 0 8 5 4 】

T F T 1 1 a に S D ショート（チャンネルショート）が発生していると、ソース信号線 1 8 には V d d 電圧が出力される（図 1 2 1（a））。したがって、T F T 1 1 a の S D ショート（画素欠陥）を検出できる。また、ゲート信号線 1 7 a が断線していれば、プログラム電流 I w の経路は発生しないので、ソース信号線 1 8 の電位がグランド電位に近くなる（図 1 2 1（b）を参照）。したがって、ゲート信号線 1 7 a の断線などの線欠陥も検出できる（検査できる）。また、すべてのゲート信号線 1 7 a にオフ電圧を印加した状態で、規定以外の電圧がソース信号線 1 8 に出力されていれば、T F T 1 1 c あるいは T F T 1 1 b に欠陥が発生しているなどの検出もできる。また、V d d 端子に V d d 電圧を印加するか、図 1 1 4 のように、V d d 端子を O p e n にするかを変化させることにより欠陥を詳細に検討、検査することができる。

【 0 8 5 5 】

図 1 2 2（a）に図示するように、1 画素列（1 つのソース信号線 1 8 に接続された画素 1 6）のソース信号線 1 8 の信号線電位を測定することにより、最大電圧 V t m a x、最小電圧 V t m i n を検出することができる。この最大電圧と最小電圧との差が所定値以上の場合に、測定あるいは検査しているアレイまたはパネルを不良と判定することも容易である。また、アレイまたはパネル内の V t 分布を測定し、図 1 2 2（b）に図示するように、T F T 1 1 a の特性分布を求めることができる。この特性分布から、V t の標準偏差、平均値を算出することができる。また、V t の標準偏差、平均値が所定範囲以外の時、測定あるいは検査しているアレイまたはパネルを不良と判定することも容易である。

【 0 8 5 6 】

本発明の検査方法は、ゲートドライバ回路 1 2 を制御して、少ないとも 1 本のゲート信号線 1 7 a にオン電圧を印加し、ソース信号線 1 8 にプログラム電流を流すことにより、画素 1 6 の検査を行う。

【 0 8 5 7 】

なお、以上の実施例において、1 画素行づつ、選択し、ソース信号線 1 8 に出

力される V_t を測定あるいは検査するとしたが、これに限定するものではない。複数画素行を同時に選択しても、ソース信号線 18 の電位は変化する。この場合であっても、図 121 に図示するような画素欠陥（ゲート断線、SD ショートなど）を検出することができる。したがって、検査を高速に実施するためには、まず、複数本のゲート信号線 18 を選択し、概略の欠陥を検出した後、欠陥がある箇所を再度、1 ゲート信号線 17 a づつオン電圧を印加して、欠陥位置あるいは欠陥状態を特定すればよい。

【0858】

本発明の検査方式において、すべてのソース信号線 18 には一度にプロービングすることを要しない。たとえば、図 124 に図示するように、1 本ごとにプロービングしてもよい。つまり、偶数番目のソース信号線 18 b はオープンにし、奇数番目のソース信号線 18 a の端子電極 953 a にプローブ 1121 をプロービングして、本発明の検査方式を実施してもよい。ソース信号線 18 a に接続された画素 16 を検査後、偶数番目のソース信号線 18 b の端子電極 953 b にプロービングしてソース信号線 18 b に接続された画素を検査する。

【0859】

以上の実施例では、ソースドライバ IC 14 を接続する接続端子 953 にプロービングするものであった。しかし、接続端子 953 にプロービングすると、接続端子 953 に凹凸が発生し、ドライバ IC 14 の COG 接続がやりにくくなる。

【0860】

図 125 の実施例では、接続端子 953 を表示領域 50 間に検査電極 1251 を配置または形成している。また、内蔵のゲートドライバ 12 を動作あるいは制御（図 120 などのシフト動作など）させる（する）ため、ゲートドライバ回路 12 の制御信号線および電源端子にも検査端子 1251 を形成または配置している。したがって、プロービングすることにより、ゲートドライバ回路 12 を制御して、ゲート信号線 17 のオン電圧、オフ電圧の印加位置を容易に制御することができる。

【0861】

図 1 2 5 では、複数に分割して検査できるようにするため、検査電極 1 2 5 1 は検査電極 1 2 5 1 a と 1 2 5 1 b を形成または配置している。偶数番目のソース信号線 1 8 b はオープンにし、奇数番目のソース信号線 1 8 a の端子電極 9 5 3 a にプローブ 1 1 2 1 をプロービングして、本発明の検査方式を実施する。ソース信号線 1 8 a に接続された画素 1 6 を検査後、偶数番目のソース信号線 1 8 b の端子電極 9 5 3 b にプロービングしてソース信号線 1 8 b に接続された画素を検査する。奇数番目のソース信号線 1 8 a を検査する際にも、偶数番目のソース信号線 1 8 b を検査する際にも、ゲートドライバ回路 1 2 を制御できるように、信号線 1 1 2 4 に電圧、信号を印加できるように構成している。

【 0 8 6 2 】

検査電極 1 2 5 1 が形成されたソース信号線 1 8 の他端には、図 1 2 6 に図示するようにチェック端子電極 1 2 6 1 が形成または配置されている。チェック端子 1 2 6 1 は、3 段千鳥配置となっている。1 段目が赤色のソース信号線 1 8 に接続されたチェック端子電極 1 2 6 1 R である。2 段目が赤色のソース信号線 1 8 に接続されたチェック端子電極 1 2 6 1 G である。3 段目が赤色のソース信号線 1 8 に接続されたチェック端子電極 1 2 6 1 B である。

【 0 8 6 3 】

チェック端子電極 1 2 6 1 もソース信号線 1 8 の電位変化を観察あるいはモニターするためのものである。プローブ 1 1 2 1 を接続することにより、図 1 2 2 の評価、図 1 2 1 の検査などを容易に実施することができる。

【 0 8 6 4 】

図 1 1 9 などで説明した検査方式の課題は、図 1 1 0 の T F T 1 1 d の検査が完全に実施できないことである。特に、T F T 1 1 d のチャンネル (S D) の状態が検査できない。この課題を解決するためには、図 1 2 7 に図示するように、画素 1 6 に T F T 1 1 g を付加 (形成または配置) すればよい。T F T 1 1 g のソース (S) 端子は隣接のソース信号線 1 8 b に接続され、ドレイン (D) 端子は E L 素子 1 5 のアノード端子に接続されている。また、ゲート (G) 端子はゲート信号線 1 7 g に接続されている。

【 0 8 6 5 】

ゲート信号線 1 7 g にオン電圧を印加することにより、T F T 1 1 g がオンする。また、ソース信号線 1 8 b に V_s 電圧を印加する。すると、ソース信号線 1 8 b → T F T 1 1 g → T F T 1 1 d → T F T 1 1 c → ソース信号線 1 8 a の経路で流れる電流パス I_s が形成される。したがって、T F T 1 1 d の検査を容易に実施することができる。なお、ゲート信号線 1 7 g にオフ電圧を印加することにより T F T 1 1 g はオフにすることができる。したがって、検査時以外は、ゲート信号線 1 7 g にオフ電圧を印加しておく。

【 0 8 6 6 】

また、 V_s 電圧を一電圧とすることにより、ソース信号線 1 8 b から E L 素子 1 5 に逆バイアス電圧 ($V_s < V_k$) を印加することができる。もちろん、逆バイアス電圧を印加するときは、ゲート信号線 1 7 g にオン電圧を印加する。

【 0 8 6 7 】

なお、図 1 1 9 などにおいて、ゲートドライバ回路 1 2 は内蔵ゲートドライバ回路（半導体チップとして外付けでない）としたが、これに限定するものではない。図 1 3 7 に図示するように、ゲートドライバ I C 1 2 を半導体チップで形成し、接続端子 1 2 5 1 に接続（C O G 工法などを用いて）してもよい。この場合は、ゲート信号線 1 7 にオンオフ電圧を印加するゲートドライバ回路 1 2 がない。そのため、図 1 3 7 に図示するようにプローブ 1 1 2 1 を接続端子 1 2 5 1（もしくは検査電極 1 2 5 1）に圧接して、各ゲート信号線 1 7 にオン電圧またはオフ電圧を印加する。

【 0 8 6 8 】

図 1 1 6 では、プローブ 1 1 2 1 を介して、ソース信号線 1 8 に電圧を印加するとしたが、これに限定するものではない。ソースドライバ I C 1 4 を基板 7 1 に実装した後は、ソースドライバ I C 1 4 を動作させて、ソース信号線 1 8 に電圧 V_s を印加してもよい。図 1 3 8 はその実施例である。以前にも説明したように、本発明のソースドライバ I C 1 4 にはプリチャージ回路を形成（構成あるいは配置）している。このプリチャージ回路（図 7 0 などを参照のこと）を用いて本発明の検査を実施する。

【 0 8 6 9 】

図138の構成では、ICチップ14の外部にプリチャージ電圧の調整回路が配置されている。図138では単純に概念的に記載している。抵抗651により V_P 電圧から V_S 電圧を形成する。この V_S 電圧はスイッチ641を制御することにより、各ソース信号線18に印加する。他の点は以前に説明した本発明の検査方法と同様であるので説明を省略する。

【0870】

以上の実施例では、図110の画素構成における検査方式の説明であった。しかし、本発明はこれに限定するものではなく、他の画素構成においても本発明の検査方式を実施することができる。

【0871】

図139はカレントミラータイプの画素構成（図38とその説明なども参照のこと）である。図139の画素構成の検査では、まず、ソース信号線18にTFT11bの V_t 電圧以上の V_S 電圧を印加する。また、ゲート信号線17a、17bのオン電圧を印加し、TFT11c、TFT11dをオンさせて、 V_S 電圧をTFT11bのゲート端子に書き込む（図141（a））。次に、ゲート信号線17bにオフ電圧を印加し、TFT11dをオフさせる。すると図140に図示するように V_{dd} 端子→TFT11b→EL素子15→ V_k 端子なる電流経路が発生し、EL素子15が点灯する。したがって、EL素子15の点灯検査を行うことができる。また、図141（b）に図示するように、 V_{dd} 端子→TFT11a→TFT11c→ソース信号線18なる電流 I_S の経路が発生する。したがって、TFT11a、TFT11b、TFT11c、TFT11d、EL素子15の検査を実施することができる。

【0872】

図142は電圧駆動の画素構成である。ソース信号線18に印加された電圧をTFT11bで駆動用TFT11aのゲート端子に書き込み、この電圧に応じた電流をEL素子15に印加する構成である。従来の電圧駆動の2TFT画素構成と異なる点は、リセット用のTFT11eが付加（形成または配置）されている点である（図44とその説明なども参照のこと）。

【0873】

図142に図示するように、ゲート信号線17aにオン電圧を印加することにより、TFT11bがオンし、ゲート信号線17bにオフ電圧を印加することにより、TFT11eがオフする。したがって、図143(a)に図示するように、駆動用TFT11aのゲート端子に V_s 電圧が書き込まれる。次に、図143(b)のように、ソース信号線18への V_s 電圧の印加を止め、定電流回路に接続し、ゲート信号線17bにオン電圧を印加すれば、 V_{dd} 端子→TFT11a→TFT11e→TFT11b→ソース信号線18なる電流 I_s の経路が発生する。したがって、TFT11a、TFT11b、TFT11e、EL素子15の検査を実施することができる。

【0874】

なお、図143の実施例では、EL素子15に流れる電流を阻止するために、 V_k 端子をオープン（ハイインピーダンス状態）にしておく。または、 V_k 端子の電圧をEL素子15に流れないように高くしておく。または、アレイ状態でEL素子15が形成されていないときは、駆動用TFT11aのドレイン（D）端子と V_k 端子間はハイインピーダンス状態であるから、本発明の検査方式を実施できる。以上の事項は本発明の他の検査方式においても同様である。

【0875】

図144に図示するように、図44の画素構成であれば、さらに良好な検査を実現できる。図144に図示するように、ゲート信号線17aおよび17eにオン電圧を印加することにより、TFT11b、TFT11eがオンし、ゲート信号線17bにオフ電圧を印加することにより、TFT11dがオフする。したがって、図145に図示するように、EL素子15が形成されていても、TFT11dによりEL素子15への電流経路を遮断することができる。そのため、 V_{dd} 端子→TFT11a→TFT11e→TFT11b→ソース信号線18なる電流 I_s の経路が発生する。したがって、TFT11a、TFT11b、TFT11e、EL素子15の検査を実施することができる。

【0876】

また、図146に図示するように、 V_{dd} 端子をOpenにし、ソース信号線18に V_s 電圧を印加する。また、ゲート信号線17a、17bおよび17eに

オン電圧を印加することにより、TFT11b、TFT11d、TFT11eがオンする。したがって、ソース信号線18→TFT11b→TFT11e→TFT11d→EL素子15→Vk端子なる電流Isの経路が発生する。したがって、画素が正常であればEL素子15が点灯する。図146の構成により、TFT11a、TFT11b、TFT11d、TFT11e、EL素子15の検査を実施することができる。

【0877】

また、図147に図示する検査方式も実施できる。ゲート信号線17aにオン電圧を印加することにより、TFT11bがオンし、ゲート信号線17bおよび17eにオフ電圧を印加することにより、TFT11e、TFT11dがオフする。したがって、図147(a)に図示するように、駆動用TFT11aのゲート端子にVs電圧が書き込まれる。次に、図143(b)のように、ゲート信号線17bにオン電圧し、ゲート信号線17aおよび17eにオフ電圧を印加すれば、Vdd端子→TFT11a→TFT11d→EL素子15→Vk端子なる電流Ieの経路が発生する。したがって、TFT11a、TFT11b、TFT11d、TFT11e、EL素子15の検査を実施することができる。

【0878】

図139に付加して、図148に図示するように、TFT11fを追加すれば、カレントミラーの画素構成において、駆動用TFT11bの検査も実施することができる。TFT11fはソース(S)端子がEL素子15のアノード端子に接続され、ドレイン(D)端子がコンデンサ19の一方の端子に接続されている。また、TFT11fのゲート端子はゲート信号線17cに接続されている。

【0879】

図148に図示するように、ゲート信号線17aおよび17bにオン電圧を印加し、ゲート信号線17cにオフ電圧を印加する。TFT11c、TFT11dがオンし、TFT11fがオフする。この状態で、駆動用TFT11bのゲート(G)端子にソース信号線18からVs電圧を印加する。次に、図149に図示するように、ゲート信号線17cにオン電圧を印加し、TFT11fをオンさせる。すると、Vdd端子→TFT11b→TFT11f→TFT11d→TFT

11c→ソース信号線18なる電流 I_s の経路が発生する。したがって、TFT11a、TFT11b、TFT11d、TFT11e、TFT11fの検査を実施することができる。

【0880】

また、この状態で、図150に図示するように、Vdd端子をOpenにし、ソース信号線18にVs電圧を印加すれば、ソース信号線18→TFT11c→TFT11d→TFT11f→EL素子15→Vk端子なる電流 I_s の経路が発生する。EL素子の点灯検査を実現できる。したがって、TFT11a、TFT11b、TFT11d、TFT11e、TFT11f、EL素子15の検査を実施することができる。

【0881】

以上に説明した本発明の表示パネル、表示装置を用いる、もしくは、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。

【0882】

図57は情報端末装置の1例としての携帯電話の平面図である。筐体573にアンテナ571、テンキー572などが取り付けられている。572などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【0883】

キー572を1度押さえると表示色は8色モードに、つづいて同一キー572を押さえると表示色は256色モード、さらにキー572を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー572は3つ（以上）となる。

【0884】

キー572はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色が変化するように構成する。これは

現行の音声認識技術を採用することにより容易に実現することができる。

【 0 8 8 5 】

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部 2 1 に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るよう構成してもよい。

【 0 8 8 6 】

5 7 2 は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサ C、抵抗 R のうち、抵抗 R を可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1 つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

なお、表示色などによりフレームレートを切換るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置（液晶表示パネル）に限定されるものではなく、液晶表示パネル、有機 E L 表示パネルや、トランジスタパネル、P L Z T パネルや、C R T にも適用することができる。

【 0 8 8 7 】

図 1 9 で説明した本発明の携帯電話では図示していないが、筐体の裏側に C C D カメラを備えている。C C D カメラで撮影し画像は即時に表示パネルの表示画面 5 0 に表示できる。C C D カメラで撮影したデータは、表示画面 5 0 に表示することができる。C C D カメラの画像データは 2 4 ビット（1 6 7 0 万色）、1 8 ビット（2 6 万色）、1 6 ビット（6 . 5 万色）、1 2 ビット（4 0 9 6 色）、8 ビット（2 5 6 色）をキー 5 7 2 入力で切り替えることができる。

【 0 8 8 8 】

表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

【 0 8 8 9 】

今、ソースドライバIC14には4096色（RGB各4ビット）で1画面の内蔵RAMを具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバIC14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

【 0 8 9 0 】

画像データが26万色（G：6ビット、R、B：5ビットの計16ビット）の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されてソースドライバIC14に転送される。ソースドライバIC14はRGB各4ビット（4096色）の画像データを出力し、表示画面50に画像を表示する。

【 0 8 9 1 】

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【 0 8 9 2 】

図58は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図58において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【 0 8 9 3 】

ボデー573の裏面は暗色あるいは黒色にされている。これは、EL表示パネ

ル（表示装置）５７４から出射した迷光がボデー５７３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）１０８、偏光板１０９などが配置されている。このことは図１０、図１１でも説明している。

【０８９４】

接眼リング５８１には拡大レンズ５８２が取り付けられている。観察者は接眼リング５８１をボデー５７３内での挿入位置を可変して、表示パネル５７４の表示画像５０にピントがあうように調整する。

【０８９５】

また、必要に応じて表示パネル５７４の光出射側に正レンズ５８３を配置すれば、拡大レンズ５８２に入射する主光線を収束させることができる。そのため、拡大レンズ５８２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【０８９６】

図５９はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部５９２とビデオカメラ本体５７３と具備し、撮影レンズ部５９２とビューファインダ部５７３とは背中合わせとなっている。また、ビューファインダ（図５８も参照）５７３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル５７４の画像５０を観察する。

【０８９７】

一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部５０は支点５９１で角度を自由に調整できる。表示部５０を使用しない時は、格納部５９３に格納される。

【０８９８】

スイッチ５９４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ５９４は表示モード切り替えスイッチである。スイッチ５９４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ５９４について説明をする。

【０８９９】

本発明の駆動方法の 1 つに N 倍の電流を EL 素子 15 に流し、 $1/F$ の $1/M$ の期間だけ点灯させる方法がある。この点灯させる $1/M$ の M の値だけをきりかえることのより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、EL 素子 15 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などと変更できるように構成してもよい。

【0900】

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面 50 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると EL 素子 15 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるような構成しておく。

【0901】

したがって、ユーザーがボタン 594 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 50%、60%、80% とユーザーなどが設定できるように構成しておくことが好ましい。

【0902】

なお、表示画面 50 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して 70% の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50% 輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明した N 倍パルス駆動 (N 倍の電流を EL 素子 15 に

流し、 $1/F$ の $1/M$ の期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【0903】

具体的には、画面の上部と下部では M の値と大きくし、中央部で M の値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角 0.9 ）を 50% にした時、 100% 輝度の場合に比較して約 20% の低消費電力化が可能である。周辺輝度（画角 0.9 ）を 70% にした時、 100% 輝度の場合に比較して約 15% の低消費電力化が可能である。

【0904】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を 50% 、 60% 、 80% とユーザーなどが設定できるように構成しておくことがこのましい。

【0905】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【0906】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が 60Hz の交流で点灯しているとき、EL表示素子15がフレームレート 60Hz で動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、 N 倍パルス駆動（ N 倍の電流をEL素子15に流し

、1 F の 1 / M の期間だけ点灯させる方法) において、N または M の値を変更できるように構成している。

【0907】

以上の機能をスイッチ 594 で実現できるようにする。スイッチ 594 は表示画面 50 のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【0908】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【0909】

本実施の形態の E L 表示装置などはビデオカメラだけでなく、図 60 に示すような電子カメラにも適用することができる。表示装置はカメラ本体 601 に付属されたモニター 50 として用いる。カメラ本体 601 にはシャッター 603 の他、スイッチ 594 が取り付けられている。

【0910】

本発明のビデオカメラなどは、タッチパネルを搭載し、指やペンで Web ブラウジングや E メールなどを操作できるインターネット端末機能を有している。また、ハードディスク装置の代わりに 256 M バイト以上のコンパクト・フラッシュ・カード（誤り訂正機能付き）を搭載することが好ましい。ウィンドウズ（登録商標）OS の基本機能部分だけを採用することで低容量化を図る。HDD がないため、ディスク・クラッシュなどの心配がなく堅牢性を確保できる。PC カード・スロットを 2 つ装備させる。モデムや、ISDN、PIAFS、LAN、無線 LAN などを利用できるように構成することが好ましい。無線 LAN 用のアンテナ内蔵させる。USB/RS232C インターフェースにより、バーコード・リーダなどの業務用周辺機器も接続できるようにしている。キーボードがない省スペース設計に加え、水濡れやホコリに耐える（JIS 防滴 2 級に準拠）ように構成する。タッチパネルや、アプリケーションを簡単に起動できる「ワンタッチ・キー」の採用

、手書きE-mail機能（手書きメモ機能を含む）の搭載など、BtoBtoCでの一般ユーザーの利用を想定して操作性の向上を図っている。以上の機能などは本発明の他の表示装置、情報端末なども搭載する。

【 0 9 1 1 】

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面50がたわみやすい。その対策のため、本発明では図61に示すように表示パネルに外枠611をつけ、外枠611をつりさげられるように固定部材614で取り付けている。この固定部材614を用いて、壁などに取り付ける。

【 0 9 1 2 】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

【 0 9 1 3 】

脚612はAに示すように左右に移動でき、また、脚612はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【 0 9 1 4 】

なお、脚612あるいは筐体（他の本発明においても）にはプラスチックフィルム－金属板複合材（以後、複合材と呼ぶ）を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層（接着層）を介して強力に接着したものである。金属板は0.2mm以上0.8mm以下が好ましく、金属板に特殊表面処理層を介してはりあわされるプラスチックフィルムは15 μ m以上100 μ m以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程（フィルムの手貼り、メッキ塗装）の削除が可能となる。また、従来では不可能であった深絞り成形やDI成形に適する。

【 0 9 1 5 】

図 6 1 のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが 1 つの目的である。保護フィルムの表面には A I R コートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【 0 9 1 6 】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【 0 9 1 7 】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【 0 9 1 8 】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、P V A フィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（A B S など）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で 0 . 5 m m 以上 2 . 0 m m 以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

【 0 9 1 9 】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい

【0920】

画面は4:3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にすることが好ましい。ワイド型をすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネルの明るさは300cd/m²（カンデラ/平方メートル）にすることが好ましい。さらに好ましくは、表示パネルの明るさは500cd/m²（カンデラ/平方メートル）にすることが好ましい。また、インターネットや通常のパソコン作業に適した明るさ（200cd/m²）で表示できるように切り替えスイッチを設置している。

【0921】

したがって、使用者は表示内容あるいは使用方法により、最適に画面の明るさにすることができる。さらに動画を表示しているウィンドウだけを500cd/m²にして、その他の部分は200cd/m²にする設定も用意している。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い方にも柔軟に対応する。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

【0922】

テレビ番組の再生、録画機能も使い勝手が向上させている。iモードからの録画予約が簡単にできるようにしている。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をiモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできるようにしている。ニュース番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分を飛ばして、番組の概要を短時間で見ることができる（30分番組で1～10分程度）。

【0923】

テレビ録画ができるようにディスク容量が40GB以上のハードディスクを積載している。本体のほかに電源と映像用入出力端子をまとめた拡張ボックスで構成している。ビデオなどのAV機器の接続に使う拡張ボックスには、パソコン

とテレビのほかに2系統の映像機器を接続できる。映像入力はBSデジタルチューナー用のD1端子のほかにS端子入力も備え、接続する機器に合わせて選択できる。ゲーム機などの接続に便利のようにAV用の端子は前面に配置されている。

【0924】

また、表示画面を前屈30度以上、後屈120度以上とすることにより、90度/180/270度に回転できるように構成することにより、操作環境にあわせた自在な設置が可能となる。たとえば、90度回転させてブラウザー画面を縦長に表示することができる。また、145度後屈させることによって対面に座った人へ向かって画面を表示できる。

【0925】

以上の保護フィルム、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまでもない。

【0926】

以上の実施例では、EL素子15はR、G、Bであるとしたが、これに限定するものではない。たとえば、シアン、イエロー、マゼンダでもよいし、任意の2色でもよい。R、G、B、シアン、イエロー、マゼンダの6色あるいは任意の4色以上であってもよい。また、白単色であってもよいし、白単色光をカラーフィルターでRGBにしたのもでもよい。また、有機EL素子に限定するものではなく、無機EL素子であってもよい。

【0927】

なお、本発明の実施例では、アクティブマトリックス型表示パネルを例示して説明したがこれに限定するものではない。ソースドライバIC14などからは所定電流のN倍電流をソース信号線18に印加（から吸収）する。また、複数の画素行を同時に選択する。そして、所定の期間の間だけ、EL素子に電流を流し、他の期間は電流を流さない、という概念は、単純マトリックス型表示パネルにも適用できるものである。

【0928】

また、EL素子15は点灯初期に特性変化が大きい。そのため、焼きツキなど

が発生しやすい。この対策のため、パネル形成後、20時間以上150時間以内の間、白ラスタ表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも2-10倍程度の明るさで表示させることが好ましい。

【0929】

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【0930】

なお、本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図22、図24、図30のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

【0931】

本明細書で説明した画素構成、あるいは駆動方法は、などの画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。たとえば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。たとえば、液晶の場合は、TN (Twisted Nematic)、IPS (In-Plane Switching)、FLC (Ferroelectric Liquid Cry

stal)、OCB (Optically Compensatory Bend)、STN (Supper Twisted Nematic)、VA (Vertically Aligned)、ECB (Electrically Controlled Birefringence) およびHAN (Hybrid Aligned Nematic) モード、DSMモード (動的散乱モード) などである。特に、DSMは印加する電流により光変調できるので、本発明とはマッチングがよい。

【0932】

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【0933】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【0934】

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

【0935】

また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定

するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【0936】

また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【0937】

本発明の検査方法によれば、内蔵ゲートドライバを用いて、ゲート信号線17にオンオフ電圧を印加するため、ブローピング数を削減でき、高速な検査を実施できる。

【0938】

【発明の効果】

本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0939】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図1】 本発明の表示パネルの画素構成図である。

【図2】 本発明の表示パネルの画素構成図である。

- 【図 3】 本発明の表示パネルの動作の説明図である。
- 【図 4】 本発明の表示パネルの動作の説明図である。
- 【図 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 6】 本発明の表示装置の構成図である。
- 【図 7】 本発明の表示パネルの製造方法の説明図である。
- 【図 8】 本発明の表示装置の構成図である。
- 【図 9】 本発明の表示装置の構成図である。
- 【図 10】 本発明の表示パネルの断面図である。
- 【図 11】 本発明の表示パネルの断面図である。
- 【図 12】 本発明の表示パネルの説明図である。
- 【図 13】 本発明の表示装置の駆動方法の説明図である。
- 【図 14】 本発明の表示装置の駆動方法の説明図である。
- 【図 15】 本発明の表示装置の駆動方法の説明図である。
- 【図 16】 本発明の表示装置の駆動方法の説明図である。
- 【図 17】 本発明の表示装置の駆動方法の説明図である。
- 【図 18】 本発明の表示装置の駆動方法の説明図である。
- 【図 19】 本発明の表示装置の駆動方法の説明図である。
- 【図 20】 本発明の表示装置の駆動方法の説明図である。
- 【図 21】 本発明の表示装置の駆動方法の説明図である。
- 【図 22】 本発明の表示装置の駆動方法の説明図である。
- 【図 23】 本発明の表示装置の駆動方法の説明図である。
- 【図 24】 本発明の表示装置の駆動方法の説明図である。
- 【図 25】 本発明の表示装置の駆動方法の説明図である。
- 【図 26】 本発明の表示装置の駆動方法の説明図である。
- 【図 27】 本発明の表示装置の駆動方法の説明図である。
- 【図 28】 本発明の表示装置の駆動方法の説明図である。
- 【図 29】 本発明の表示装置の駆動方法の説明図である。
- 【図 30】 本発明の表示装置の駆動方法の説明図である。
- 【図 31】 本発明の表示装置の駆動方法の説明図である。

- 【図 3 2】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 3】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 4】 本発明の表示装置の構成図である。
- 【図 3 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 7】 本発明の表示装置の構成図である。
- 【図 3 8】 本発明の表示装置の構成図である。
- 【図 3 9】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 0】 本発明の表示装置の構成図である。
- 【図 4 1】 本発明の表示装置の構成図である。
- 【図 4 2】 本発明の表示パネルの画素構成図である。
- 【図 4 3】 本発明の表示パネルの画素構成図である。
- 【図 4 4】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 7】 本発明の表示パネルの画素構成図である。
- 【図 4 8】 本発明の表示装置の構成図である。
- 【図 4 9】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 0】 本発明の表示パネルの画素構成図である。
- 【図 5 1】 本発明の表示パネルの画素図である。
- 【図 5 2】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 3】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 4】 本発明の表示パネルの画素構成図である。
- 【図 5 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 7】 本発明の携帯電話の説明図である。
- 【図 5 8】 本発明のビューファインダの説明図である。
- 【図 5 9】 本発明のビデオカメラの説明図である。
- 【図 6 0】 本発明のデジタルカメラの説明図である。

- 【図 6 1】 本発明のテレビ（モニター）の説明図である。
- 【図 6 2】 従来の表示パネルの画素構成図である。
- 【図 6 3】 本発明のドライバ回路の機能ブロック図である。
- 【図 6 4】 本発明のドライバ回路の説明図である。
- 【図 6 5】 本発明のドライバ回路の説明図である
- 【図 6 6】 電圧受け渡し方式の多段式カレントミラー回路の説明図である。
- 【図 6 7】 電流受け渡し方式の多段式カレントミラー回路の説明図である。
- 【図 6 8】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 6 9】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 7 0】 本発明の他に実施例におけるドライバ回路の説明図である。
- 【図 7 1】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 7 2】 従来のドライバ回路の説明図である。
- 【図 7 3】 本発明のドライバ回路の説明図である。
- 【図 7 4】 本発明のドライバ回路の説明図である。
- 【図 7 5】 本発明のドライバ回路の説明図である。
- 【図 7 6】 本発明のドライバ回路の説明図である。
- 【図 7 7】 本発明のドライバ回路の制御方法の説明図である。
- 【図 7 8】 本発明のドライバ回路の説明図である。
- 【図 7 9】 本発明のドライバ回路の説明図である。
- 【図 8 0】 本発明のドライバ回路の説明図である。
- 【図 8 1】 本発明のドライバ回路の説明図である。
- 【図 8 2】 本発明のドライバ回路の説明図である。
- 【図 8 3】 本発明のドライバ回路の説明図である。
- 【図 8 4】 本発明のドライバ回路の説明図である。
- 【図 8 5】 本発明のドライバ回路の説明図である。
- 【図 8 6】 本発明のドライバ回路の説明図である。
- 【図 8 7】 本発明のドライバ回路の説明図である。
- 【図 8 8】 本発明の駆動方法の説明図である。
- 【図 8 9】 本発明のドライバ回路の説明図である。

- 【図 9 0】 本発明の駆動方法の説明図である。
- 【図 9 1】 本発明の E L 表示装置の構成図である。
- 【図 9 2】 本発明の E L 表示装置の構成図である。
- 【図 9 3】 本発明のドライバ回路の説明図である。
- 【図 9 4】 本発明のドライバ回路の説明図である。
- 【図 9 5】 本発明の E L 表示装置の構成図である。
- 【図 9 6】 本発明の E L 表示装置の構成図である。
- 【図 9 7】 本発明の E L 表示装置の構成図である。
- 【図 9 8】 本発明の E L 表示装置の構成図である。
- 【図 9 9】 本発明の E L 表示装置の構成図である。
- 【図 1 0 0】 本発明の E L 表示装置の断面図である。
- 【図 1 0 1】 本発明の E L 表示装置の断面図である。
- 【図 1 0 2】 本発明の E L 表示装置の構成図である。
- 【図 1 0 3】 本発明の E L 表示装置の構成図である。
- 【図 1 0 4】 本発明の E L 表示装置の構成図である。
- 【図 1 0 5】 本発明の E L 表示装置の構成図である。
- 【図 1 0 6】 本発明の E L 表示装置の構成図である。
- 【図 1 0 7】 本発明の E L 表示装置の構成図である。
- 【図 1 0 8】 本発明の E L 表示装置の構成図である。
- 【図 1 0 9】 本発明の E L 表示装置の構成図である。
- 【図 1 1 0】 本発明の検査方法の説明図である。
- 【図 1 1 1】 本発明の検査方法の説明図である。
- 【図 1 1 2】 本発明の検査方法の説明図である。
- 【図 1 1 3】 本発明の検査装置の説明図である。
- 【図 1 1 4】 本発明の検査方法の説明図である。
- 【図 1 1 5】 本発明の検査方法の説明図である。
- 【図 1 1 6】 本発明の表示パネルの説明図である。
- 【図 1 1 7】 本発明の検査方法の説明図である。
- 【図 1 1 8】 本発明の検査方法の説明図である。

- 【図 1 1 9】 本発明の検査装置の説明図である。
- 【図 1 2 0】 本発明の検査方法の説明図である。
- 【図 1 2 1】 本発明の検査方法の説明図である。
- 【図 1 2 2】 本発明の検査方法の説明図である。
- 【図 1 2 3】 本発明の検査方法の説明図である。
- 【図 1 2 4】 本発明の検査方法の説明図である。
- 【図 1 2 5】 本発明の検査方法の説明図である。
- 【図 1 2 6】 本発明の表示パネルの説明図である。
- 【図 1 2 7】 本発明の検査方法の説明図である。
- 【図 1 2 8】 本発明の表示パネルの構成図である。
- 【図 1 2 9】 本発明の表示パネルの構成図である。
- 【図 1 3 0】 本発明の表示パネルの構成図である。
- 【図 1 3 1】 本発明の表示パネルの構成図である。
- 【図 1 3 2】 本発明の表示パネルの構成図である。
- 【図 1 3 3】 本発明の表示パネルの構成図である。
- 【図 1 3 4】 本発明の表示パネルの構成図である。
- 【図 1 3 5】 本発明の表示パネルの構成図である。
- 【図 1 3 6】 本発明の表示パネルの説明図である。
- 【図 1 3 7】 本発明の検査方法の説明図である。
- 【図 1 3 8】 本発明の検査方法の説明図である。
- 【図 1 3 9】 本発明の検査方法の説明図である。
- 【図 1 4 0】 本発明の検査方法の説明図である。
- 【図 1 4 1】 本発明の検査方法の説明図である。
- 【図 1 4 2】 本発明の検査方法の説明図である。
- 【図 1 4 3】 本発明の検査方法の説明図である。
- 【図 1 4 4】 本発明の検査方法の説明図である。
- 【図 1 4 5】 本発明の検査方法の説明図である。
- 【図 1 4 6】 本発明の検査方法の説明図である。
- 【図 1 4 7】 本発明の検査方法の説明図である。

【図 1 4 8】 本発明の検査方法の説明図である。

【図 1 4 9】 本発明の検査装置の説明図である。

【図 1 5 0】 本発明の検査方法の説明図である。

【図 1 5 1】 本発明の検査方法の説明図である。

【図 1 5 2】 本発明の検査方法の説明図である。

【図 1 5 3】 本発明の検査方法の説明図である。

【図 1 5 4】 本発明の検査方法の説明図である。

【図 1 5 5】 本発明の検査方法の説明図である。

【図 1 5 6】 本発明のドライバ回路の説明図である。

【符号の説明】

- 1 1 T F T (薄膜トランジスタ)
- 1 2 ゲートドライバ I C (回路)
- 1 4 ソースドライバ I C (回路)
- 1 5 E L (素子) (発光素子)
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量 (付加コンデンサ、付加容量)
- 5 0 表示画面
- 5 1 書き込み画素 (行)
- 5 2 非表示画素 (非表示領域、非点灯領域)
- 5 3 表示画素 (表示領域、点灯領域)
- 6 1 シフトレジスタ
- 6 2 インバータ
- 6 3 出力バッファ
- 7 1 アレイ基板 (表示パネル)
- 7 2 レーザー照射範囲 (レーザースポット)
- 7 3 位置決めマーカ
- 7 4 ガラス基板 (アレイ基板)

- 8 1 コントロール I C (回路)
- 8 2 電源 I C (回路)
- 8 3 プリント基板
- 8 4 フレキシブル基板
- 8 5 封止フタ
- 8 6 カソード配線
- 8 7 アノード配線 (V d d)
- 8 8 データ信号線
- 8 9 ゲート制御信号線
- 1 0 1 土手 (リブ)
- 1 0 2 層間絶縁膜
- 1 0 4 コンタクト接続部
- 1 0 5 画素電極
- 1 0 6 カソード電極
- 1 0 7 乾燥剤
- 1 0 8 $\lambda/4$ 板
- 1 0 9 偏光板
- 1 1 1 薄膜封止膜
- 2 8 1 ダミー画素 (行)
- 3 4 1 出力段回路
- 3 7 1 O R 回路
- 4 0 1 点灯制御線
- 4 7 1 逆バイアス線
- 4 7 2 ゲート電位制御線
- 5 6 1 電子ポリウム回路
- 5 6 2 T F T の S D (ソースドレイン) ショート
- 5 7 1 アンテナ
- 5 7 2 キー
- 5 7 3 筐体

- 5 7 4 表示パネル
- 5 8 1 接眼リング
- 5 8 2 拡大レンズ
- 5 8 3 凸レンズ
- 5 9 1 支点 (回転部)
- 5 9 2 撮影レンズ
- 5 9 3 格納部
- 5 9 4 スイッチ
- 6 0 1 本体
- 6 0 2 撮影部
- 6 0 3 シャッタスイッチ
- 6 1 1 取り付け枠
- 6 1 2 脚
- 6 1 3 取り付け台
- 6 1 4 固定部
- 6 3 1 電流源
- 6 3 2 電流源
- 6 3 3 電流源
- 6 4 1 スイッチ (オンオフ手段)
- 6 3 4 電流源 (1 単位)
- 6 4 3 内部配線
- 6 5 1 ボリウム (電流調整手段)
- 6 8 1 トランジスタ群
- 6 9 1 抵抗 (電流制限手段、所定電圧発生手段)
- 6 9 2 デコーダ回路
- 6 9 3 レベルシフタ回路
- 7 0 1 カウンタ (計数手段)
- 7 0 2 NOR
- 7 0 3 AND

- 704 電流出力回路
- 711 嵩上げ回路
- 721 D/A変換器
- 722 オペアンプ
- 731 アナログスイッチ（オンオフ手段）
- 732 インバータ
- 761 出力パッド（出力信号端子）
- 771 基準電流源
- 772 電流制御回路
- 781 温度検出回路
- 782 温度制御回路
- 931 カスケード電流接続線
- 932 基準電流信号線
- 941 i 電流入力端子
- 941 o 電流出力端子
- 951 ベースアノード線（アノード電圧線）
- 952 アノード配線
- 953 接続端子
- 961 接続アノード線
- 962 共通アノード線
- 971 コンタクトホール
- 991 ベースカソード線
- 992 入力信号線
- 1001 接続樹脂（導電性樹脂、異方向性導電樹脂）
- 1011 光吸収膜
- 1012 樹脂ビーズ
- 1013 封止樹脂
- 1021 回路形成部
- 1051 ゲート電圧線

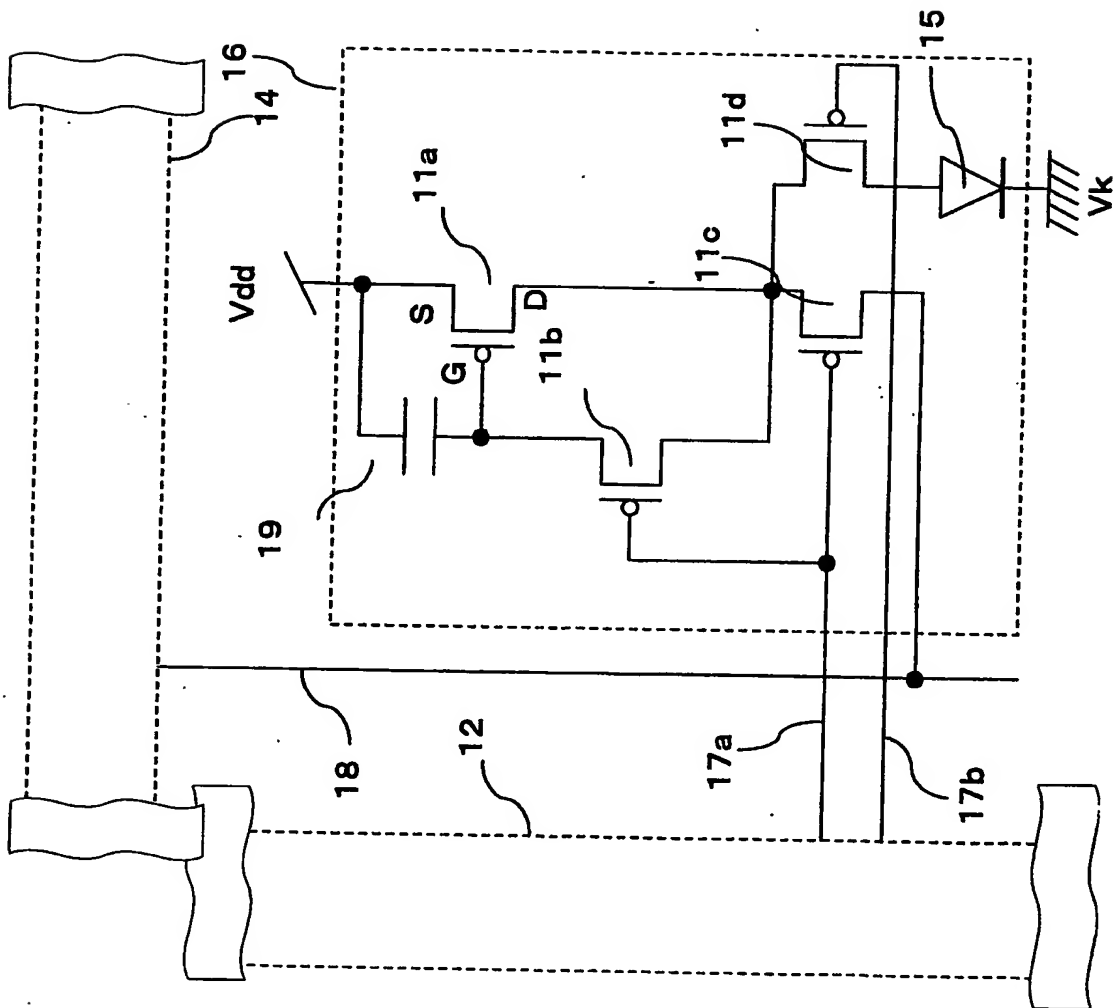
- 1 0 9 1 電源回路 (I C)
- 1 0 9 2 電源 I C 制御信号
- 1 0 9 3 ゲートドライバ回路制御信号
- 1 1 2 1 プローブ (接続手段)
- 1 1 2 2 アノード端子電極
- 1 1 2 3 電圧 (電流) 印加配線
- 1 1 2 4 ゲートドライバ制御端子 (信号線、電源線)
- 1 3 1 1 制御回路
- 1 1 3 2 カメラ (光学的入力手段、光検出手段)
- 1 1 3 4 電流計 (電流測定手段)
- 1 1 3 5 電圧源 (電力あるいは電圧発生手段)
- 1 1 3 6 カソード端子電極
- 1 1 4 1 ソース信号線端子電極 (接続電極、接続端子)
- 1 1 4 3 チェック端子電極
- 1 1 4 4 ショート配線
- 1 1 9 1 基準電圧回路
- 1 1 9 2 P C (データ入力手段、制御手段)
- 1 1 9 3 入力回路 (オペアンプ、スイッチ)
- 1 2 5 1 検査電極
- 1 2 6 1 チェック端子電極
- 1 2 8 1 保護ダイオード
- 1 2 8 2 内部配線
- 1 3 6 1 レーザー光
- 1 5 3 1 電圧計 (電圧測定手段)
- 1 5 4 1 信号発生器 (信号発生手段)

【書類名】

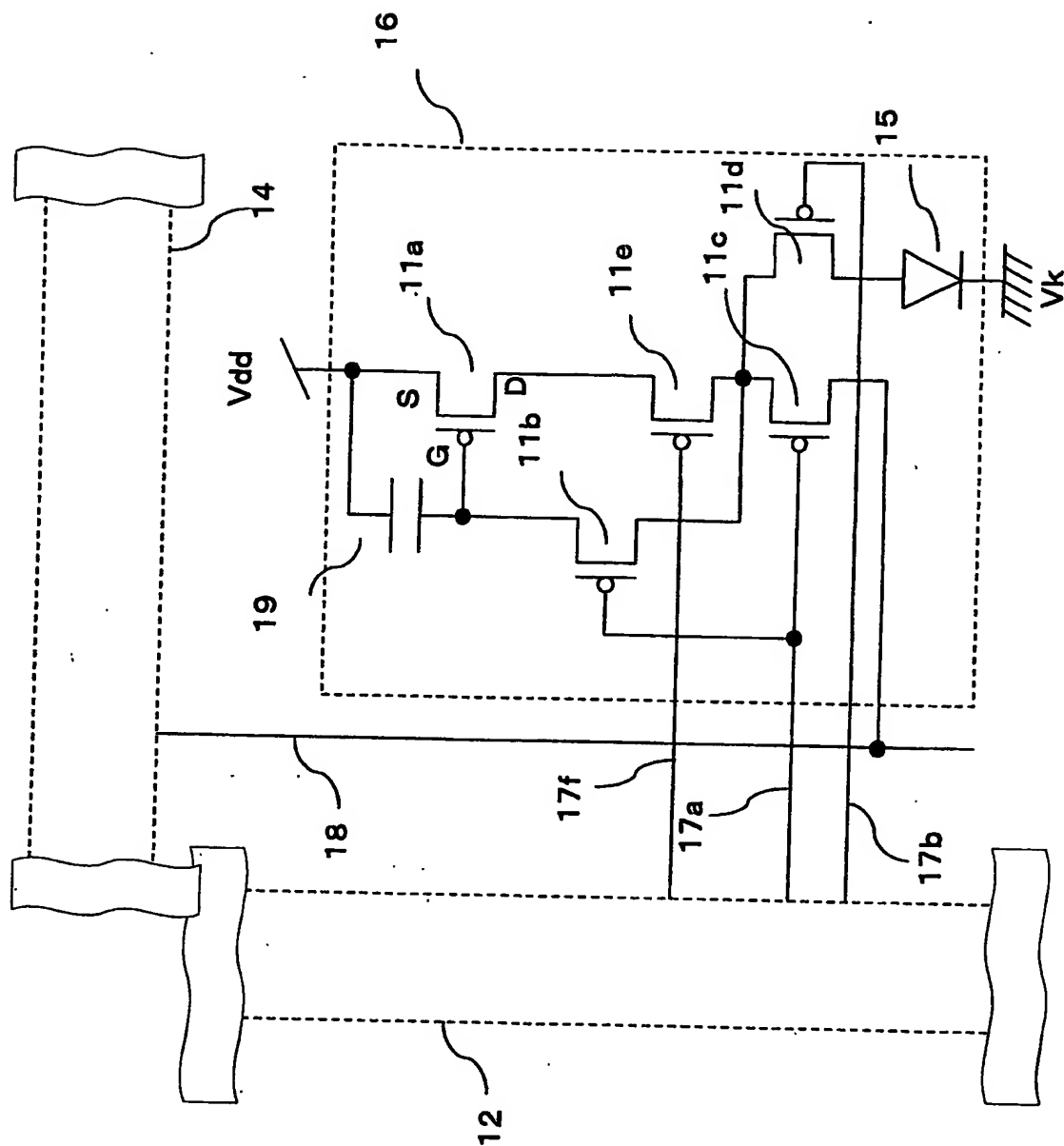
図面

【図 1】

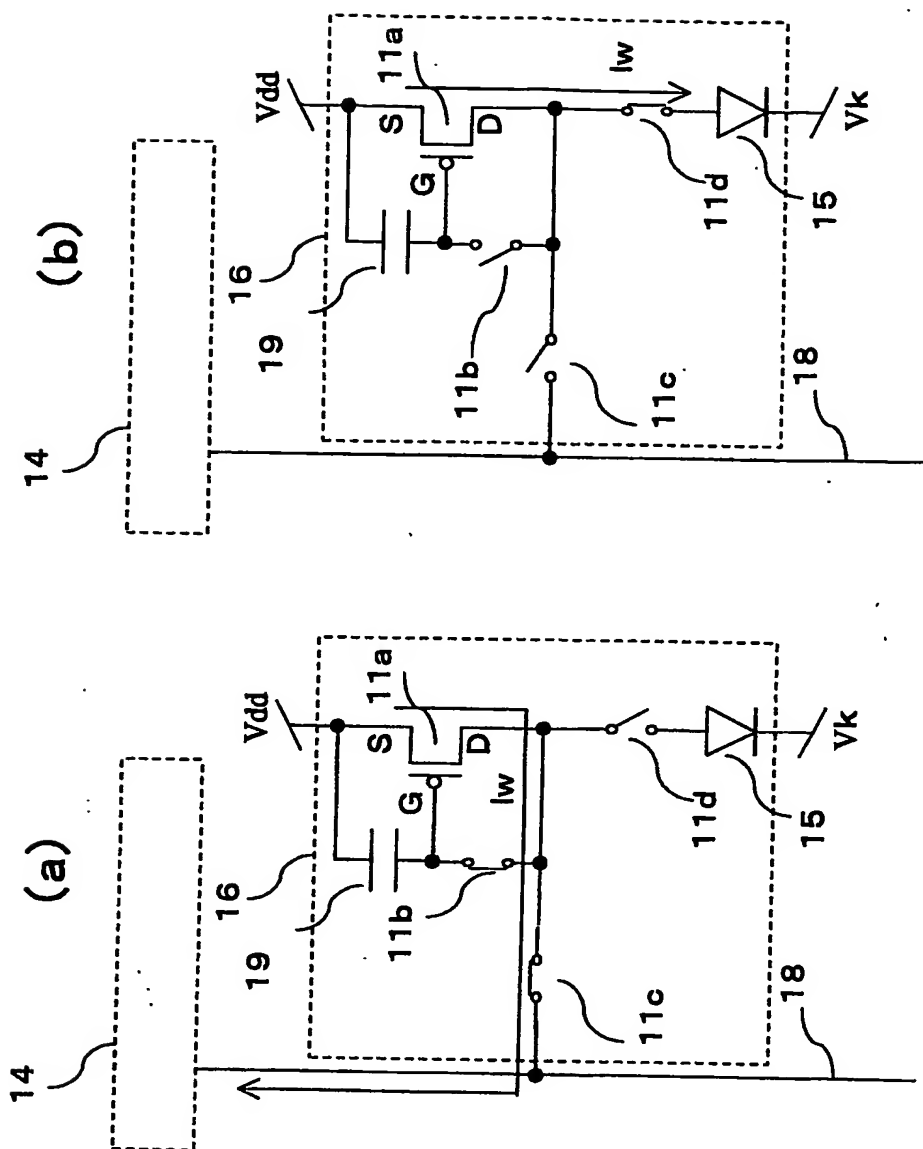
- 11 TFT
- 12 ゲートドライバ(回路)
- 14 ソースドライバ(回路)
- 15 EL(素子)
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量(付加容量)



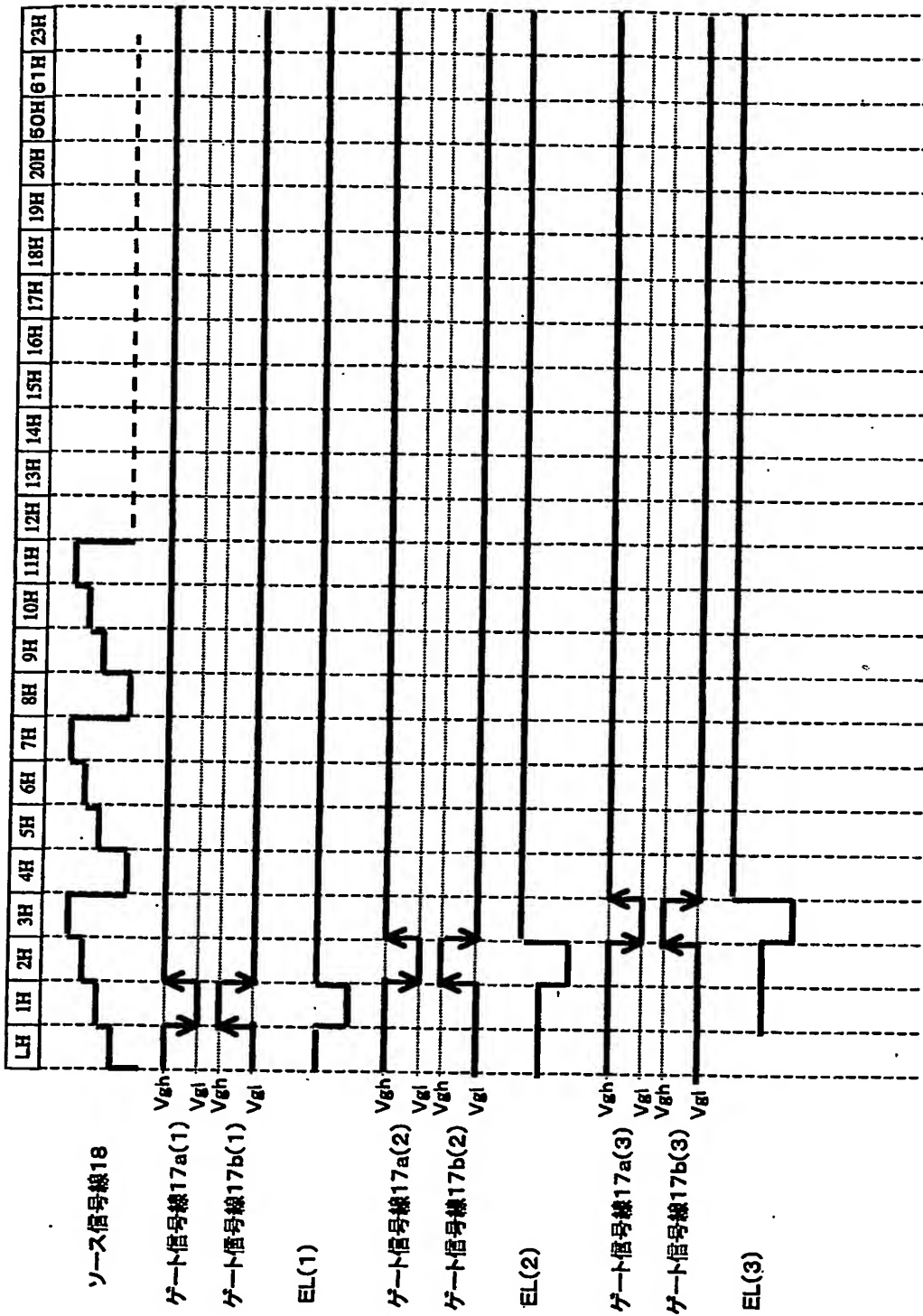
【圖 2】



【圖 3】

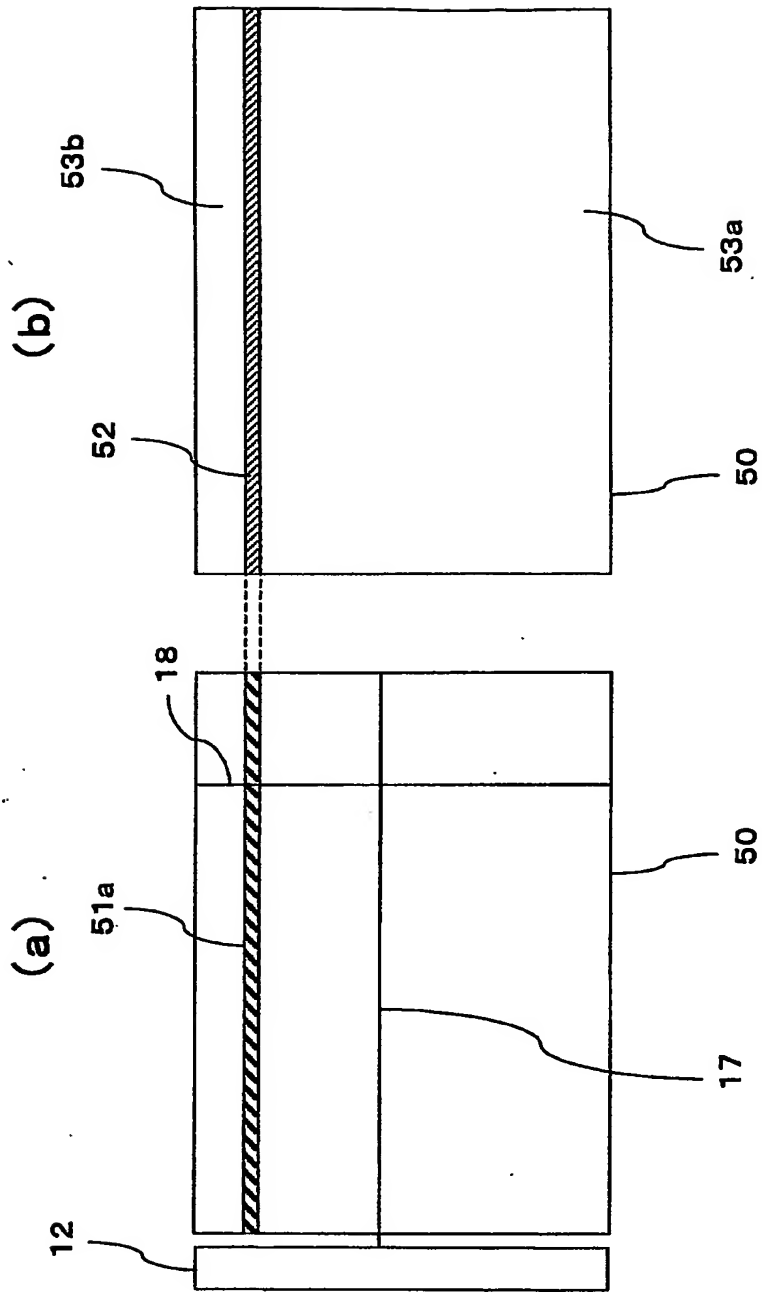


【図 4】

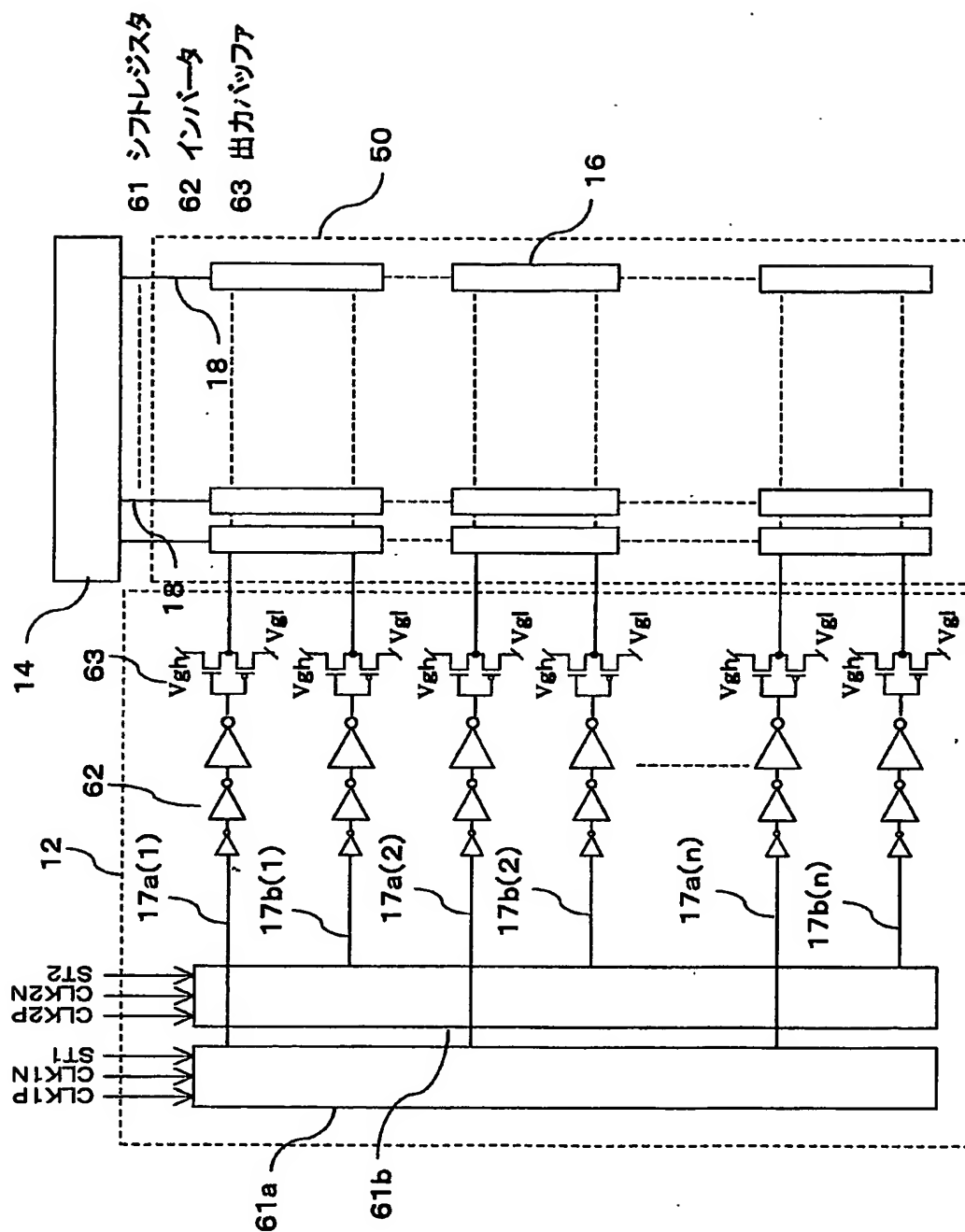


【図 5】

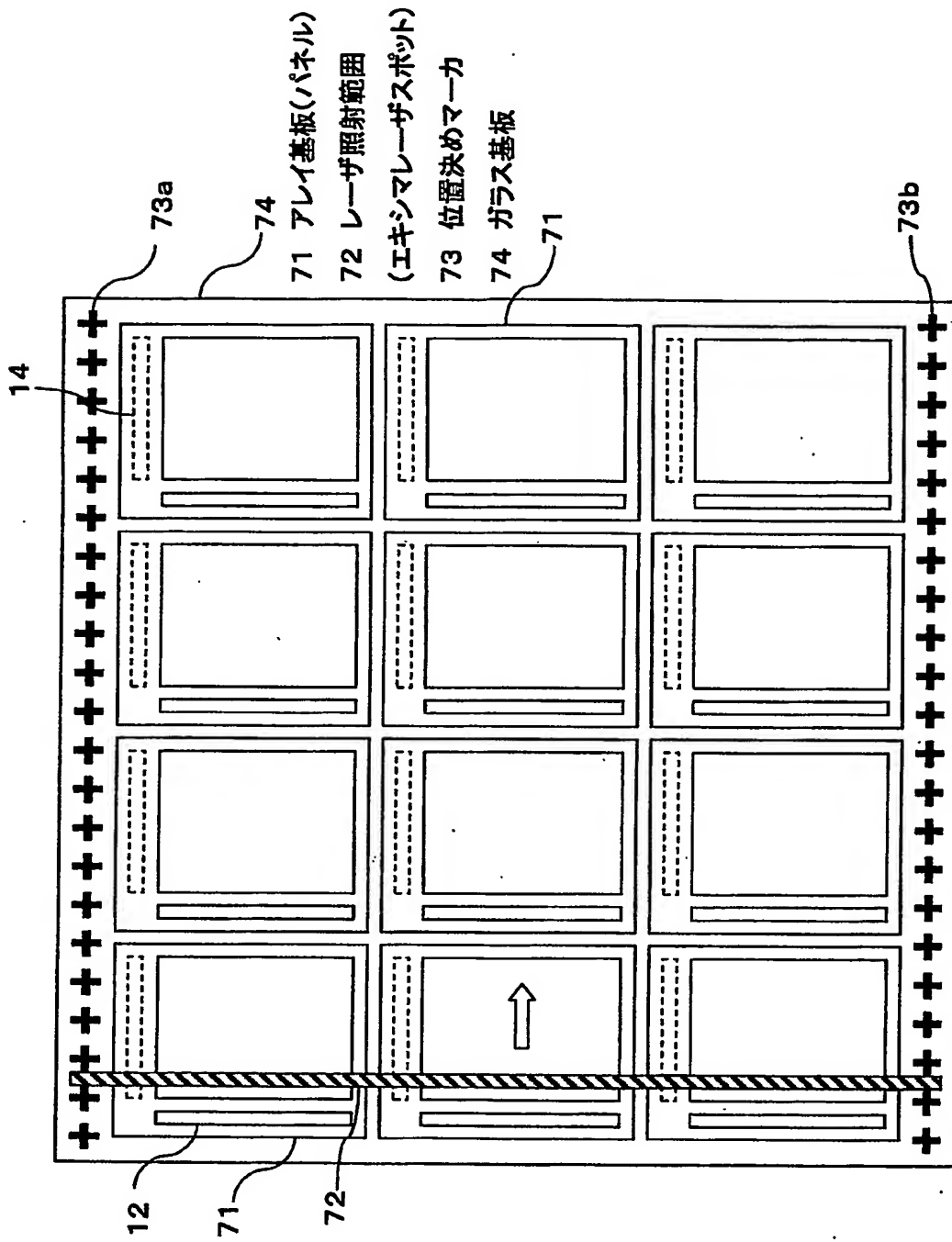
- 50 表示画面
- 51 書き込み图案(行)
- 52 非表示图案(非表示領域、非点灯領域)
- 53 表示图案(表示領域、点灯領域)



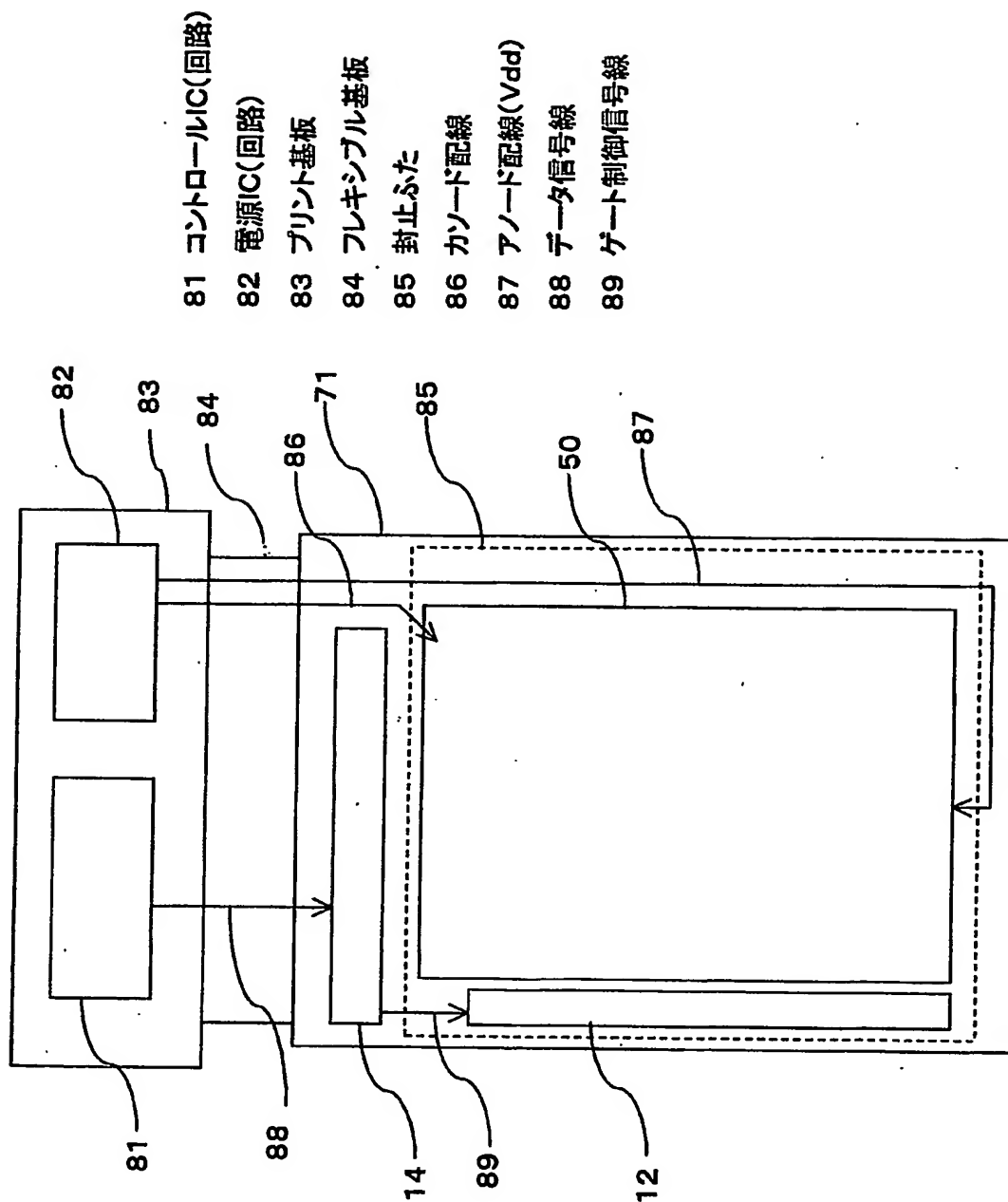
【図 6】



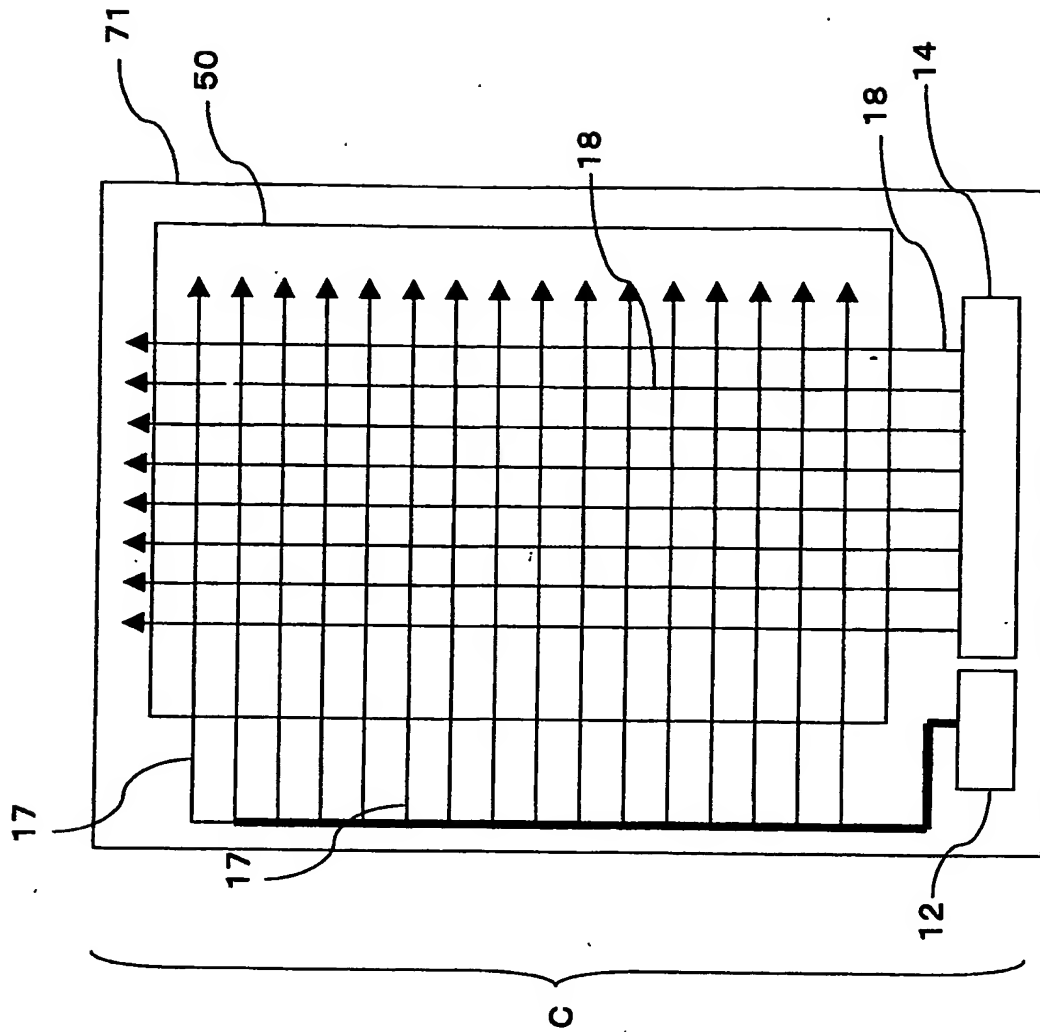
【図 7】



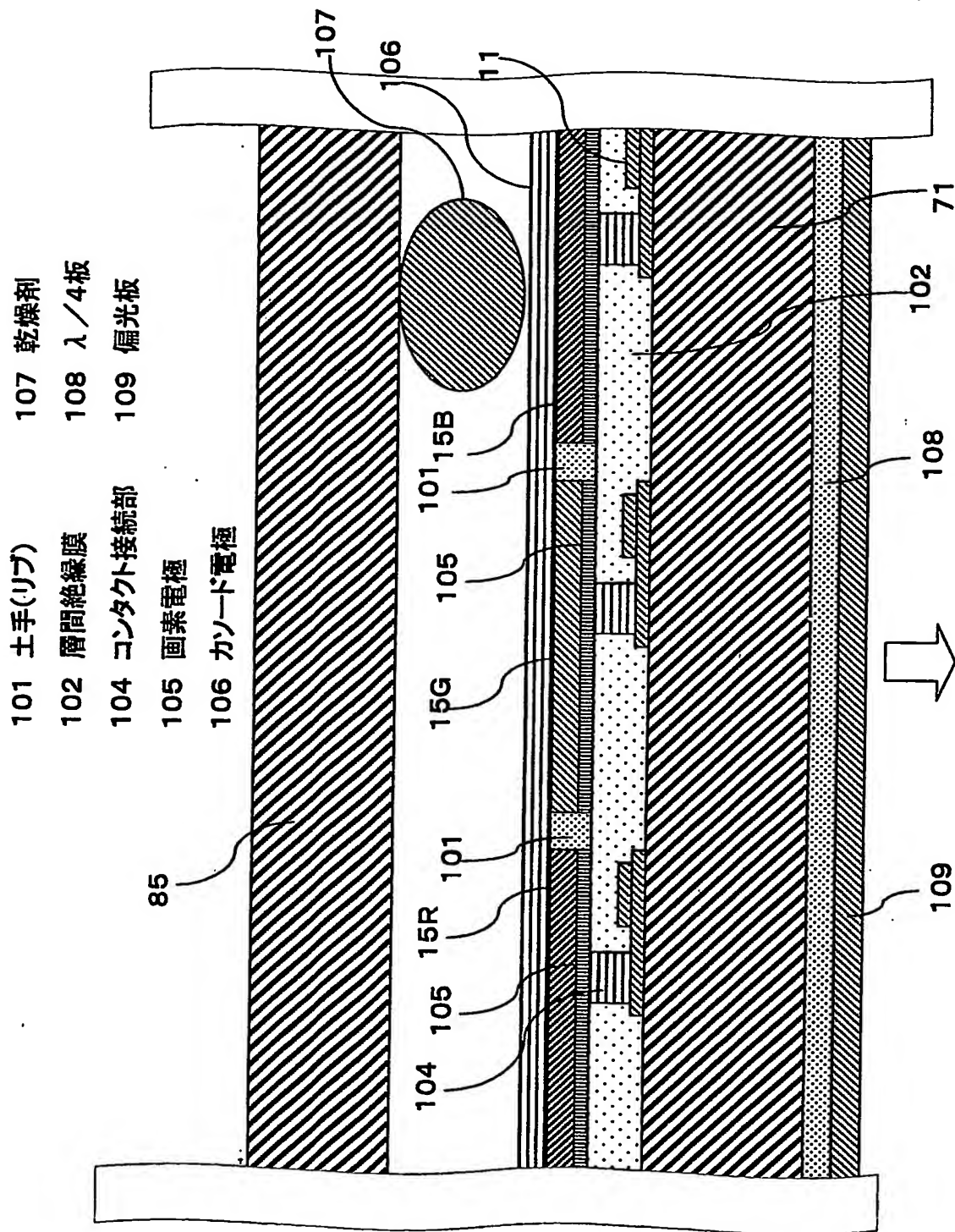
【図 8】



【図9】

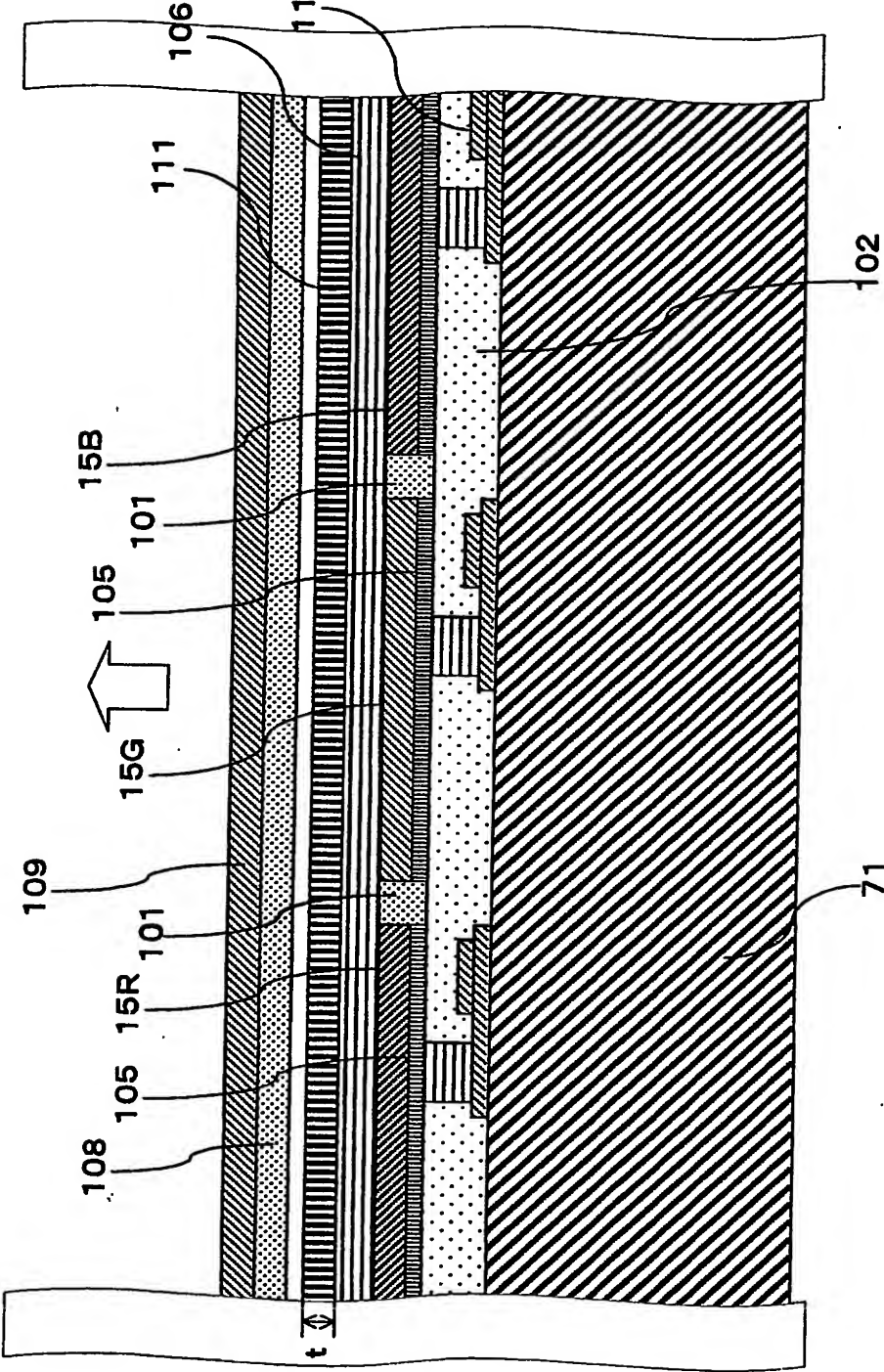


【图 10】

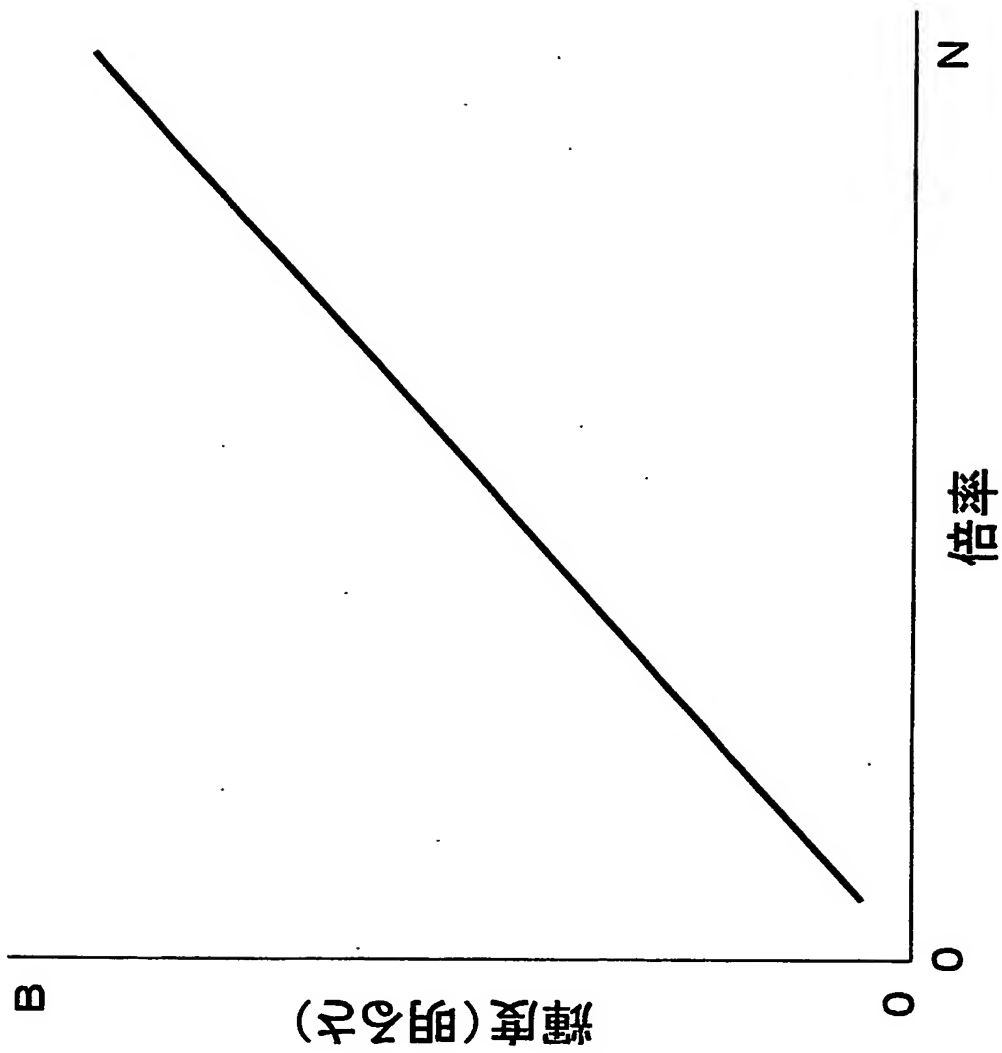


【図11】

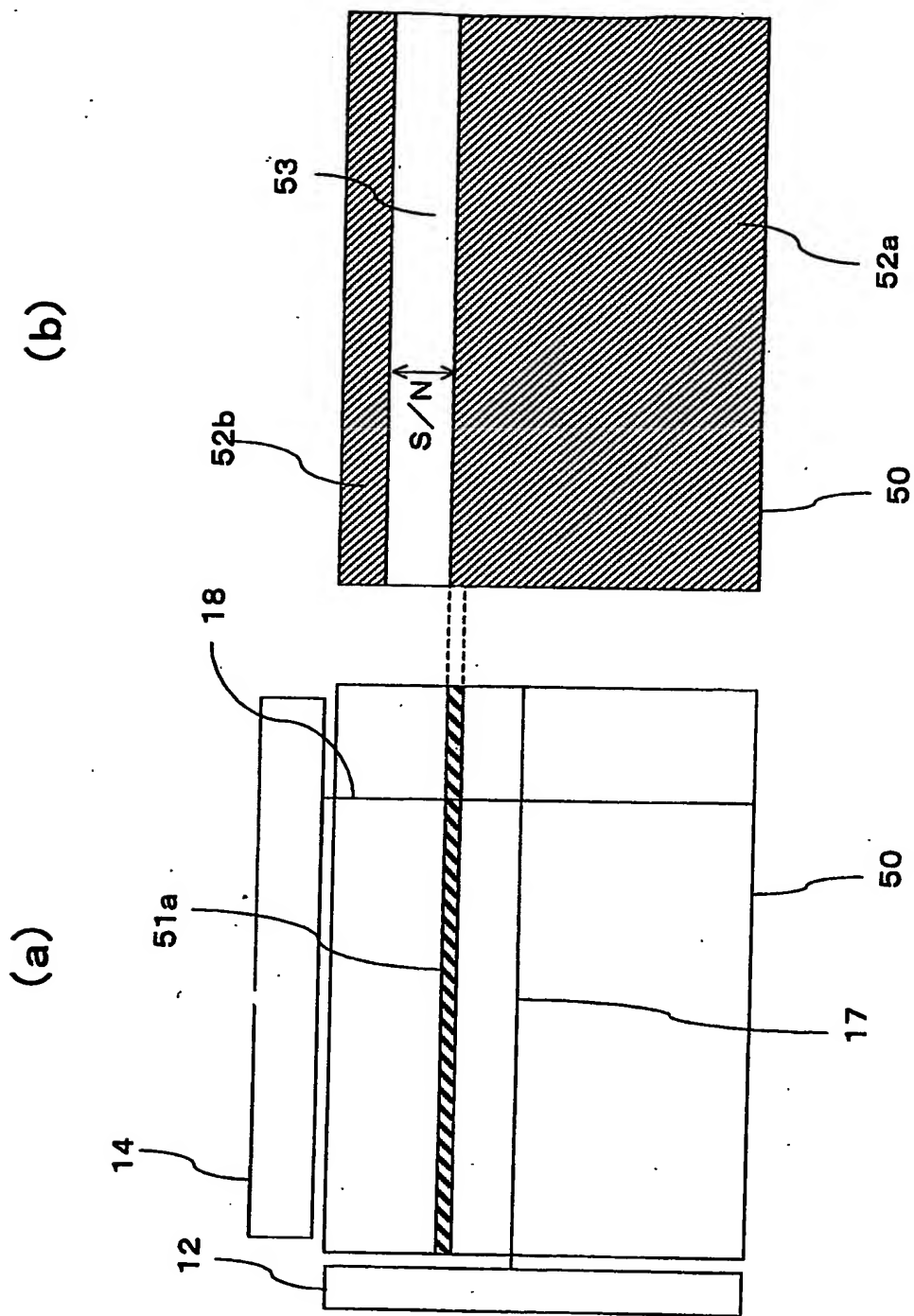
111 薄膜封止膜



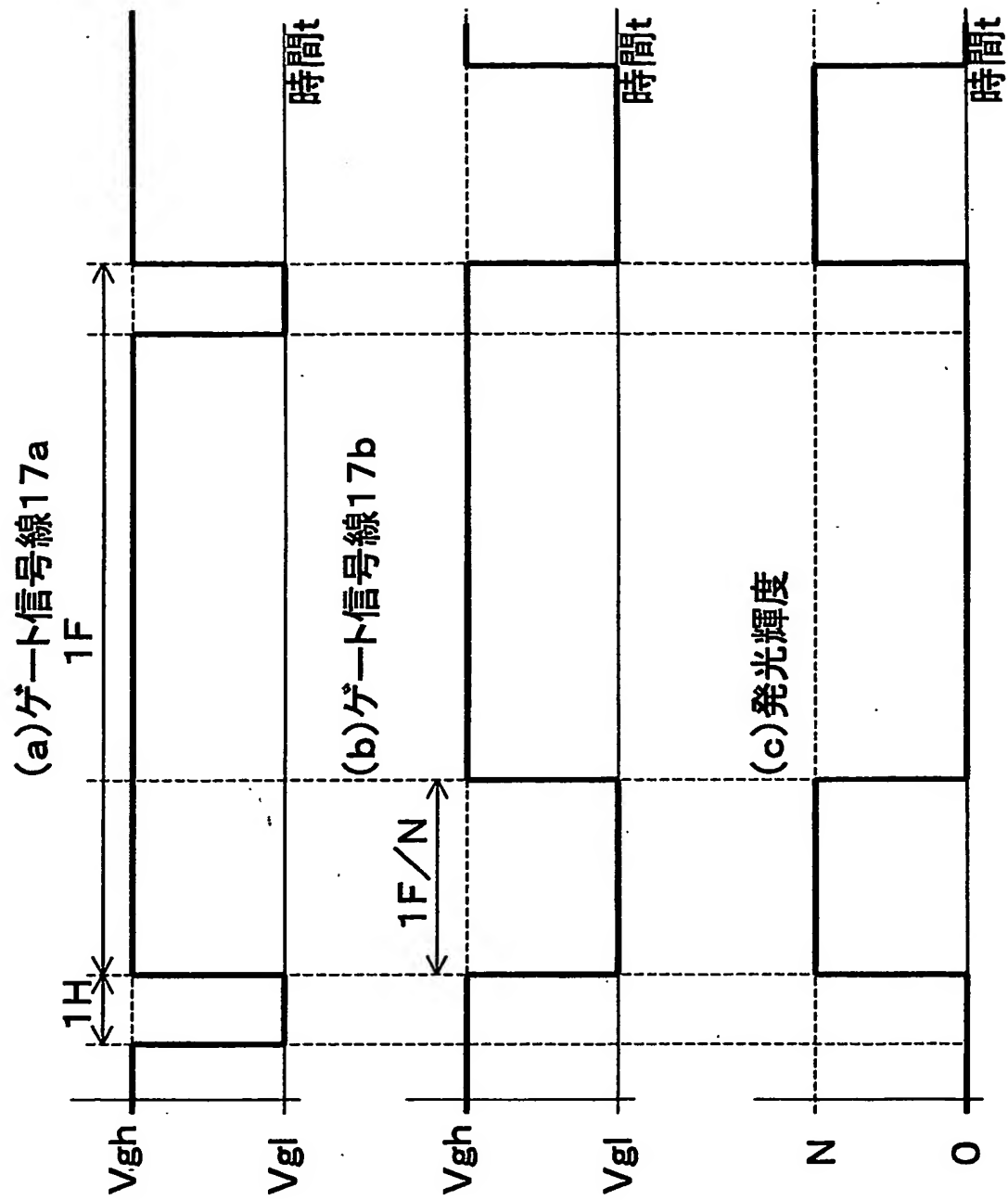
【図12】



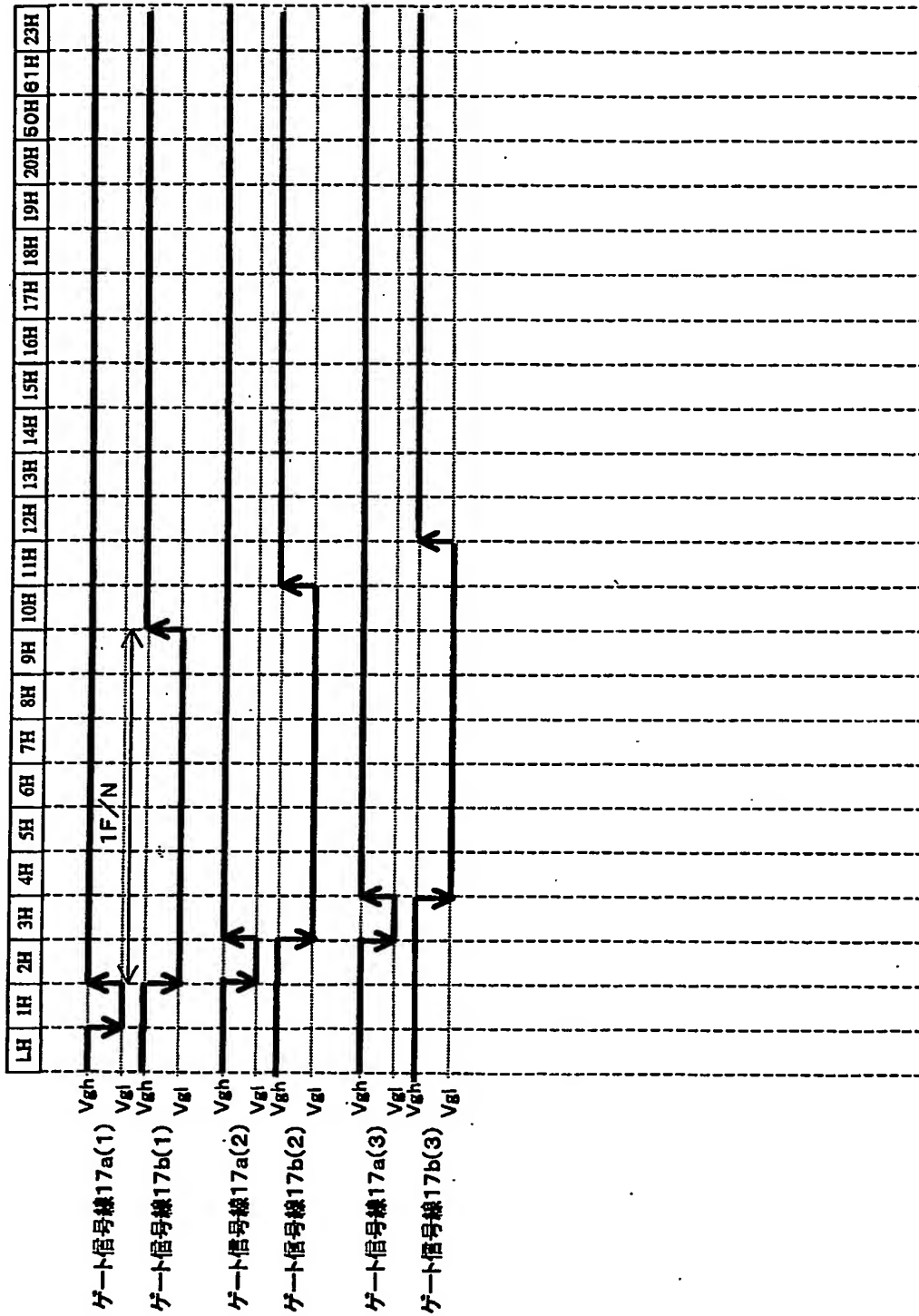
【図 13】



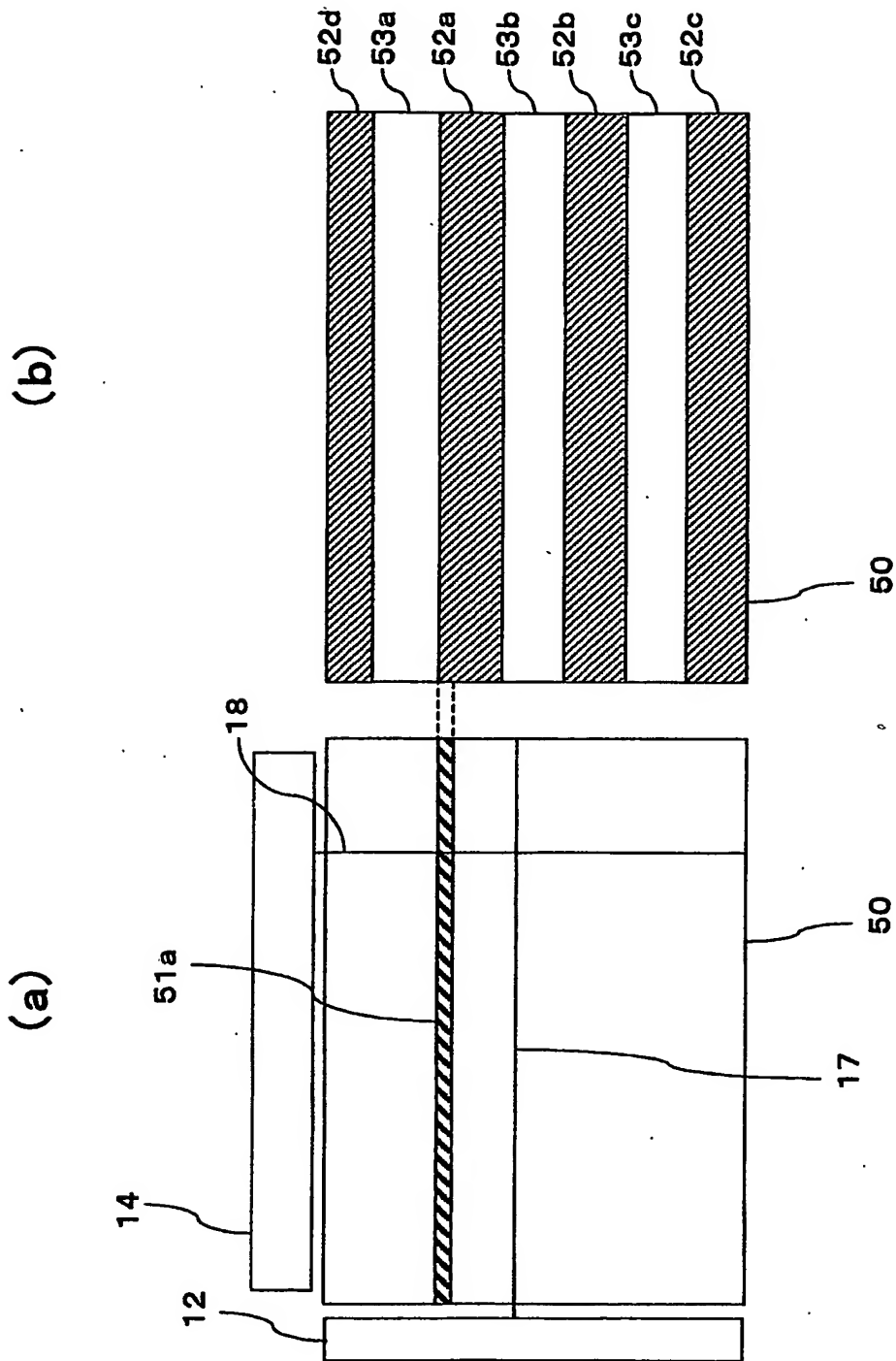
【図 14】



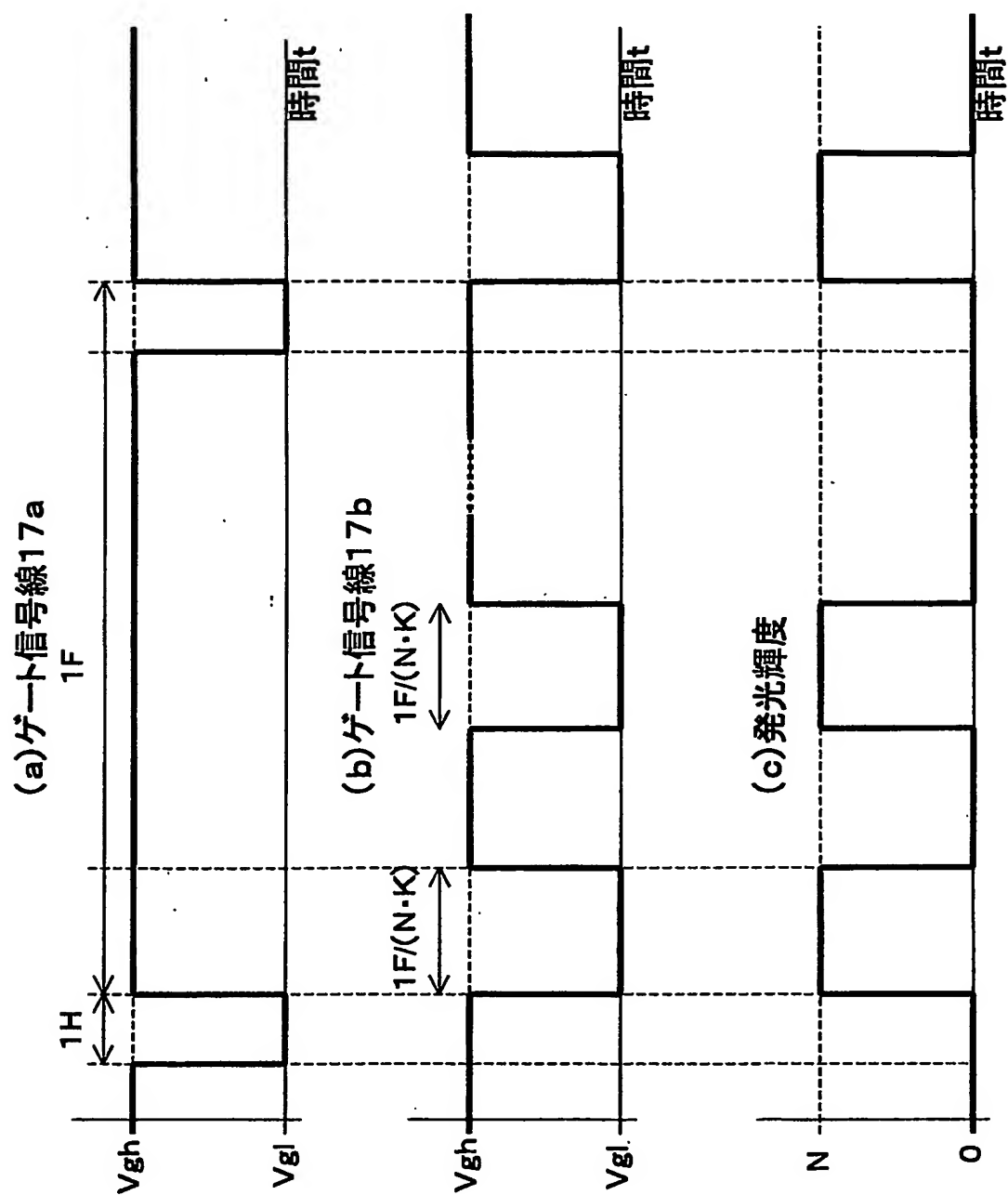
【図 15】



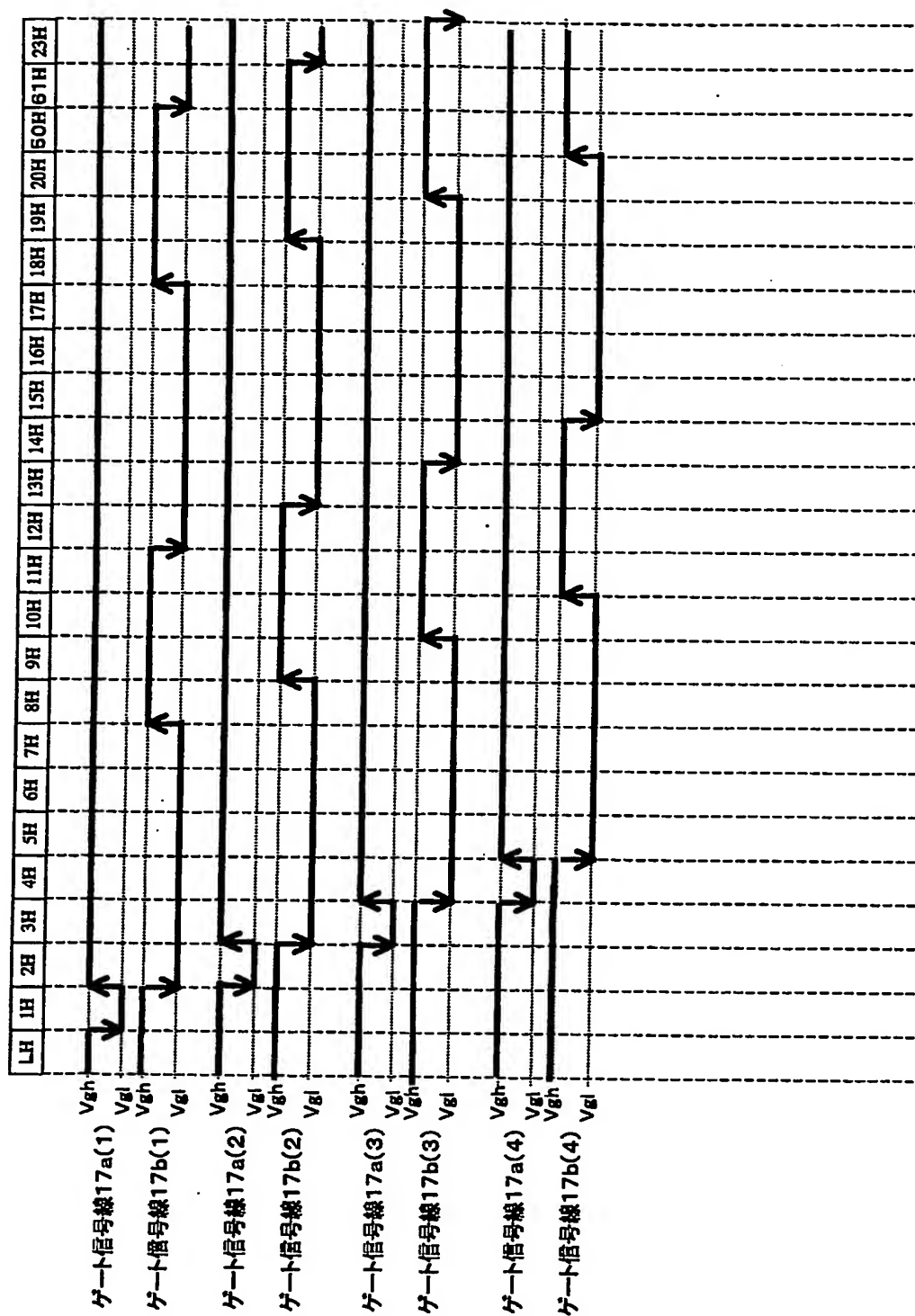
【図 1 6】



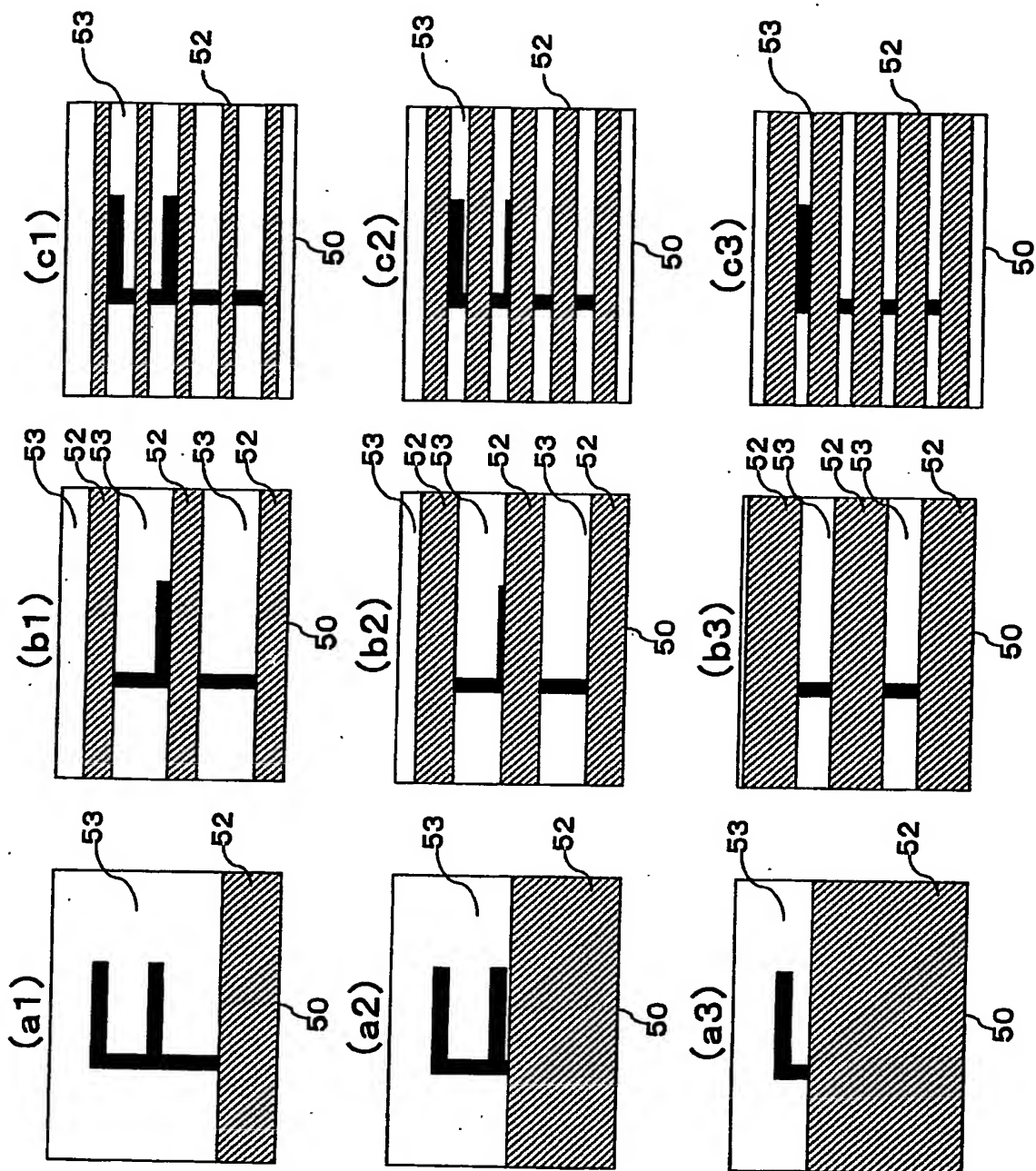
【図 17】



【図 18】

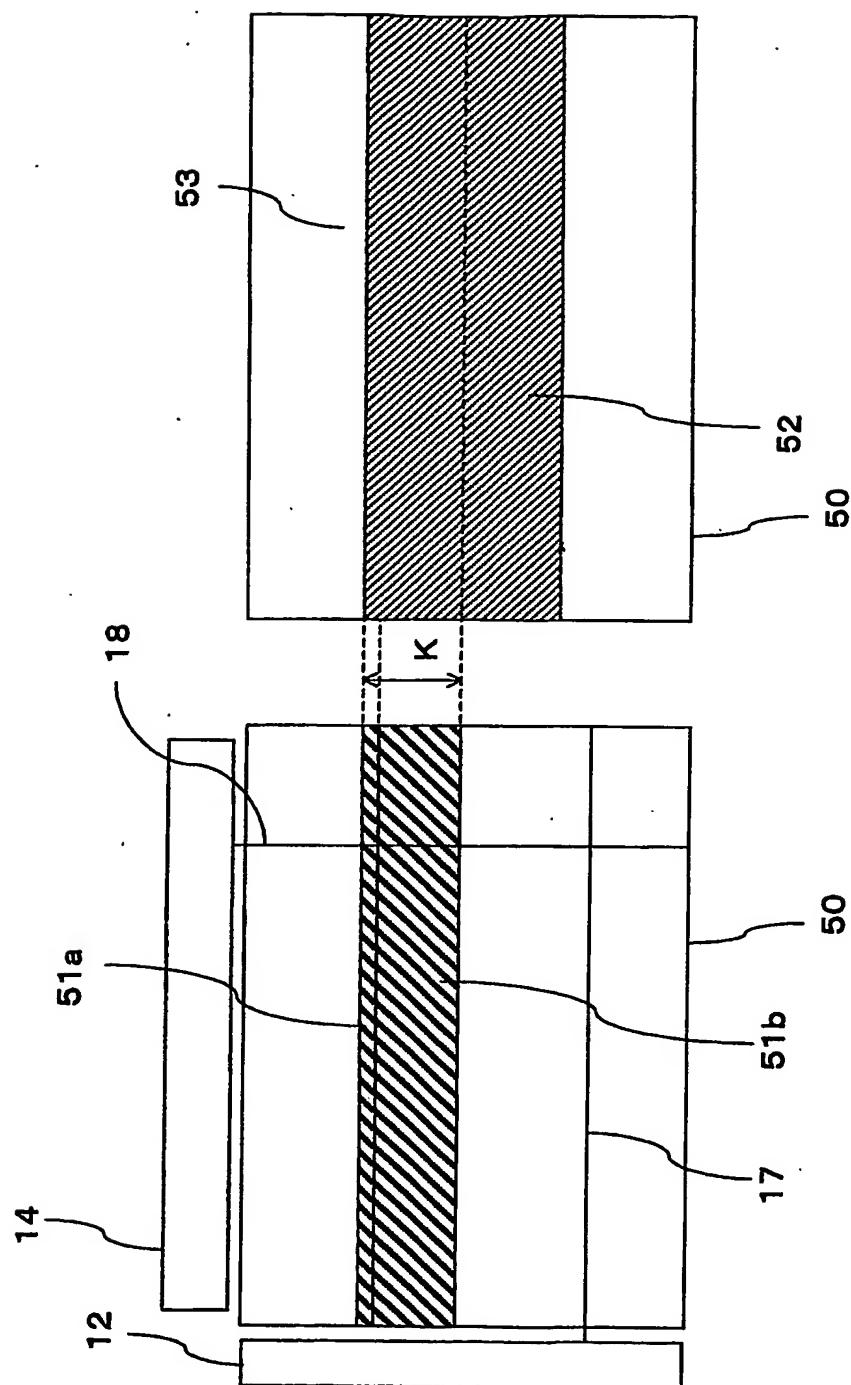


【図 19】

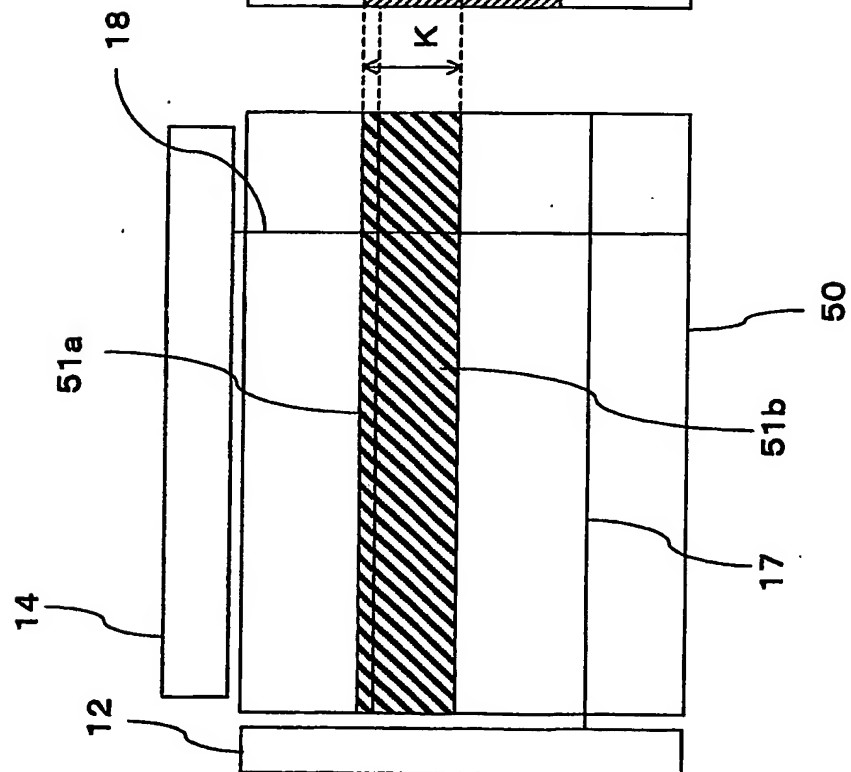


【図20】

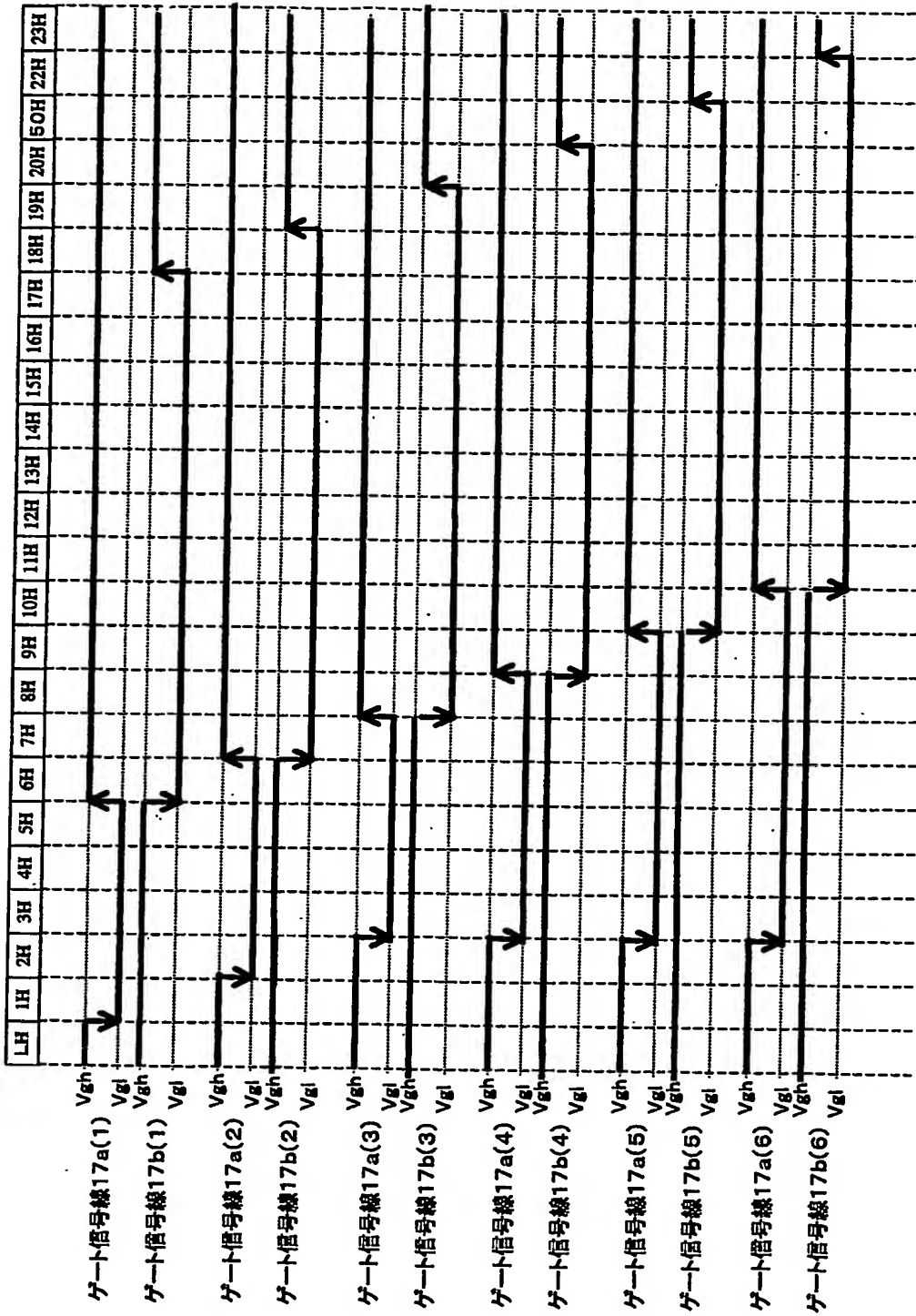
(b)



(a)

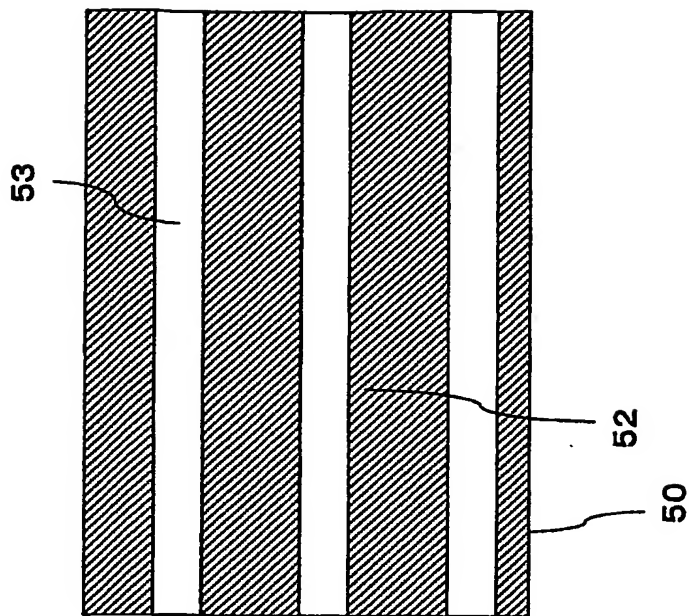


【図 21】

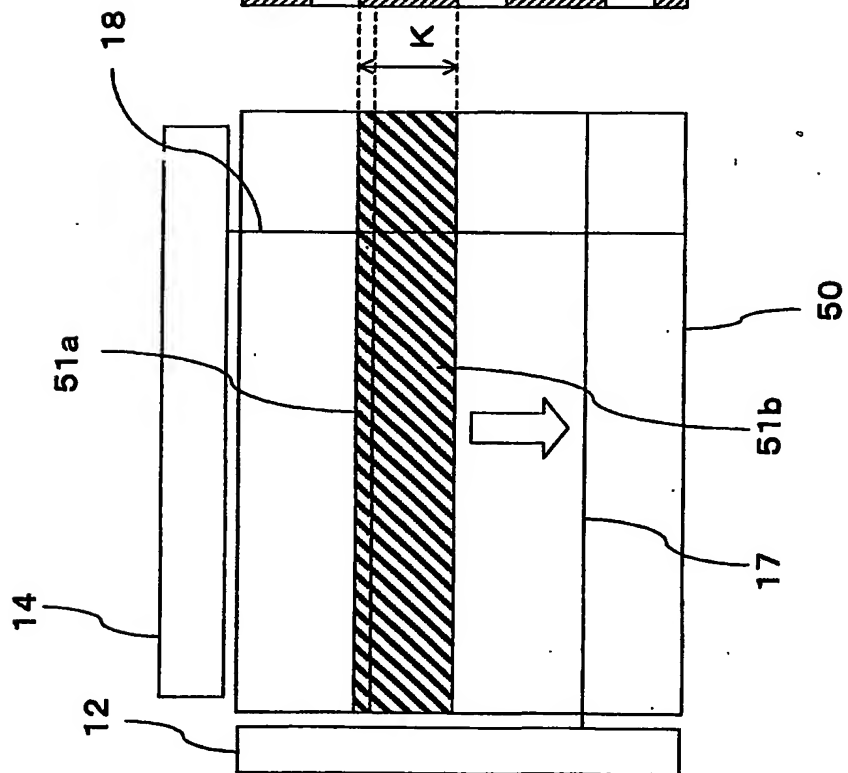


【図 22】

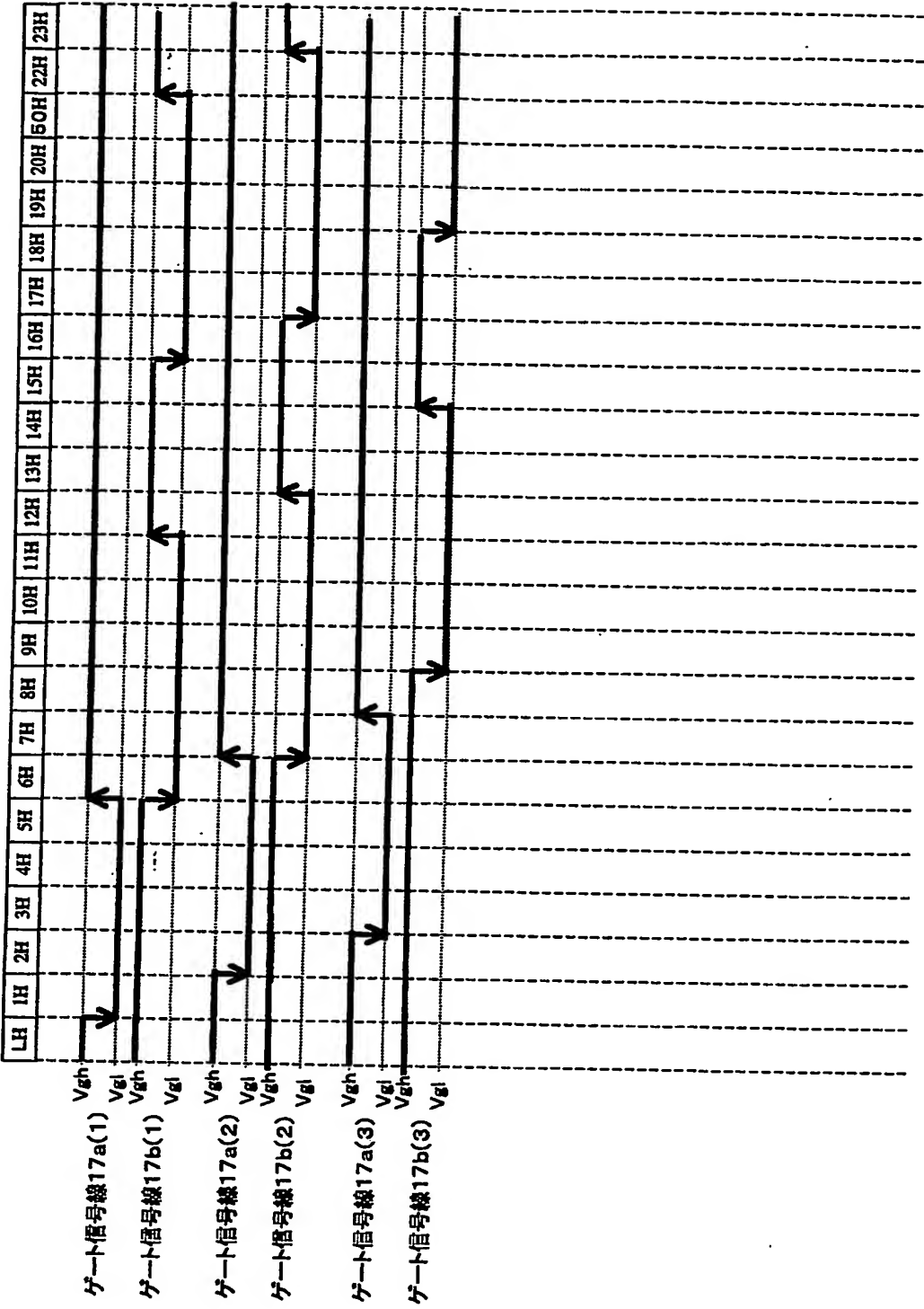
(b)



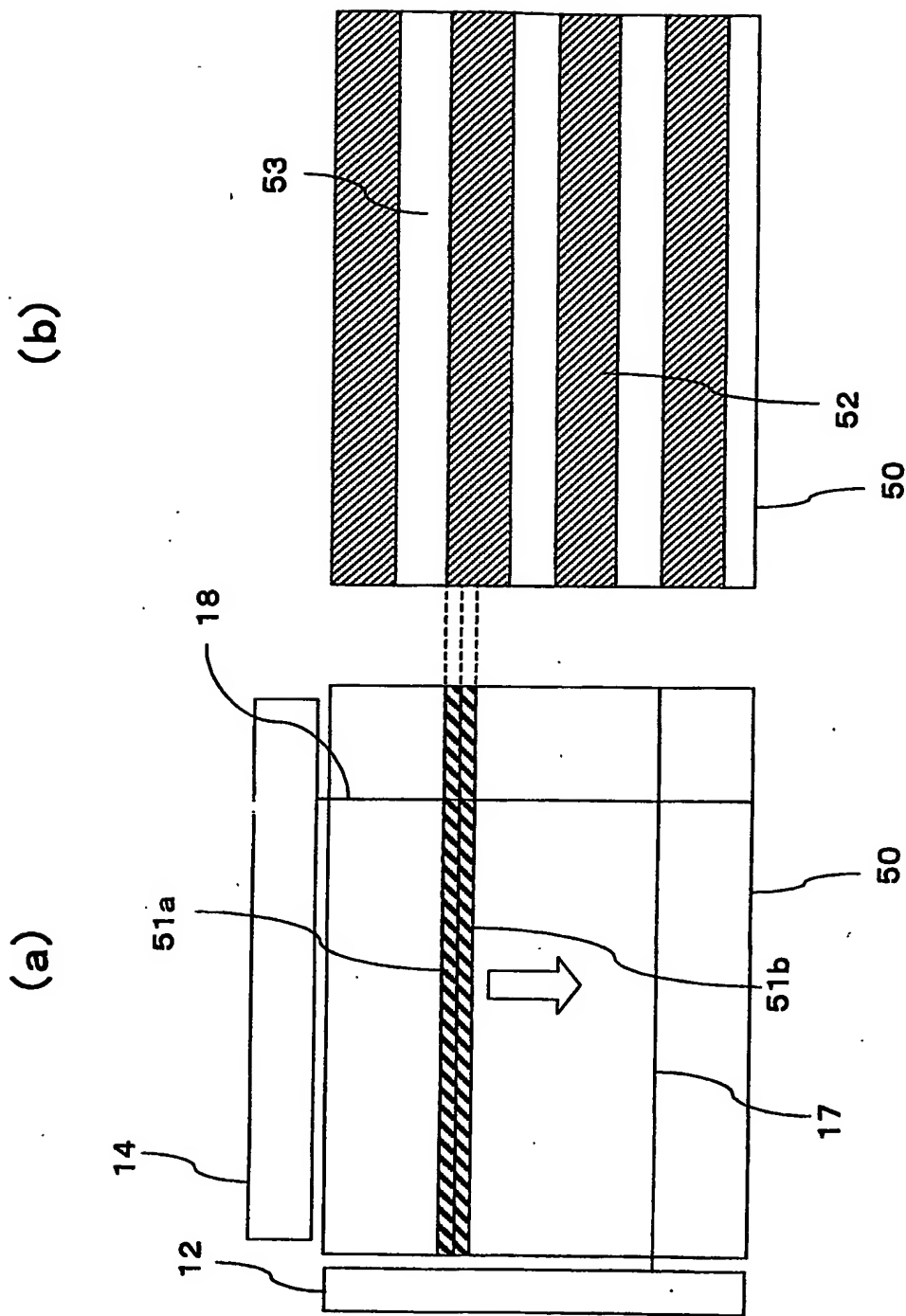
(a)



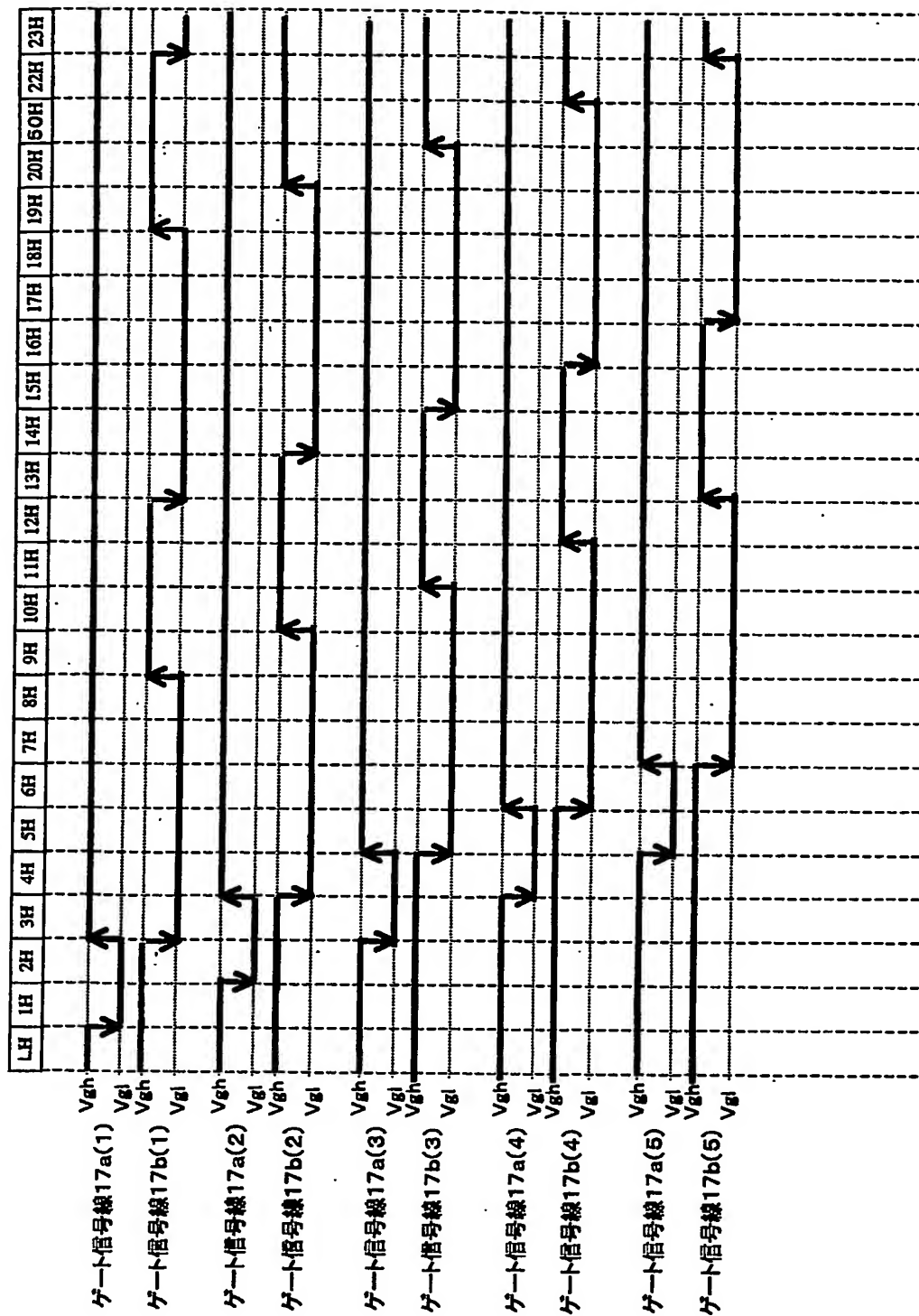
【図 23】



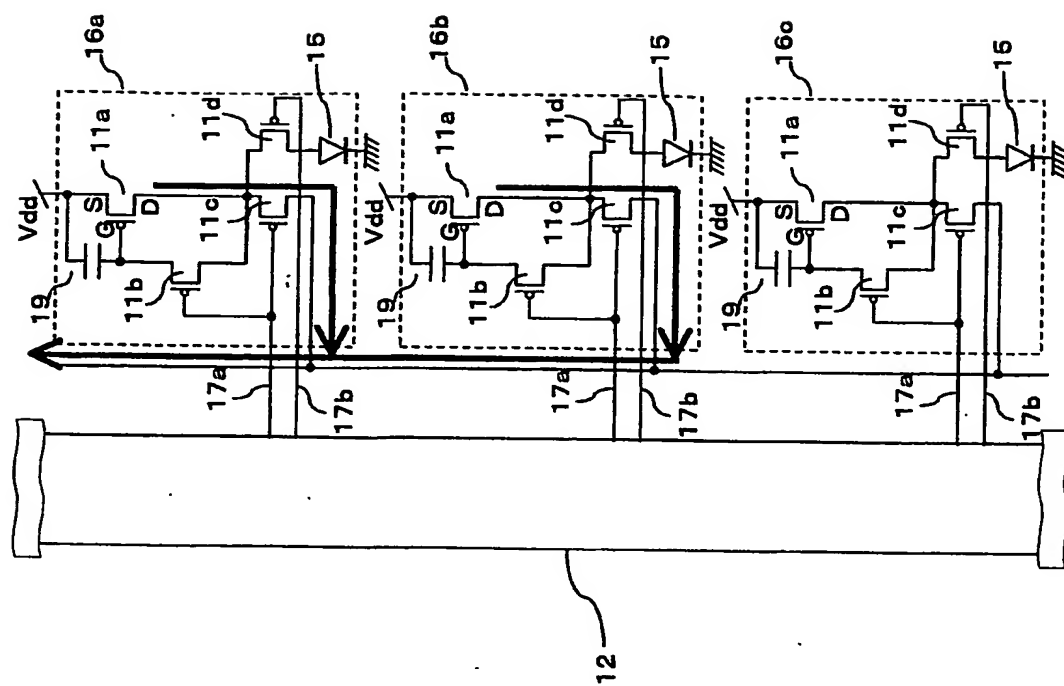
【図 2 4】



【図 25】



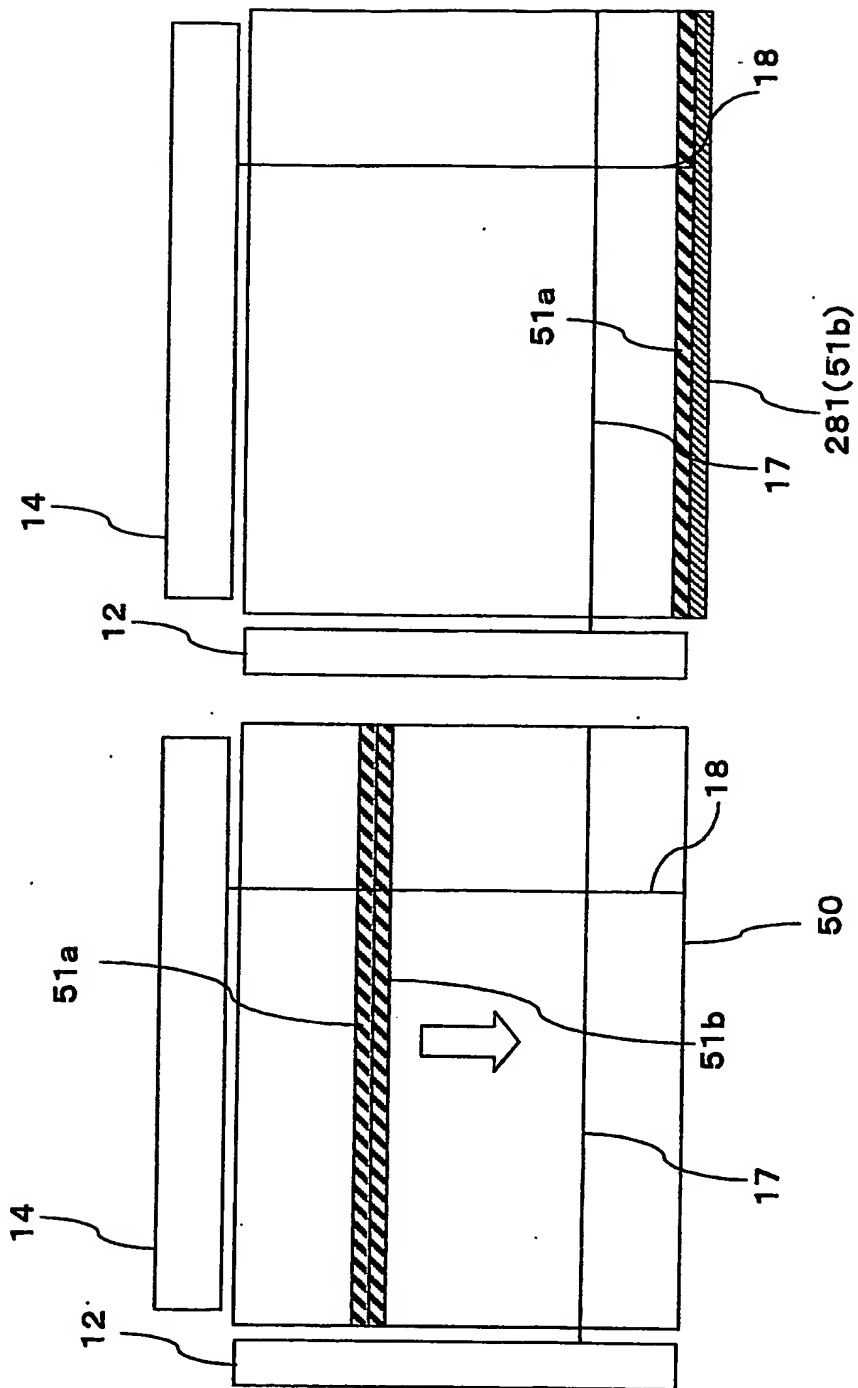
【图 26】



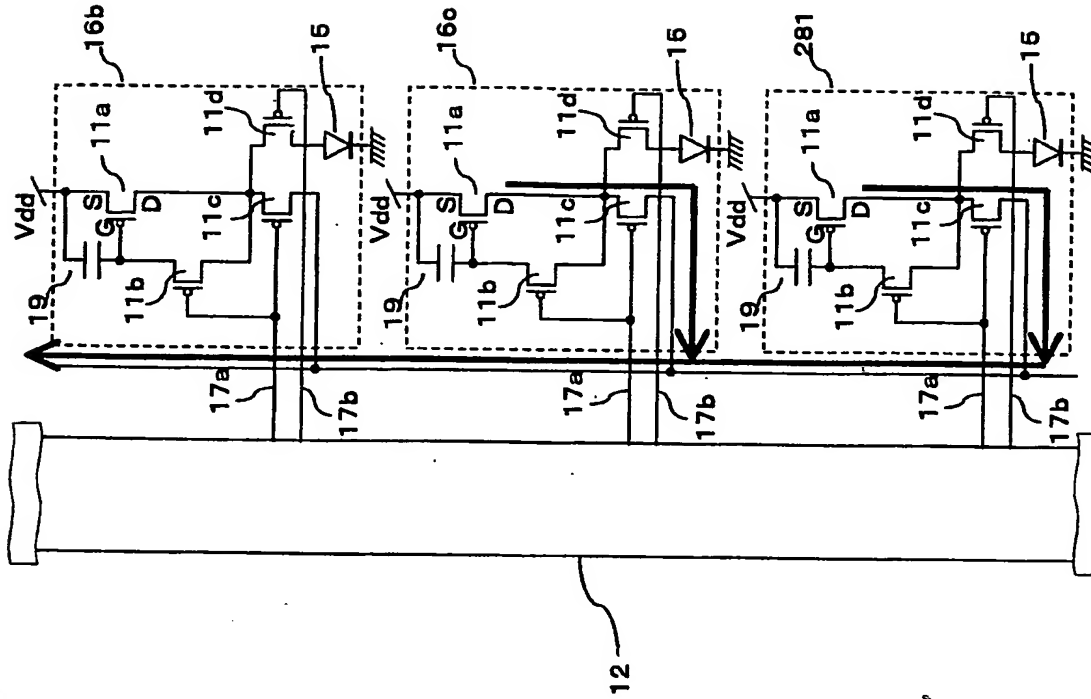
【図 2 7】

281 ダミー画素(行)

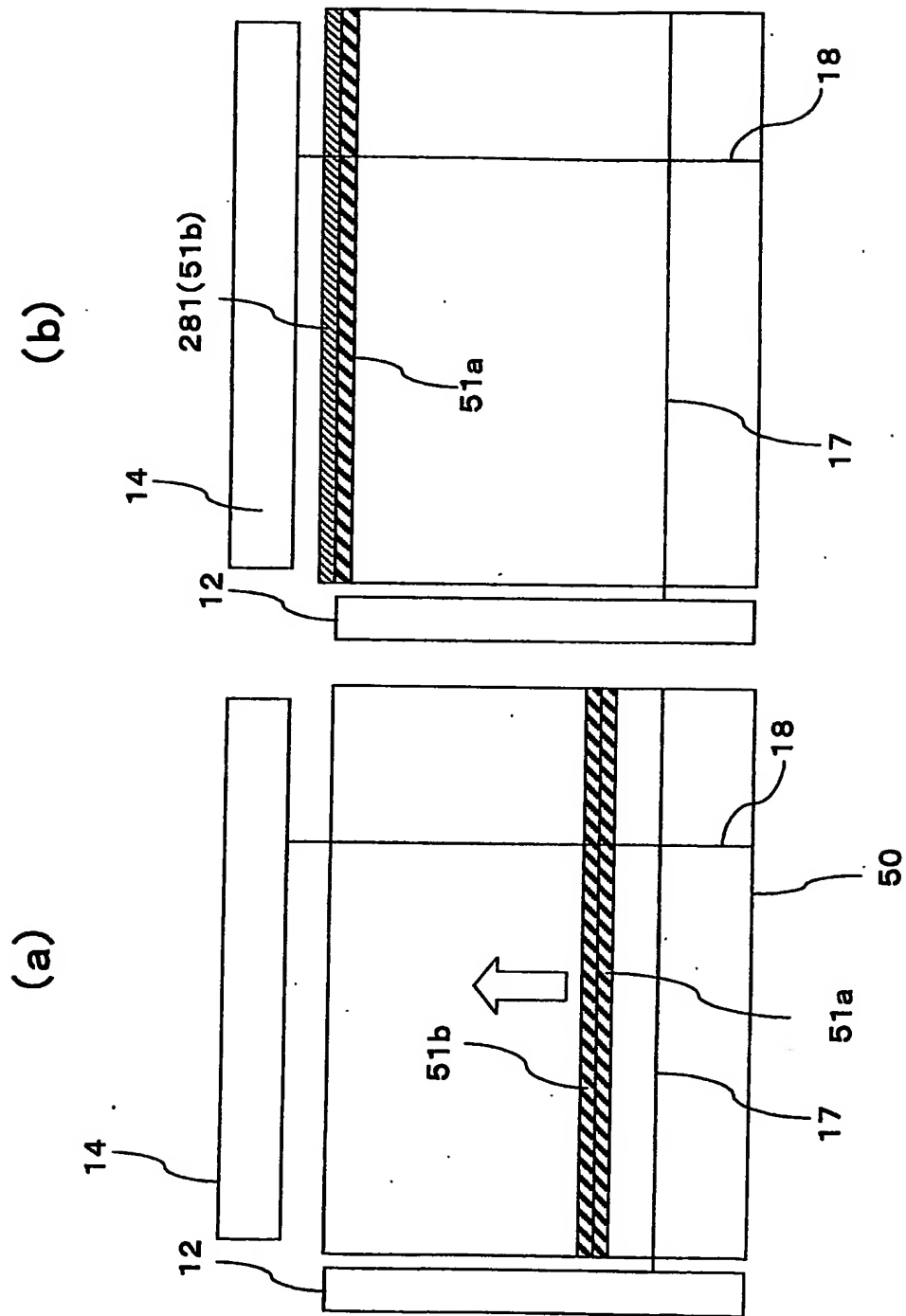
(a) (b)



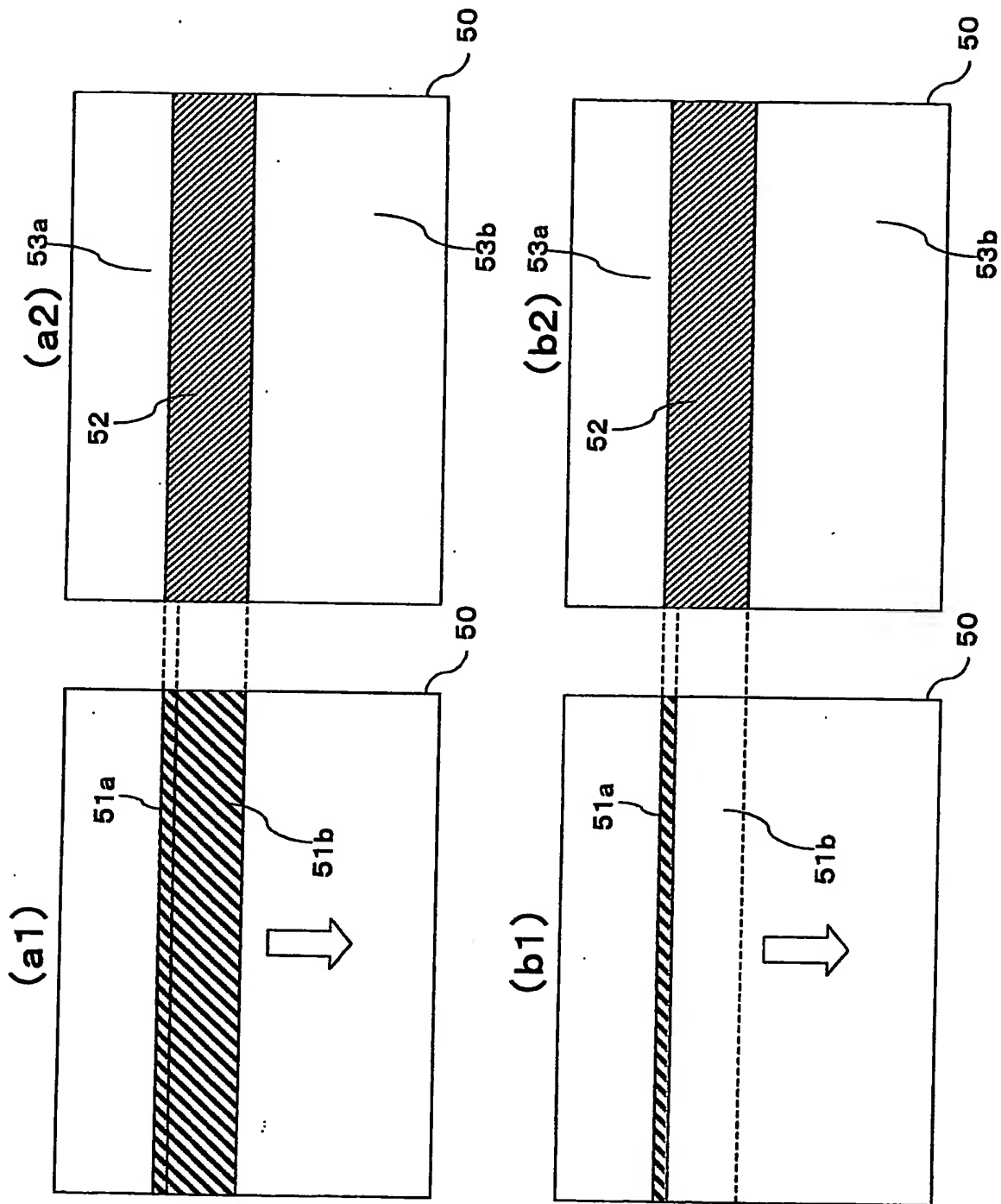
【図 28】



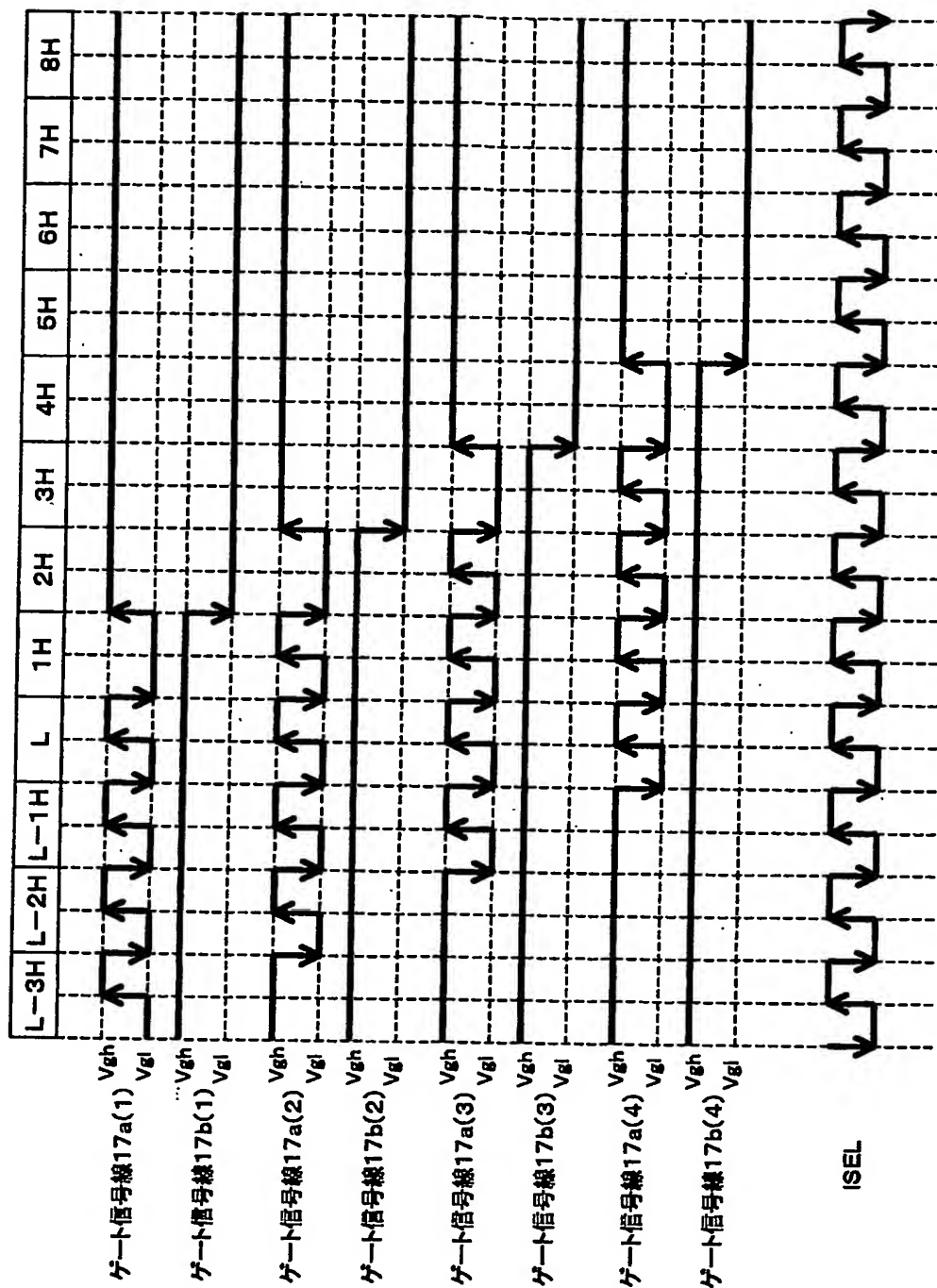
【圖 29】



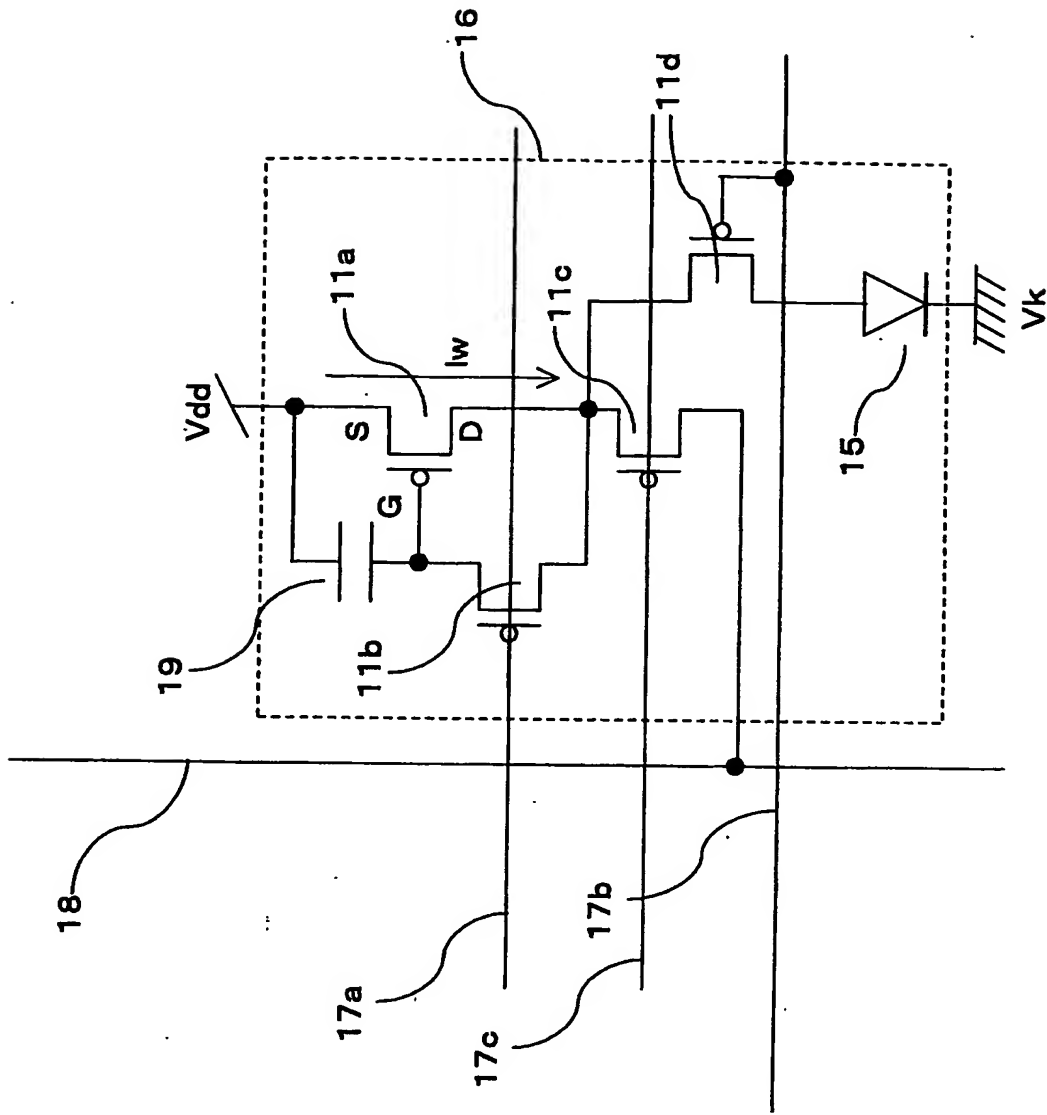
【図 30】



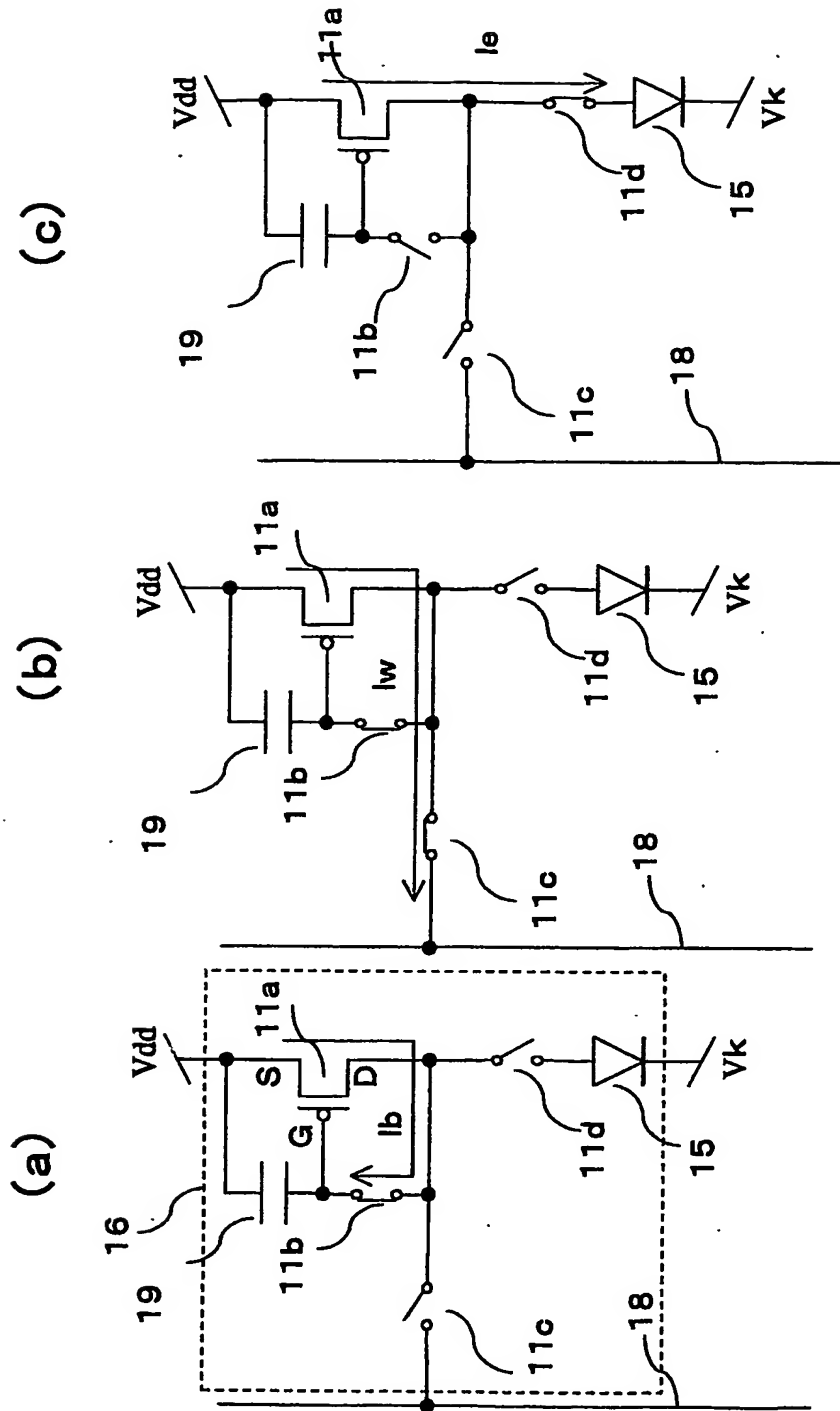
【図 31】



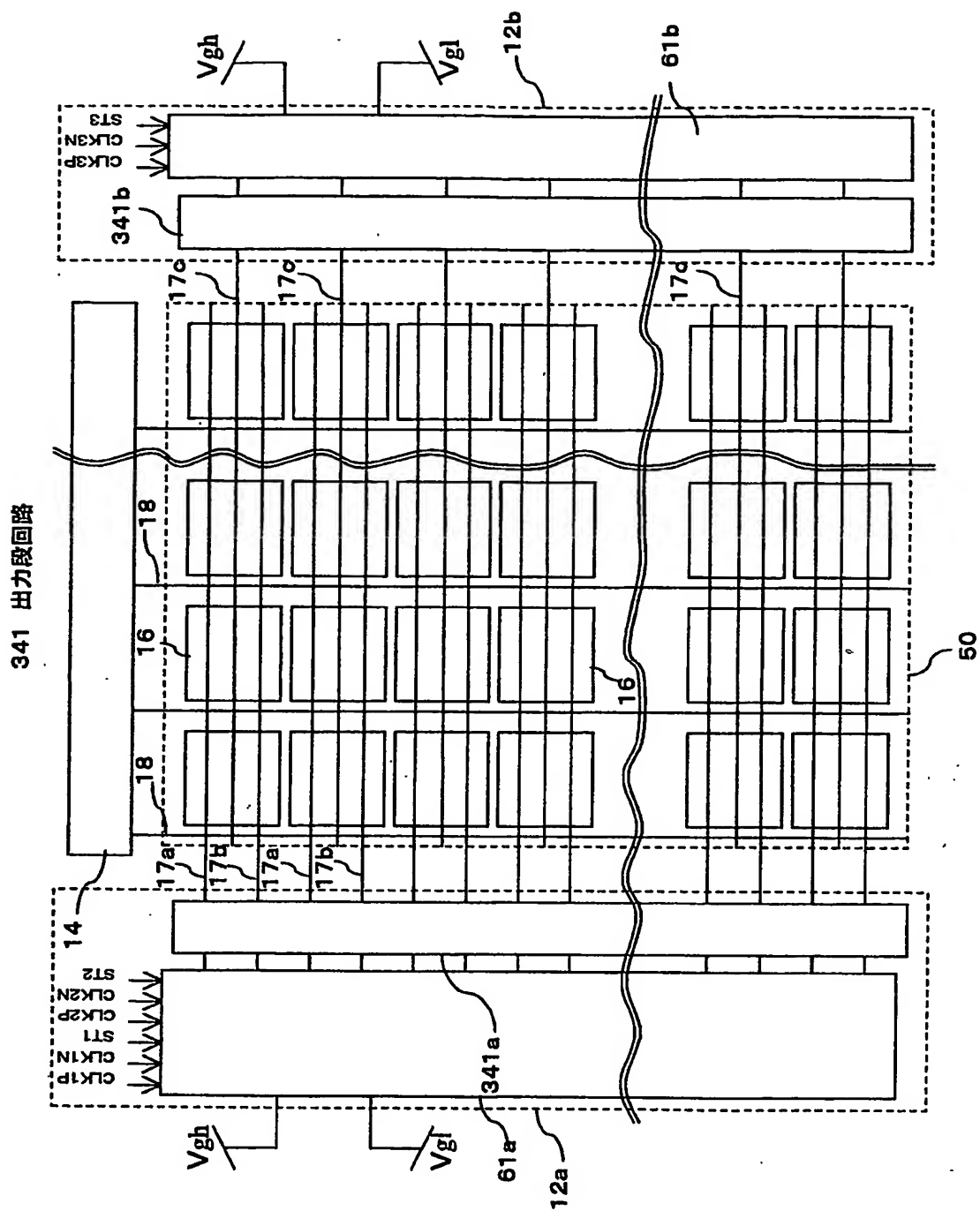
【図 32】



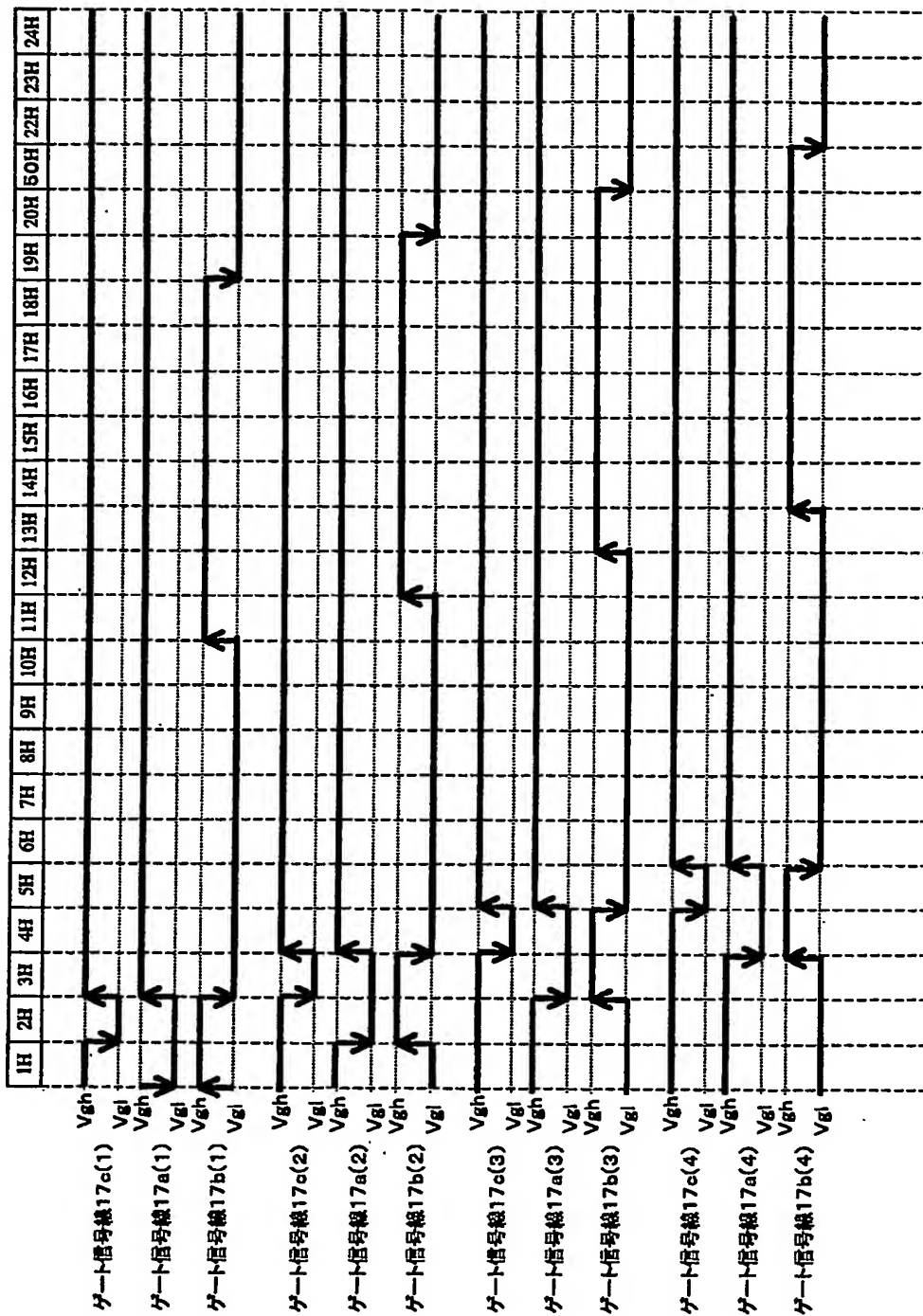
【図 33】



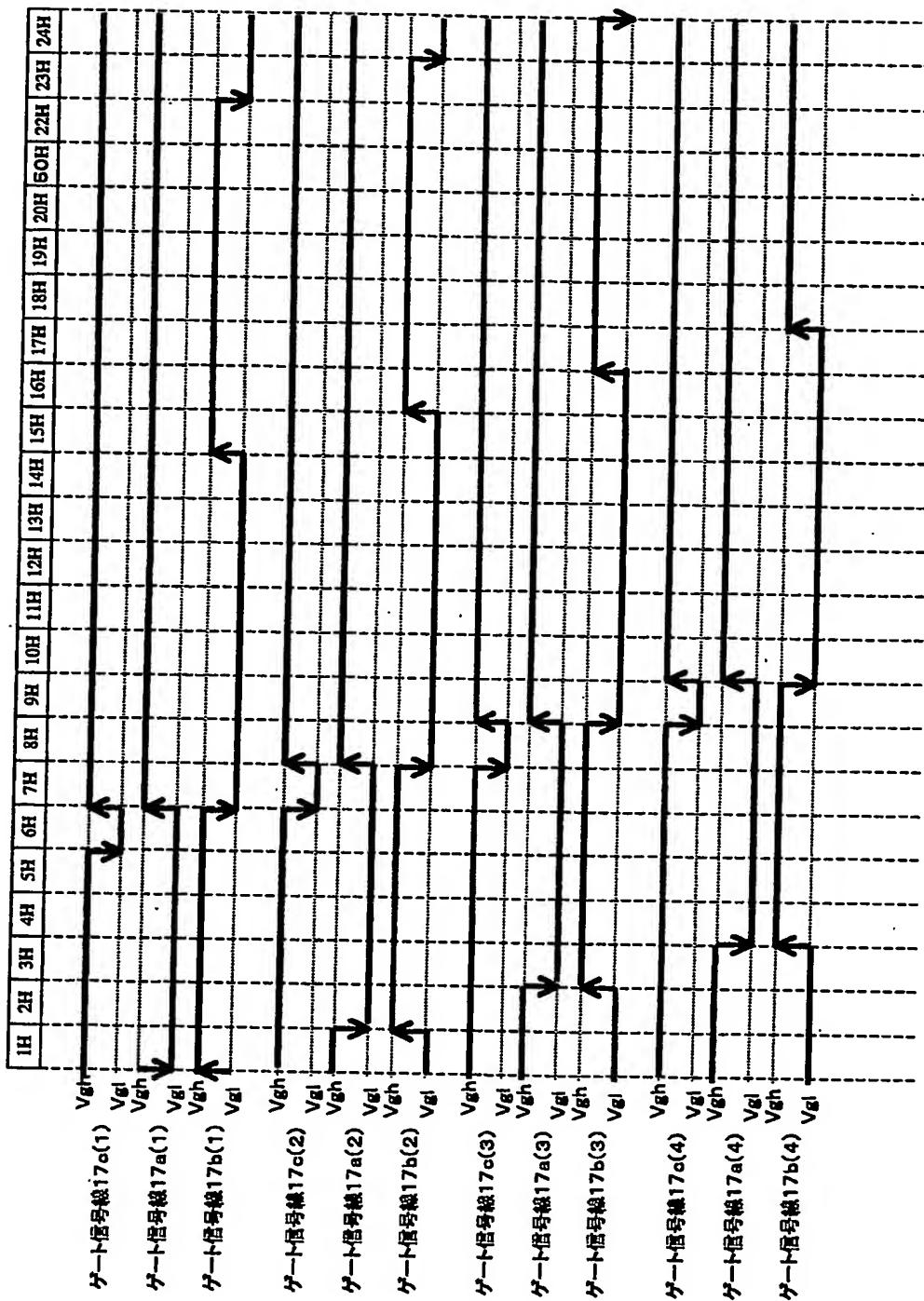
【図 3 4】



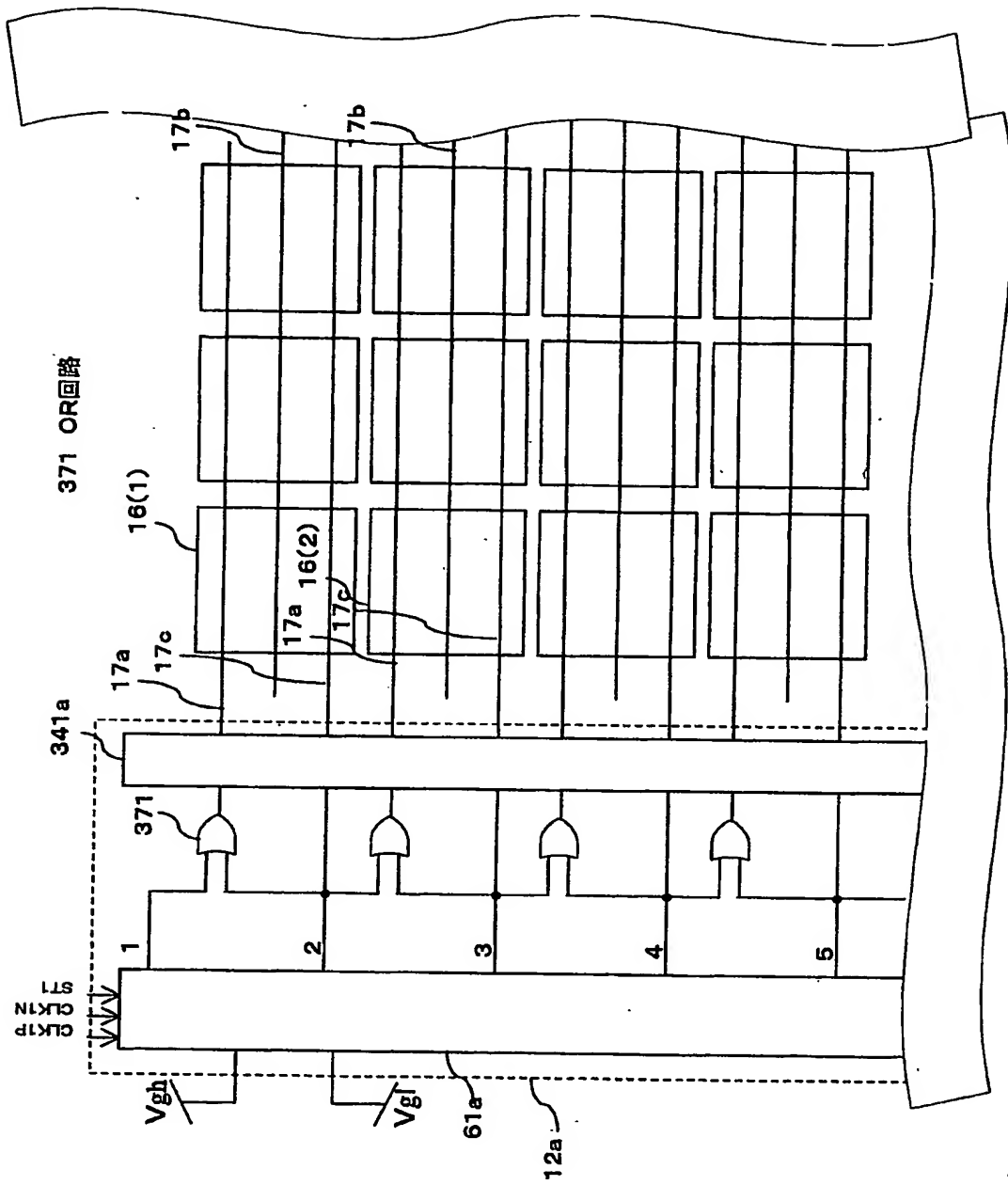
【図 35】



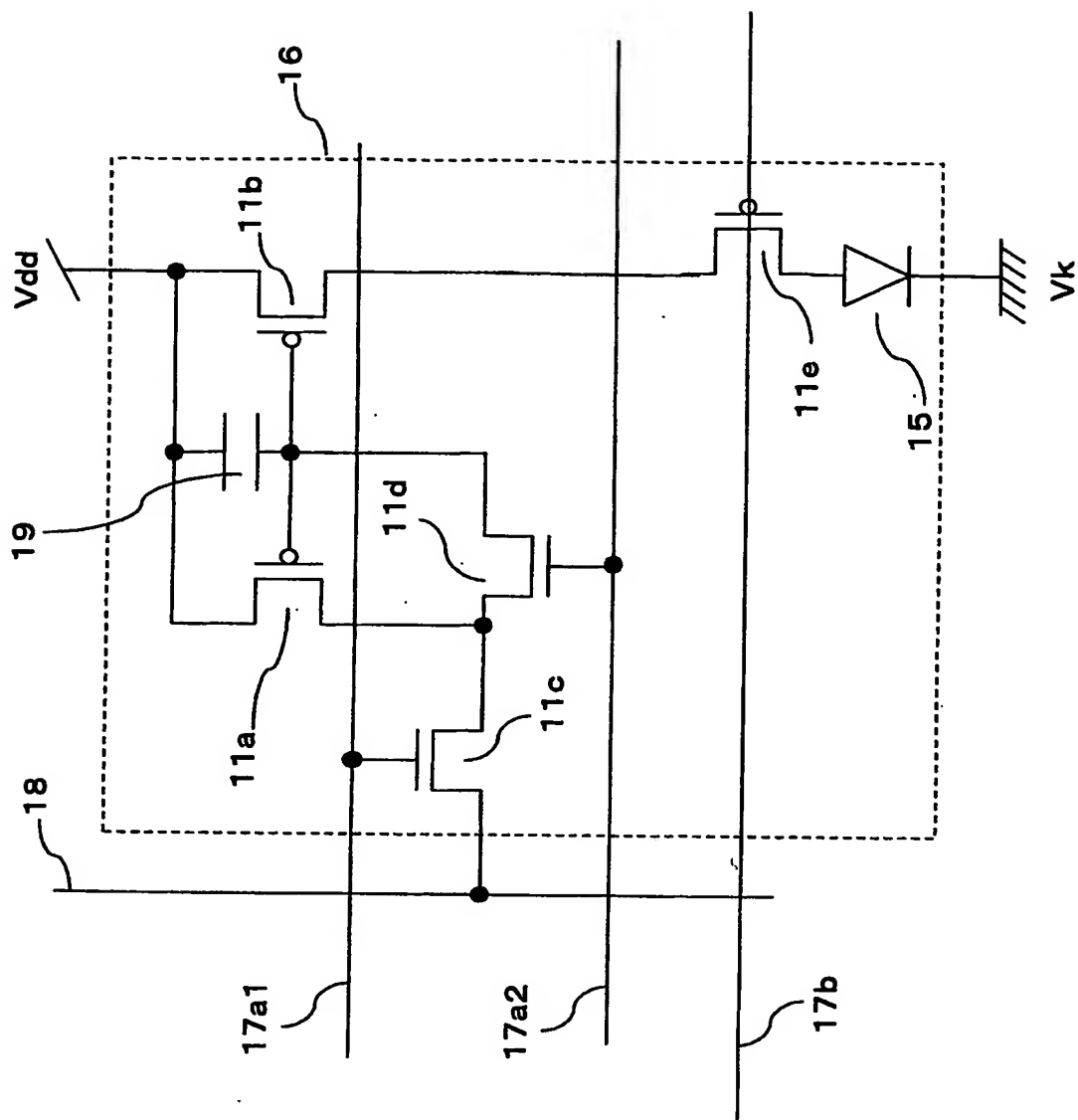
【図 36】



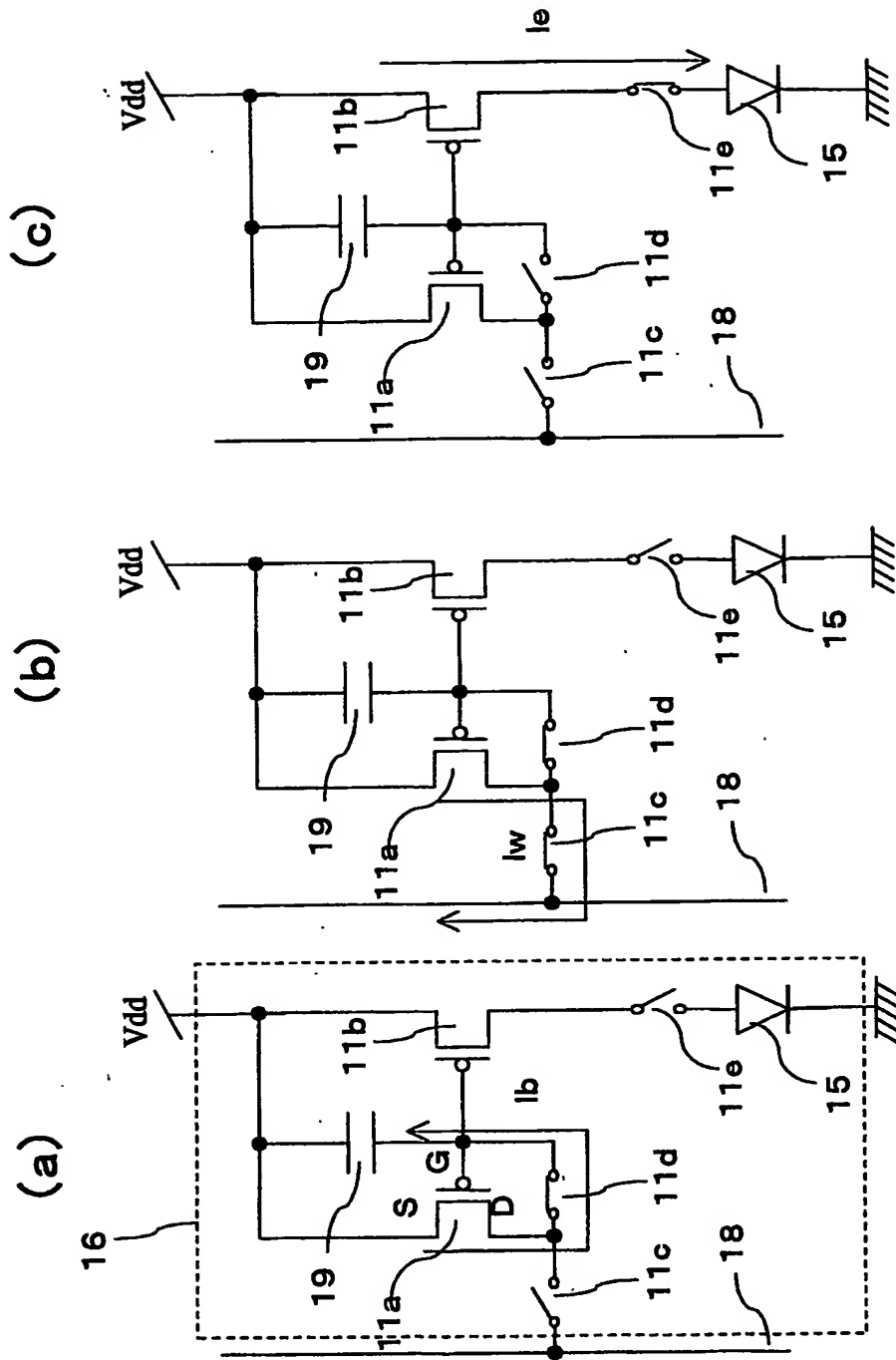
【図 37】



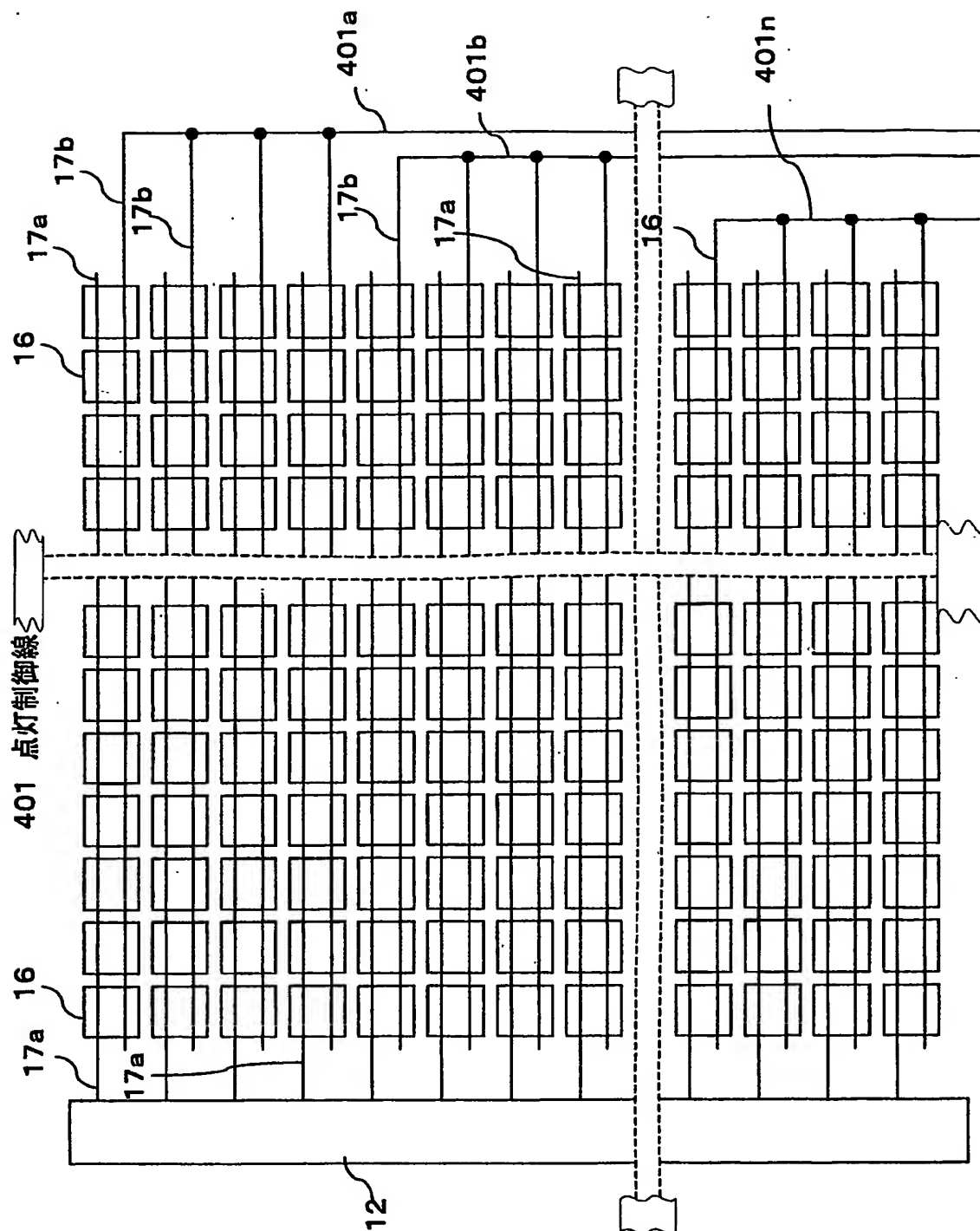
【図 38】



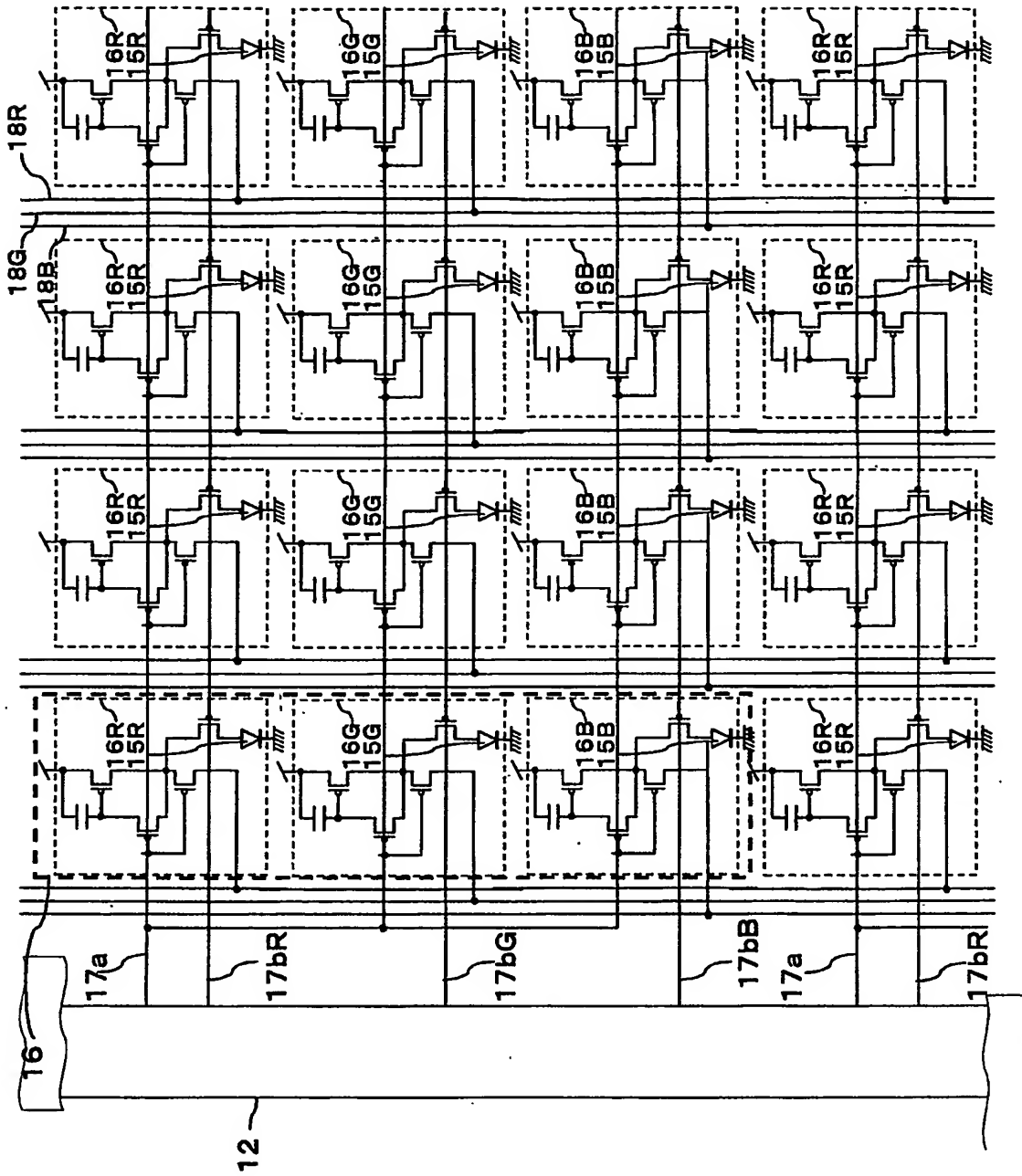
【図 39】



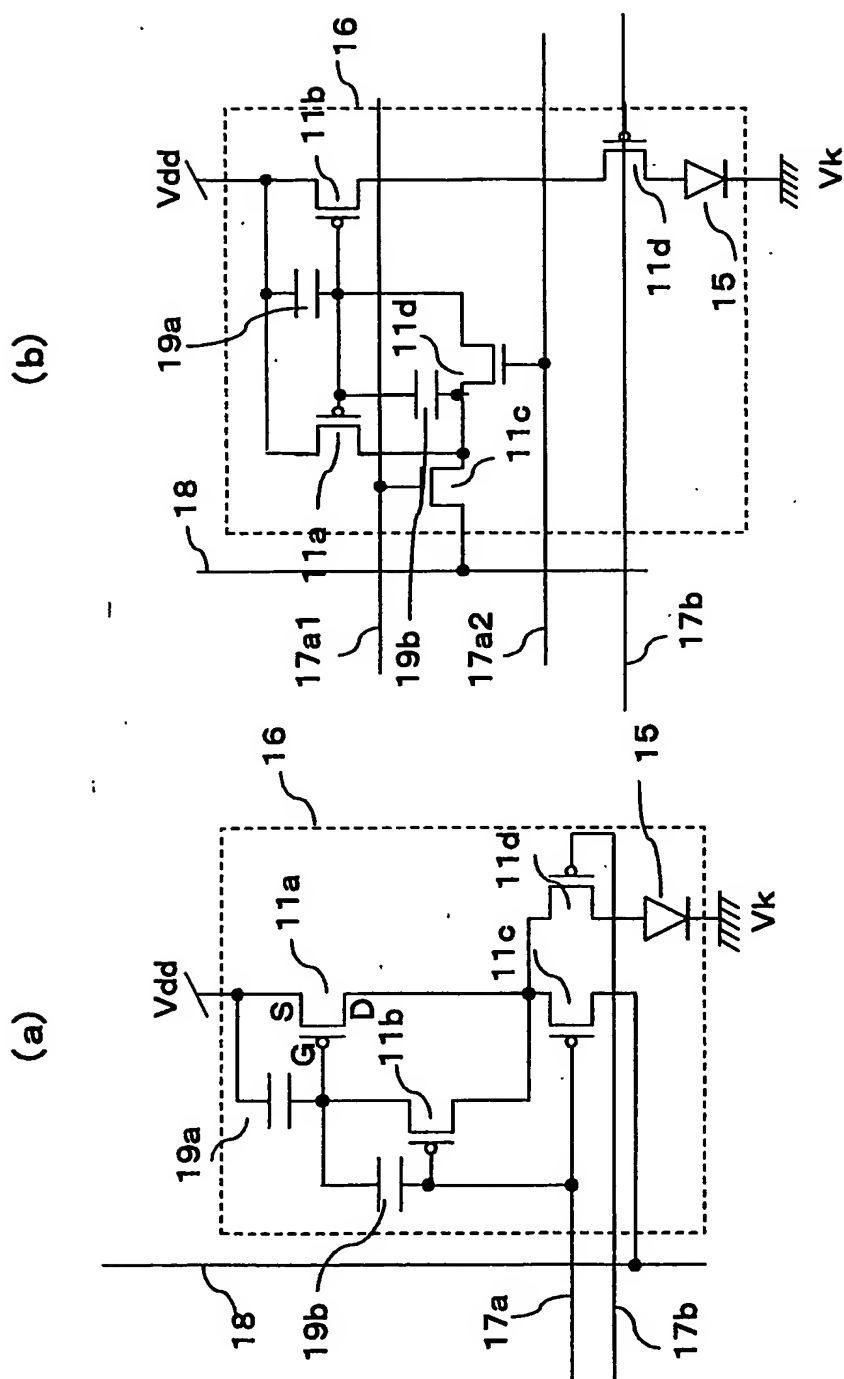
【図 4 0】



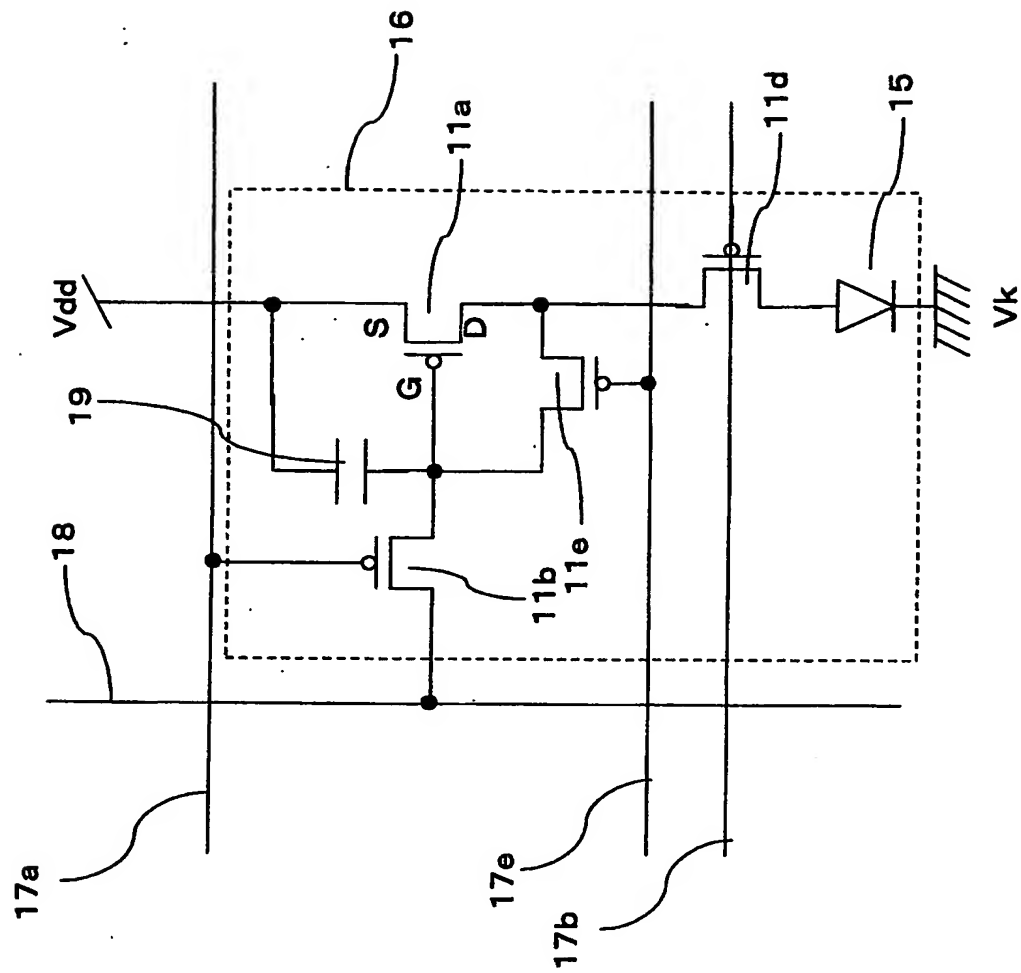
【図 4 1】



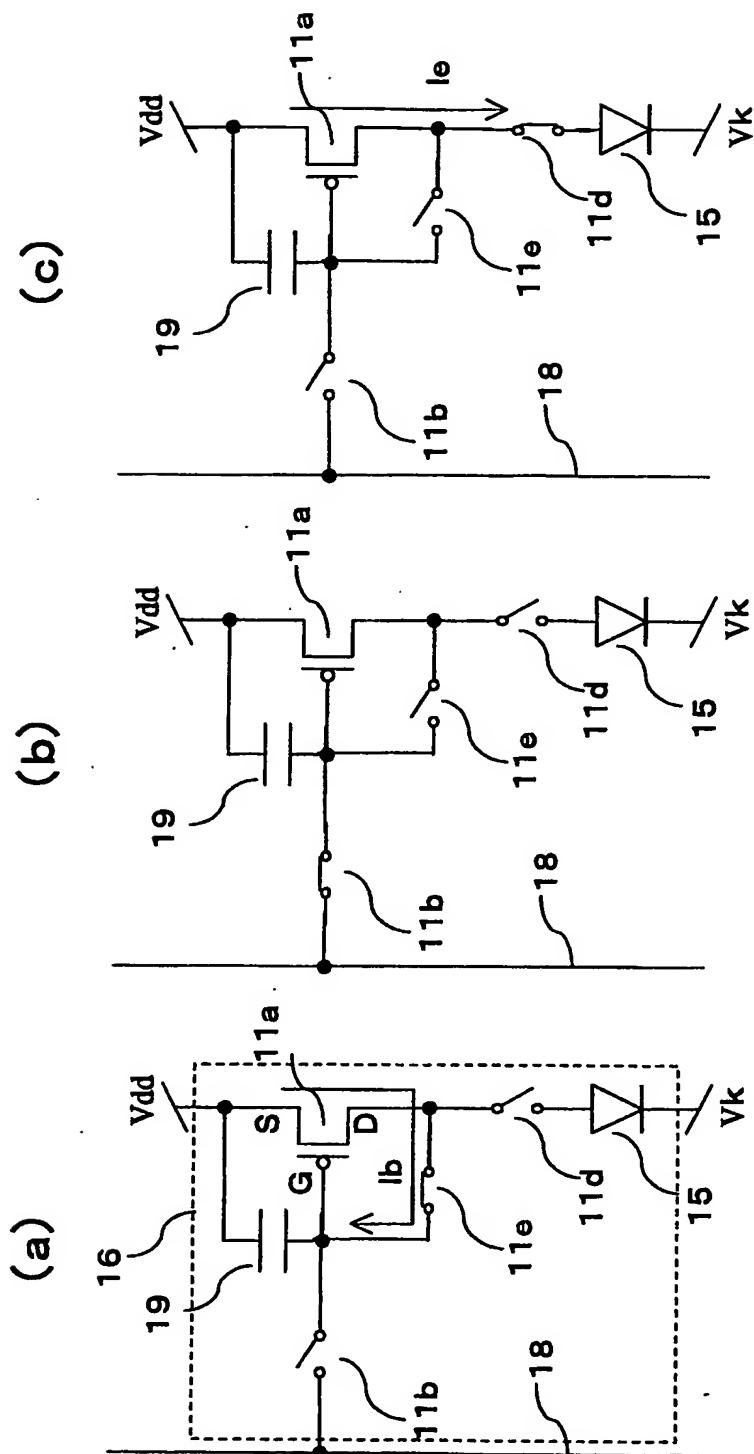
【図 4 2】



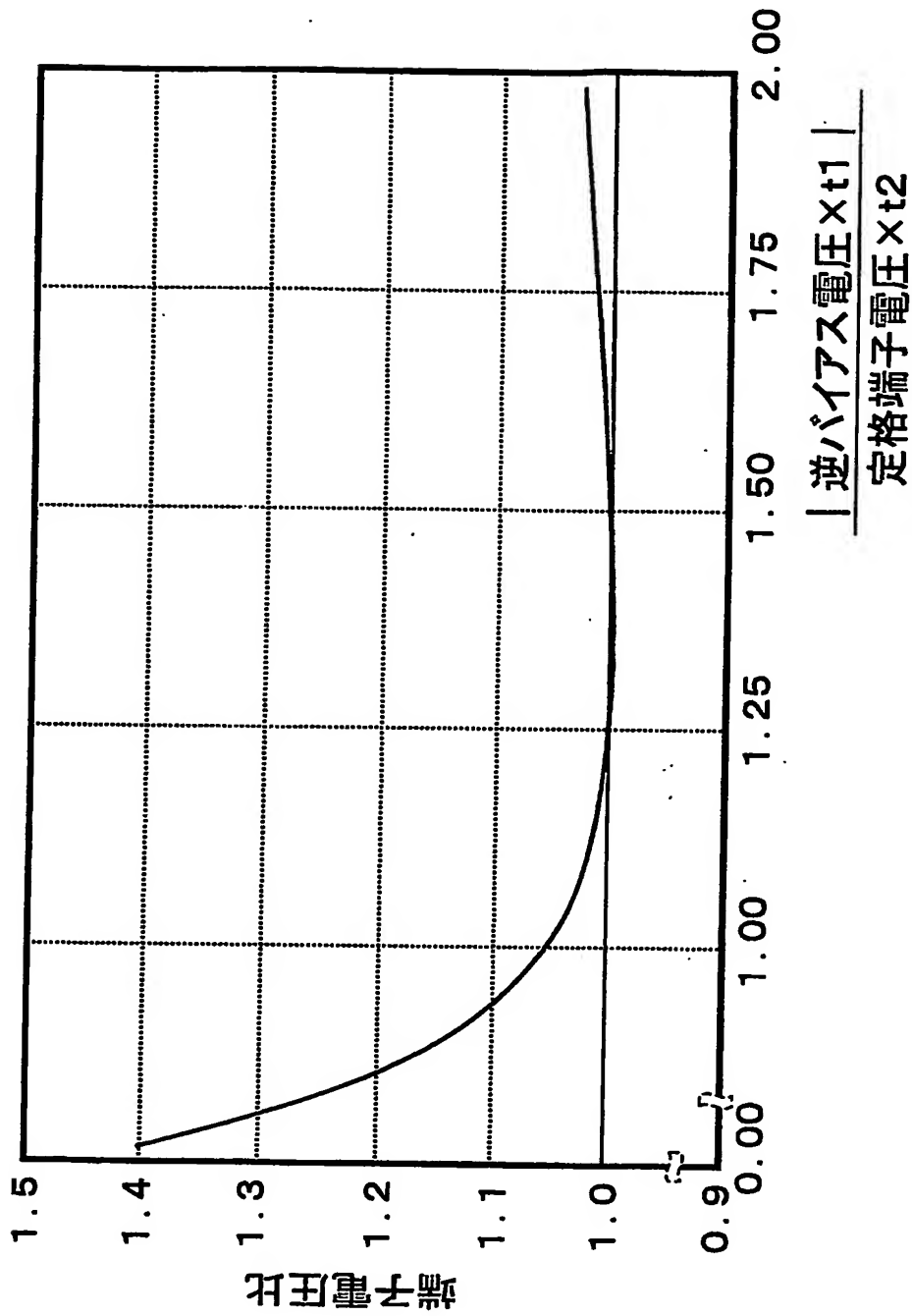
【図43】



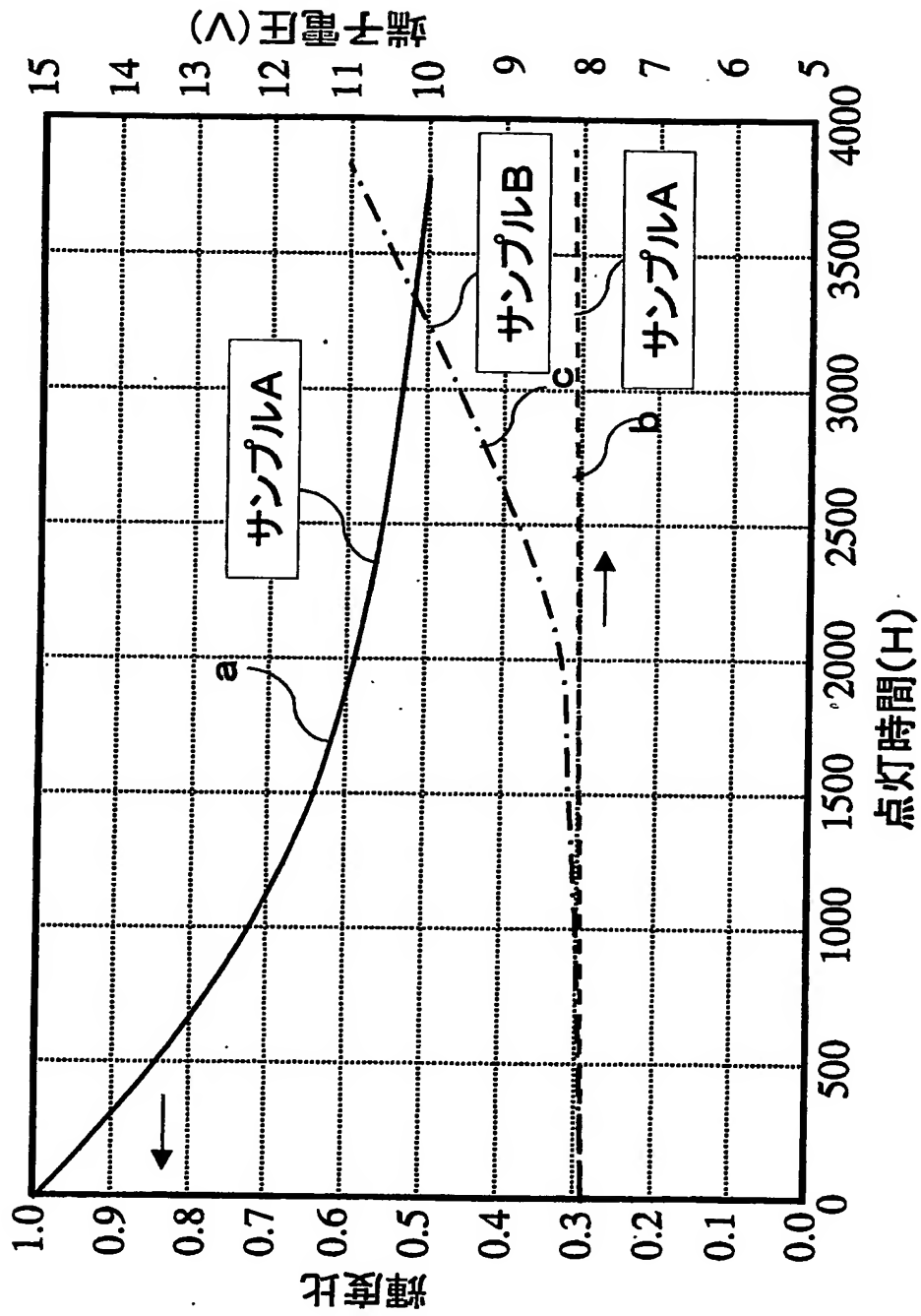
【図 4 4】



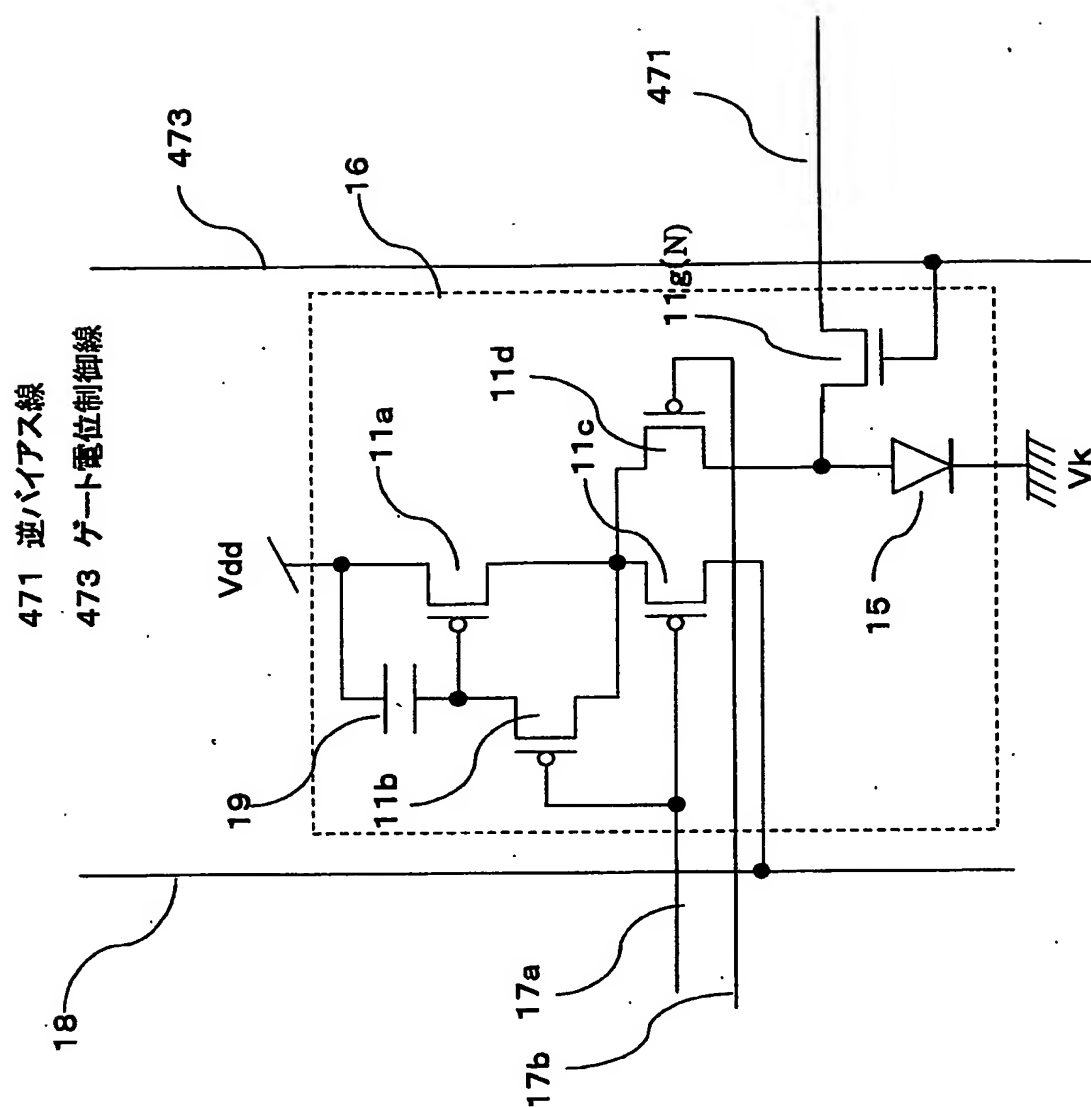
【図 45】



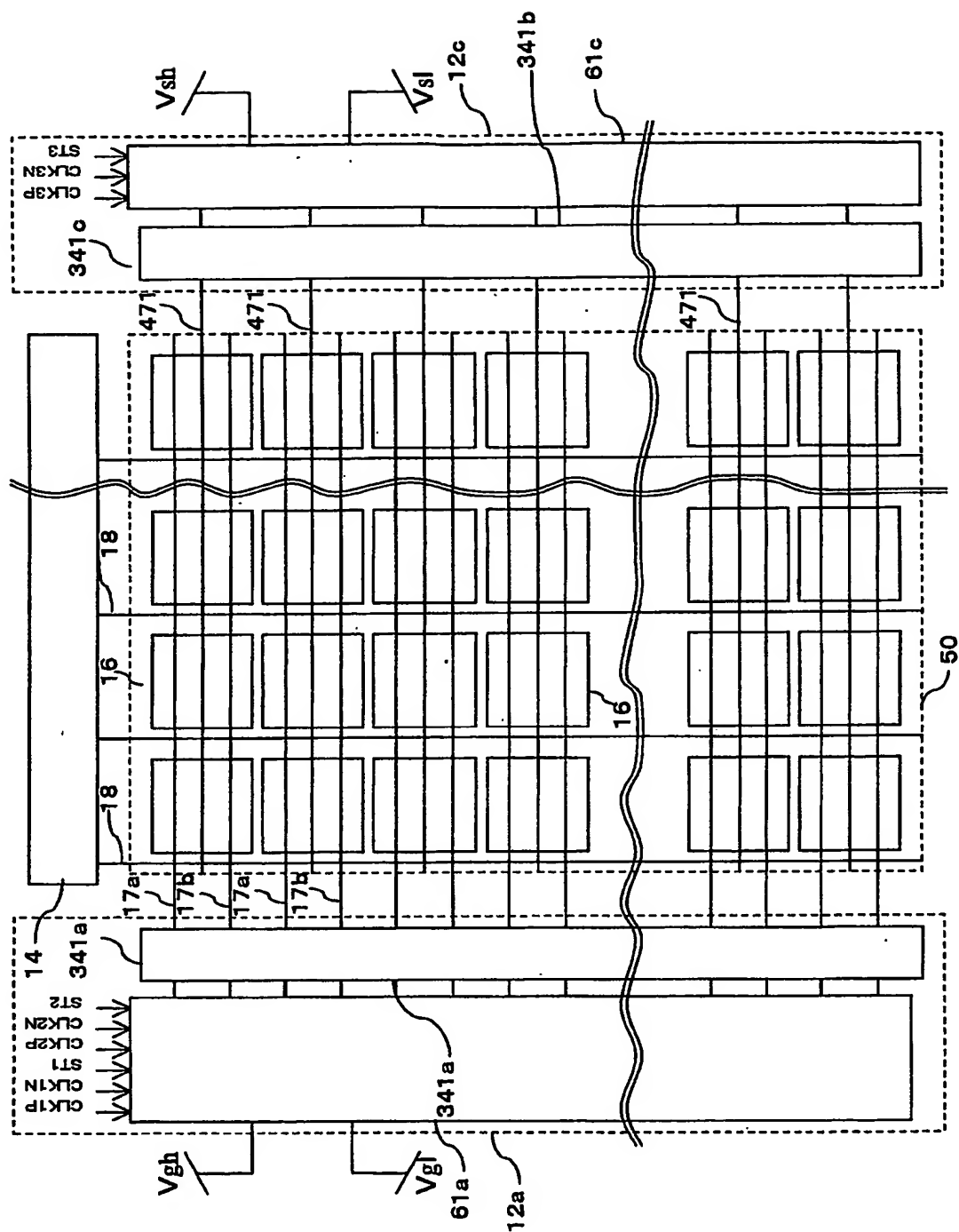
【図46】



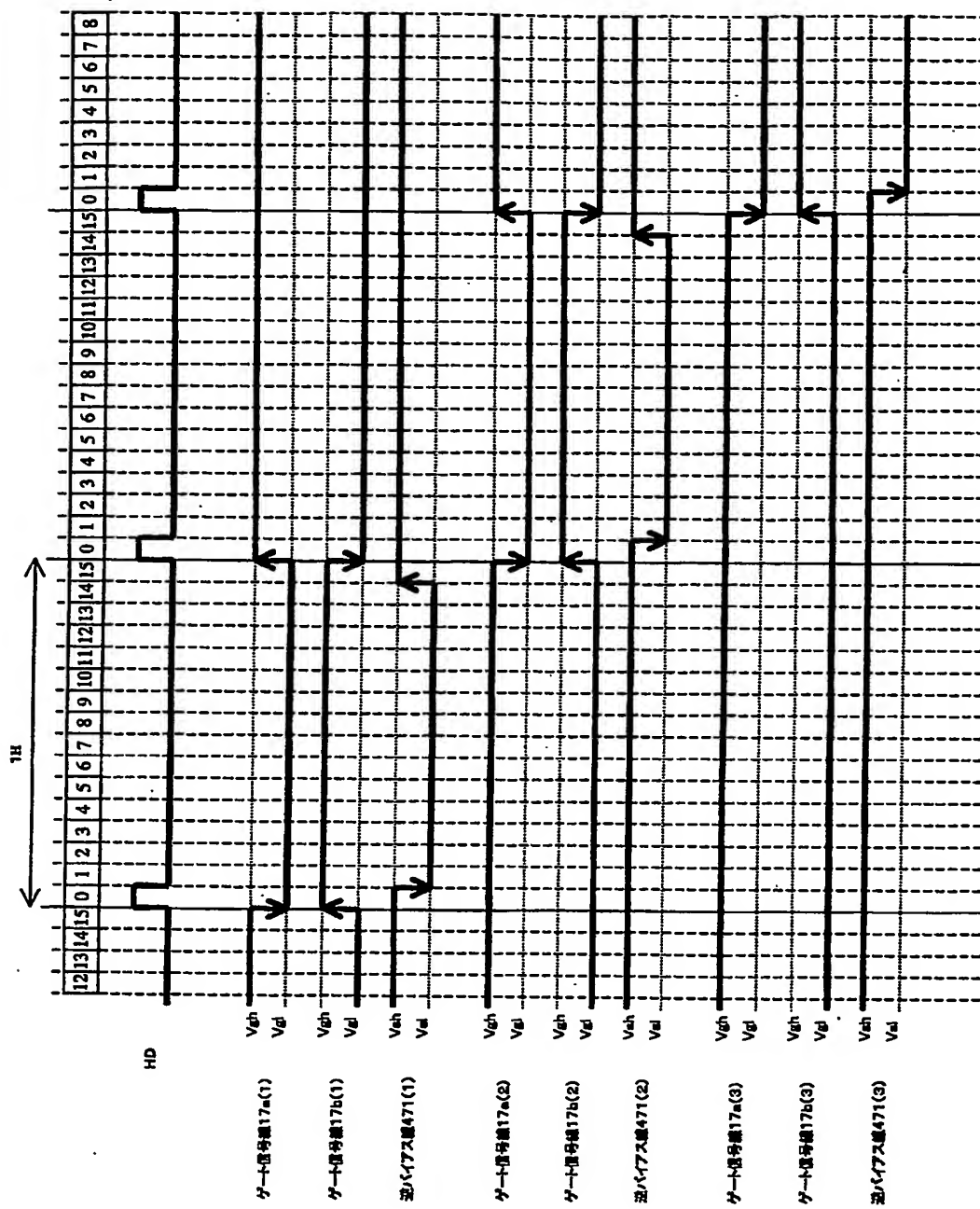
【图 4-7】



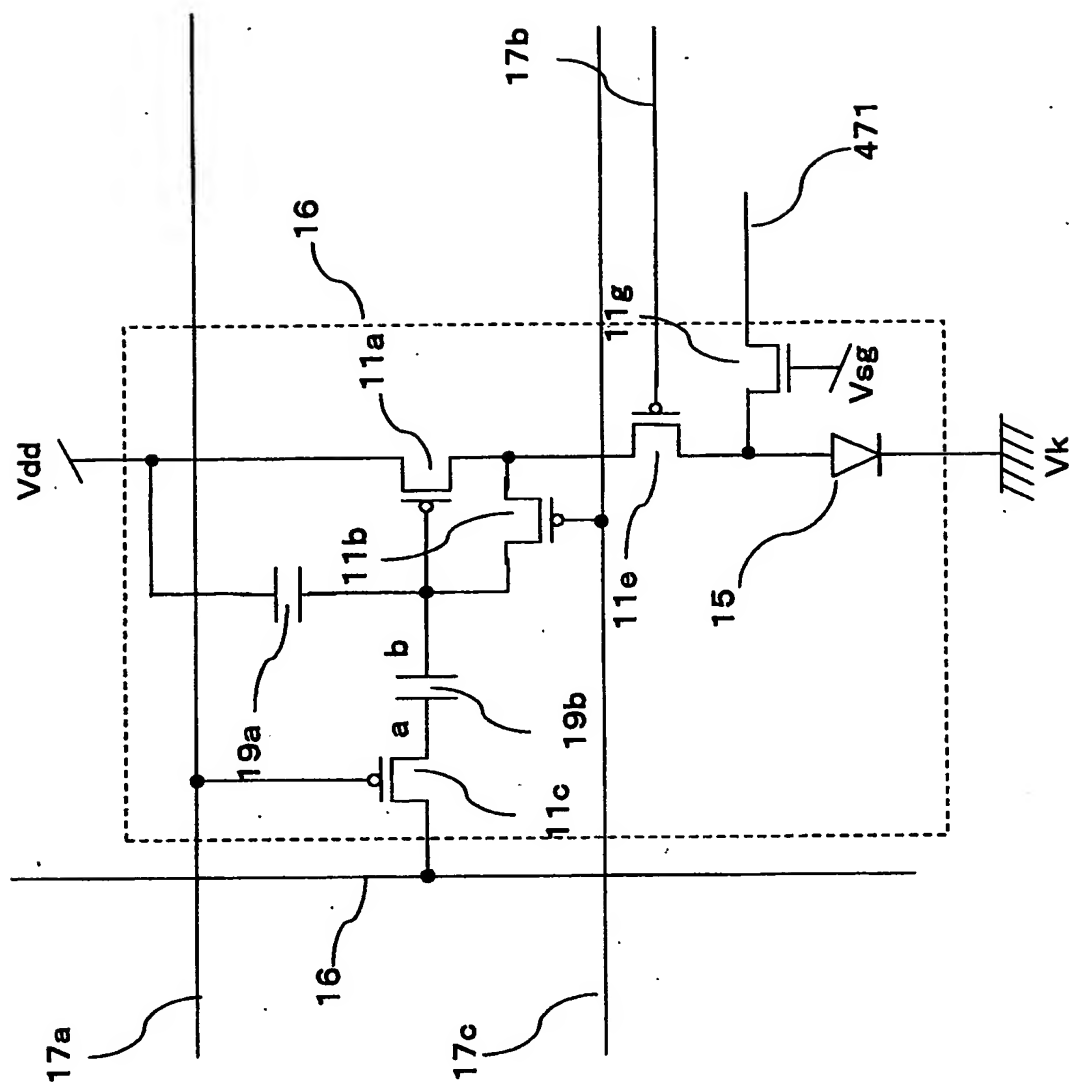
【図 4 8】



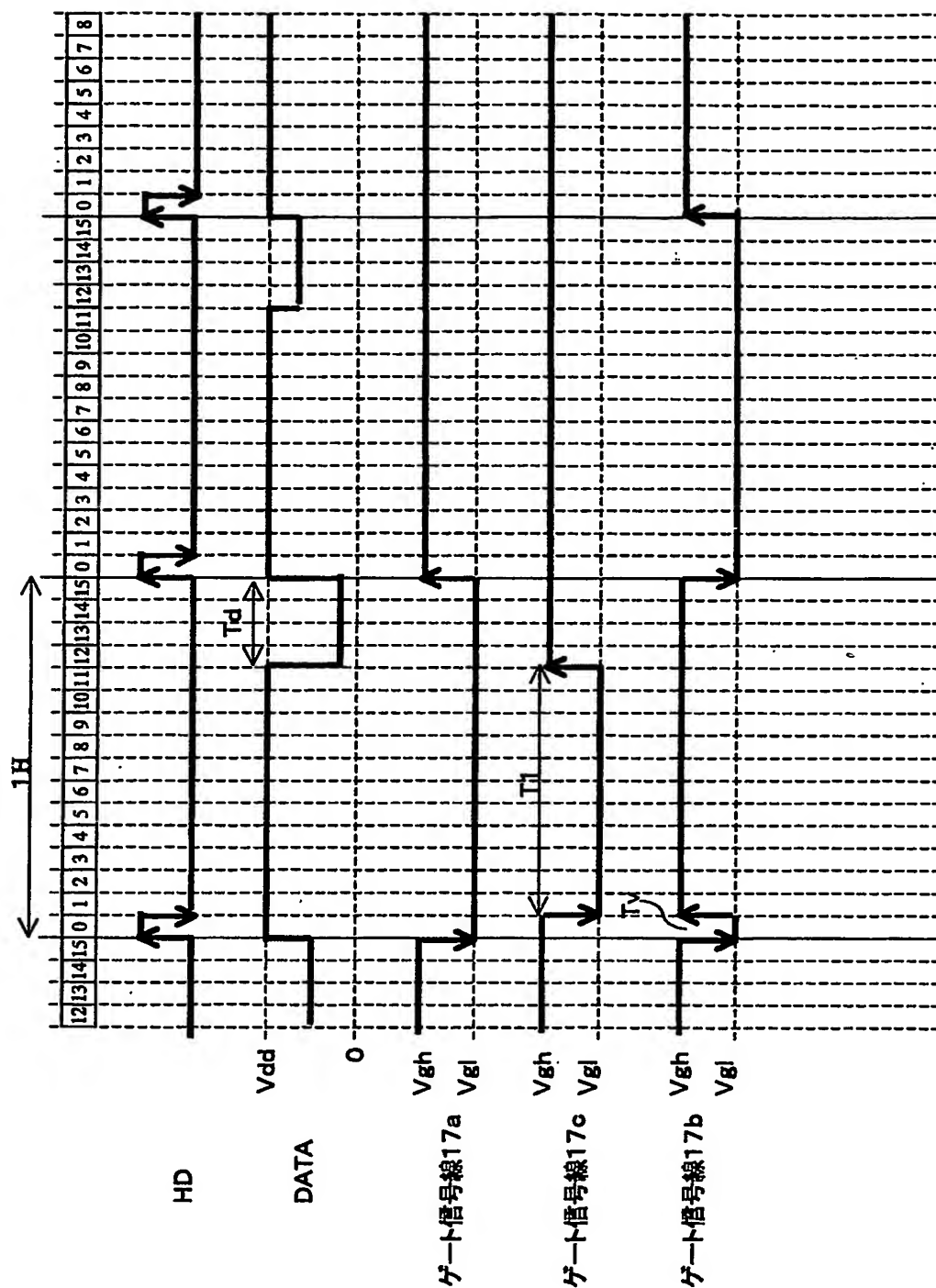
【図 49】



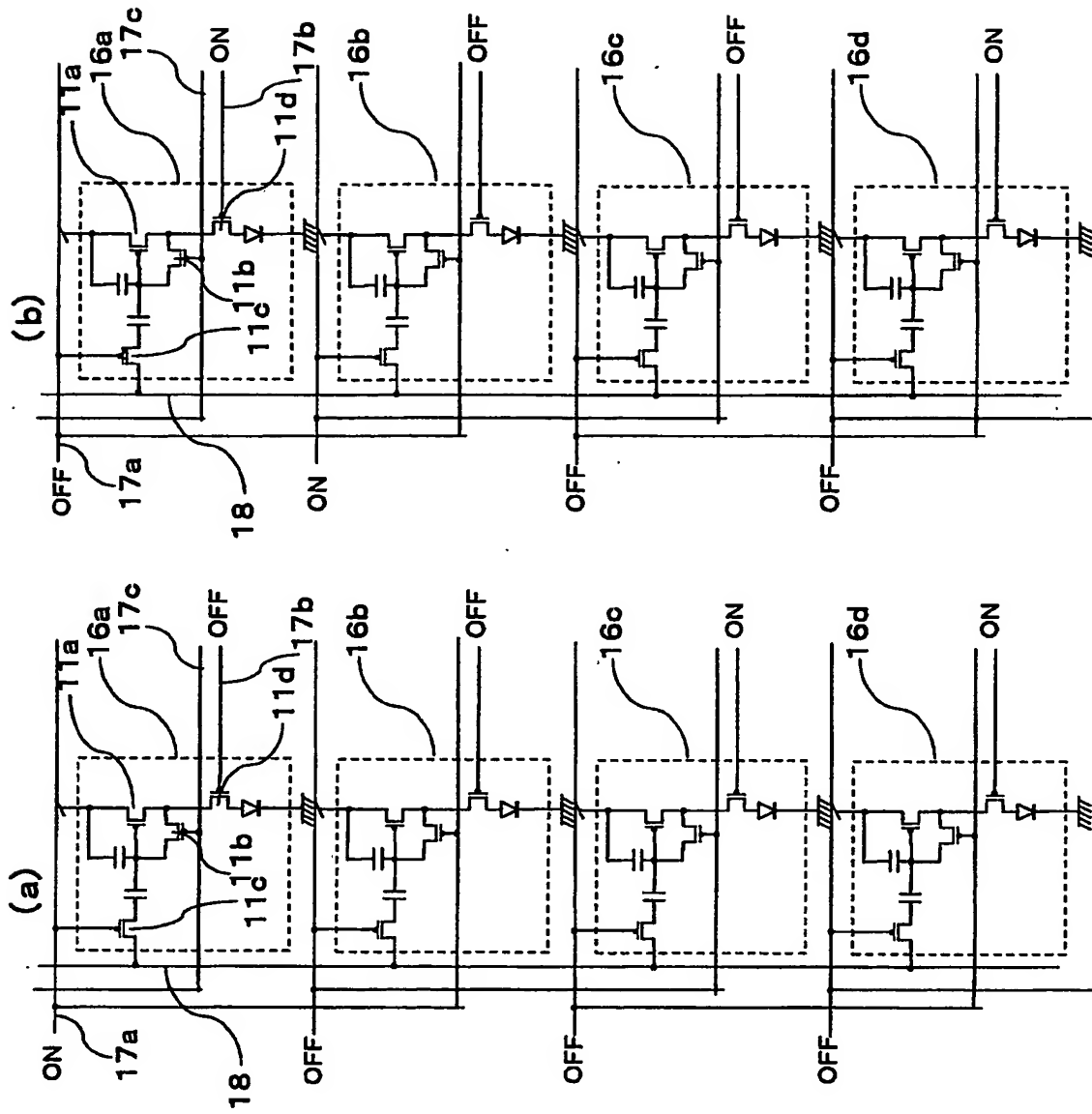
【圖 5 1】



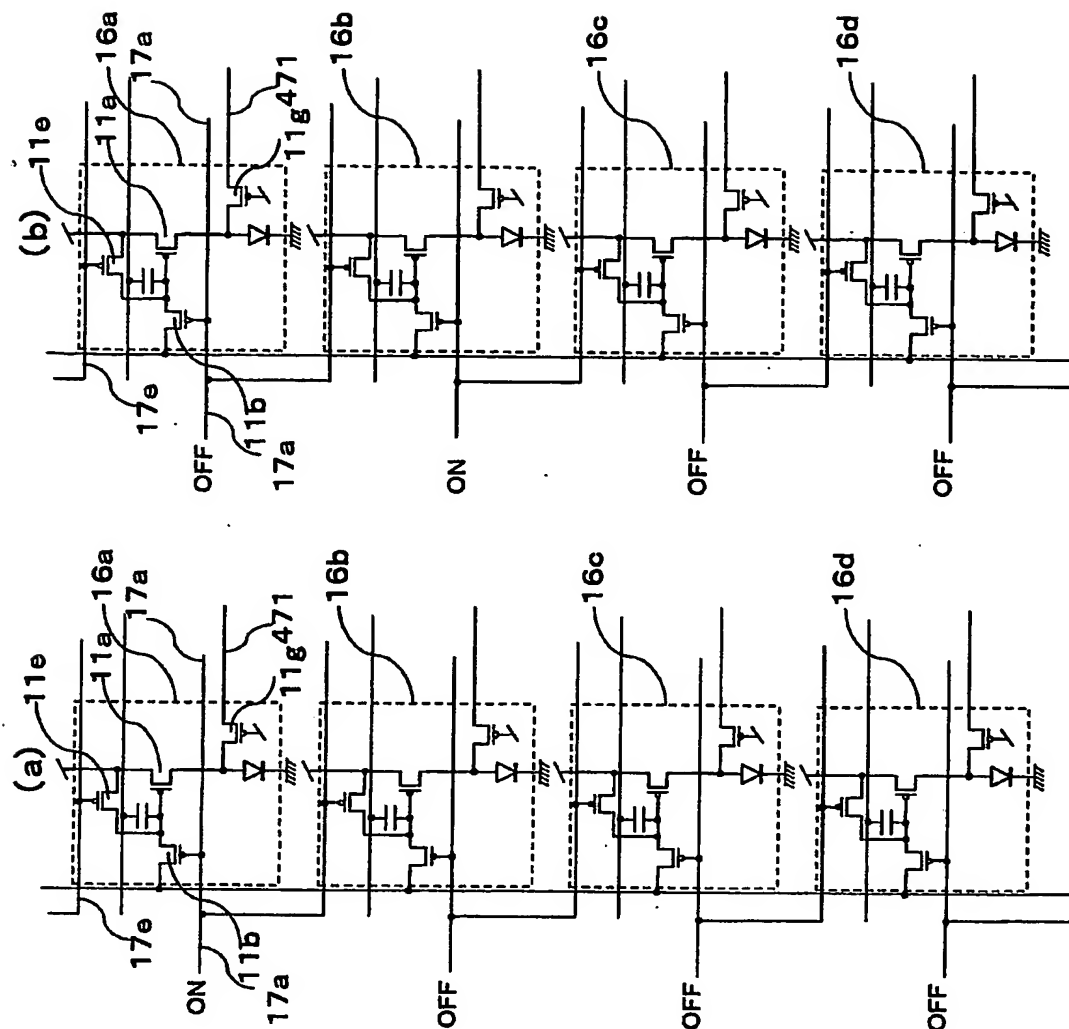
【図 5 2】



【図 53】

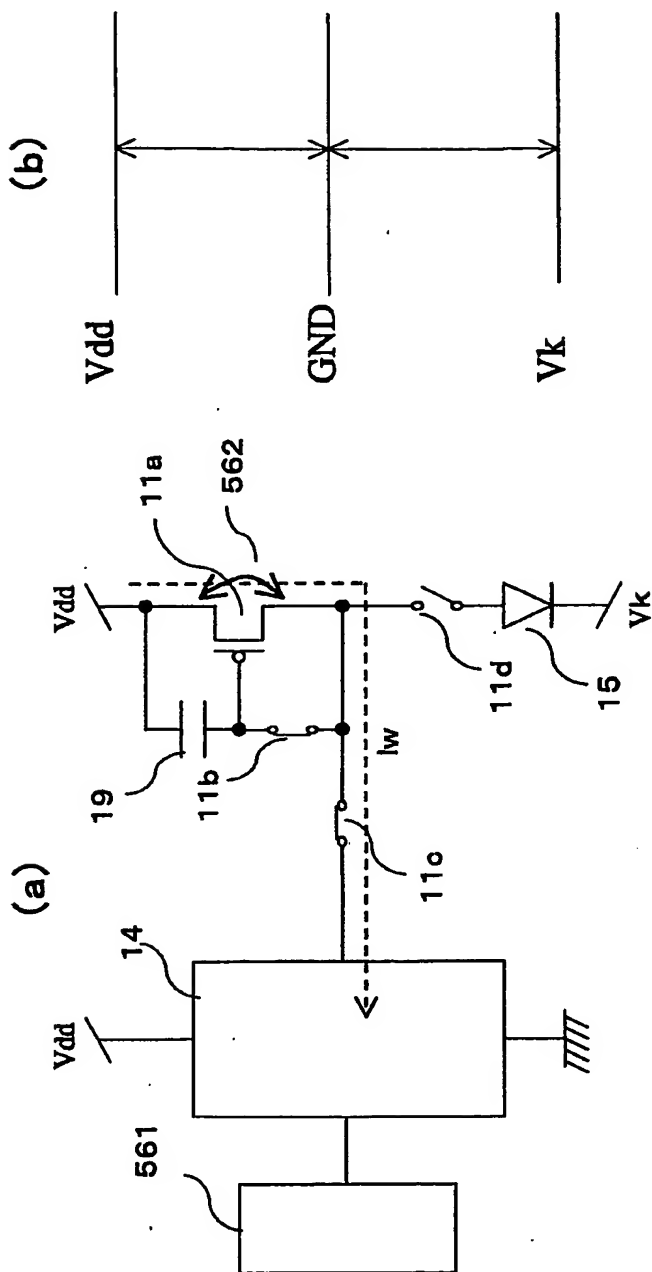


【図 55】

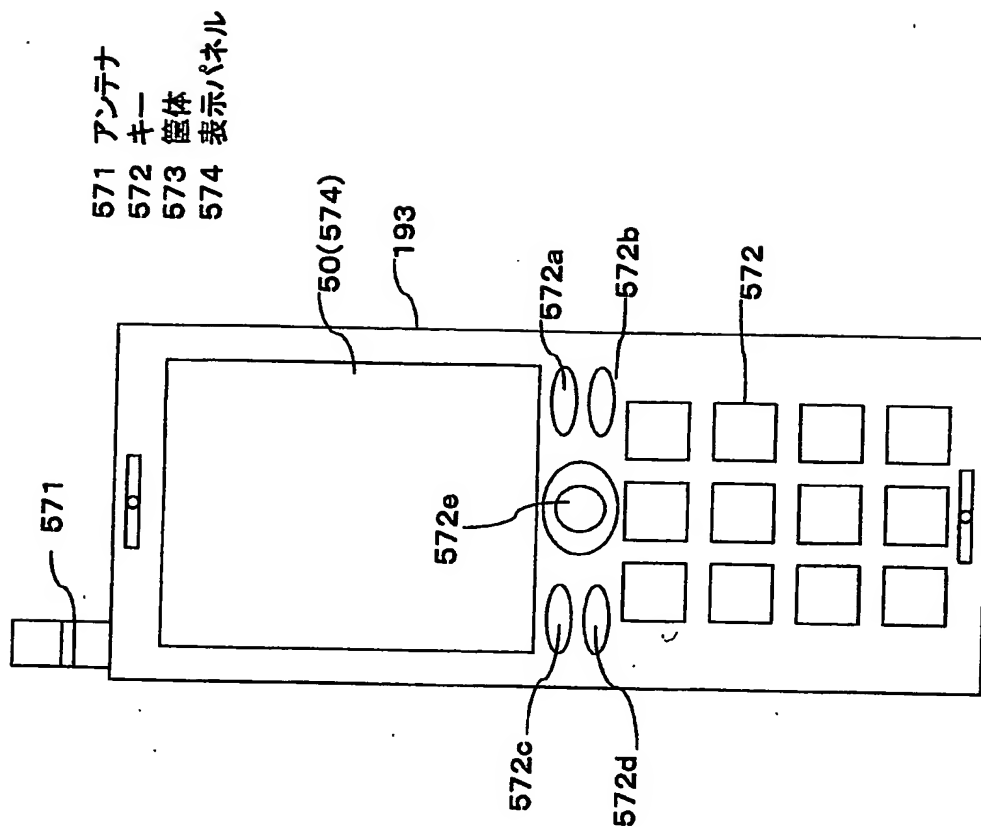


【図 56】

561 電子ポリウム回路
562 TFTのSD(ソース・ドレイン)ショート



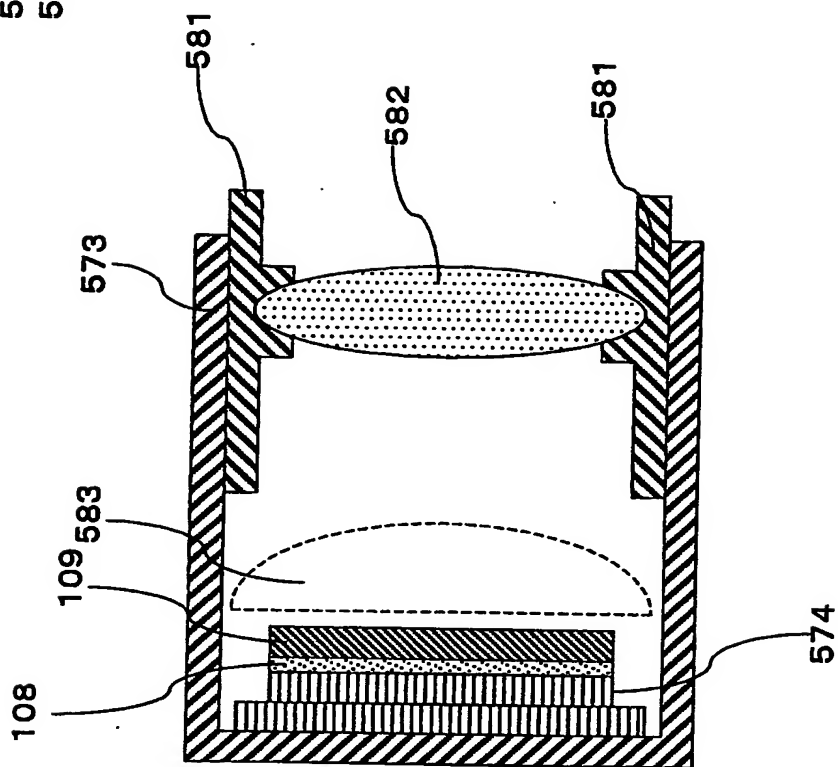
【図 57】



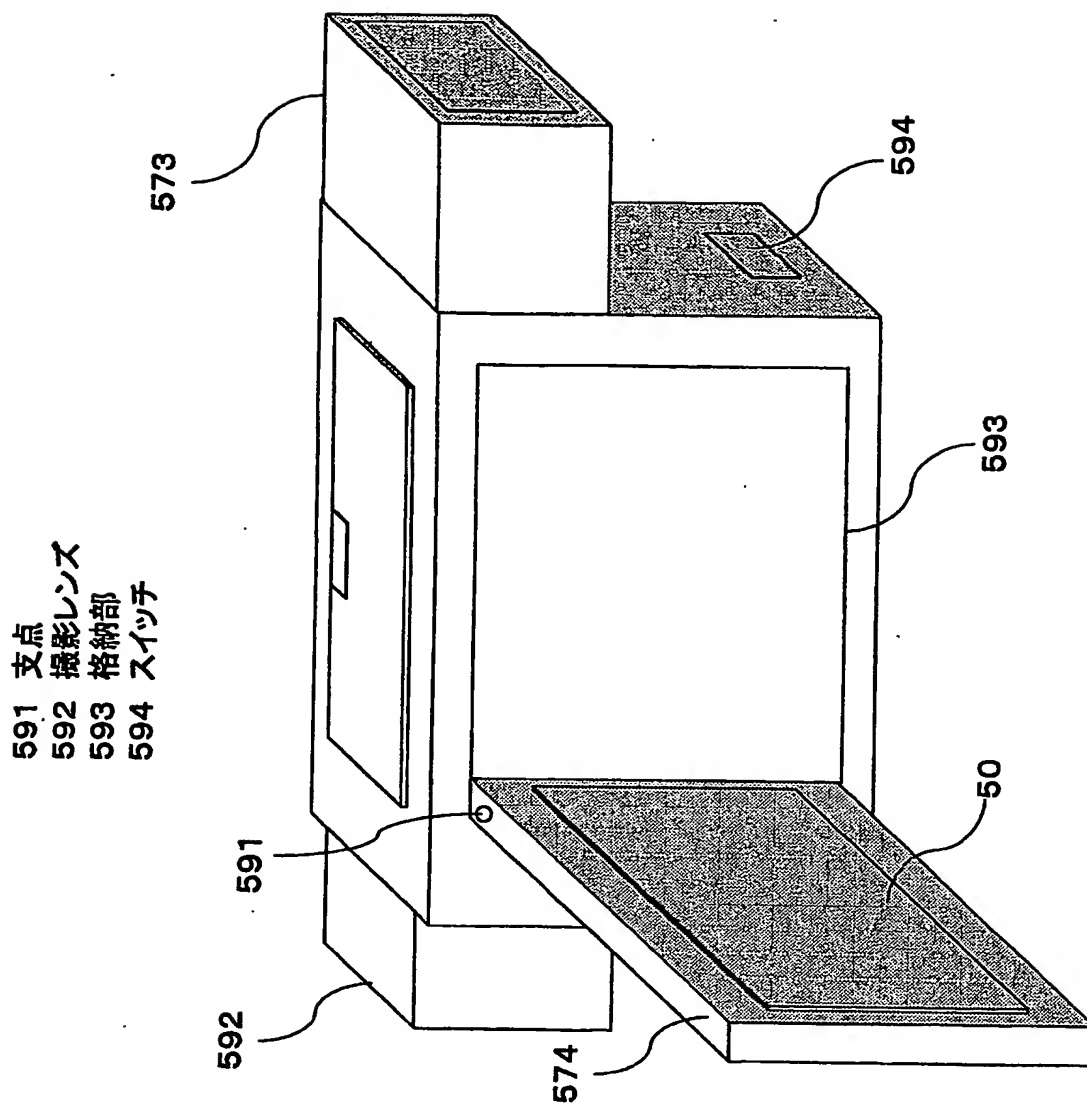
571 アンテナ
572 キー
573 筐体
574 表示パネル

【図 5 8】

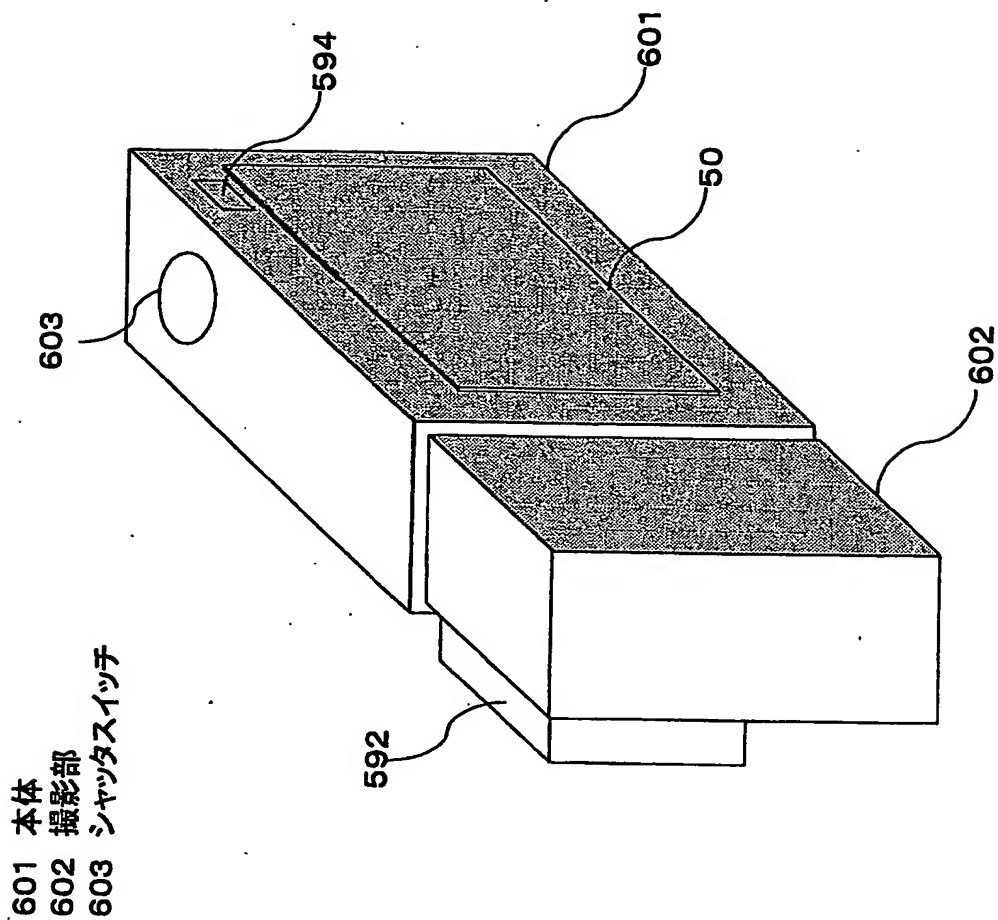
581 接眼リング
582 拡大レンズ
583 凸レンズ



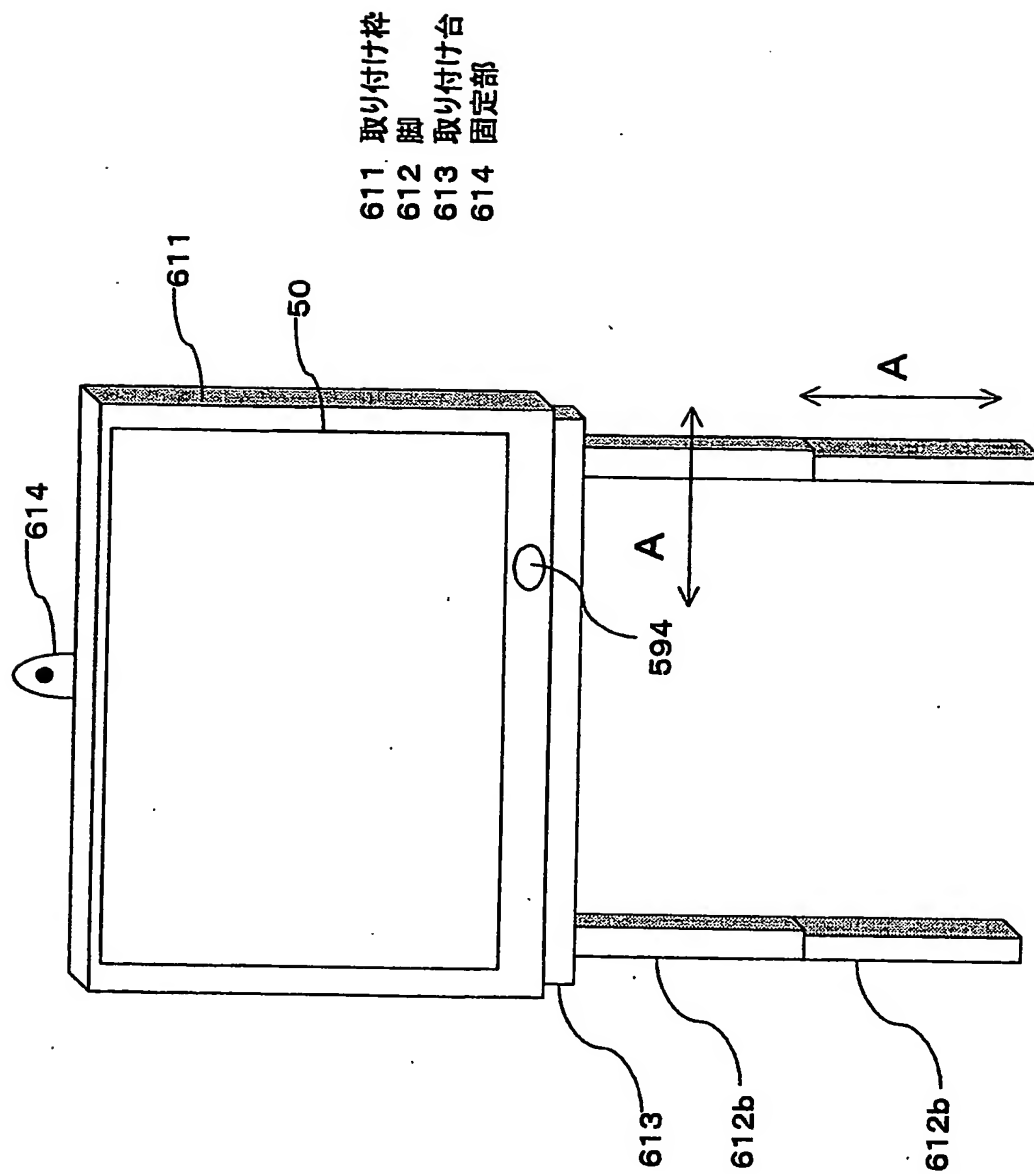
【図 5 9】



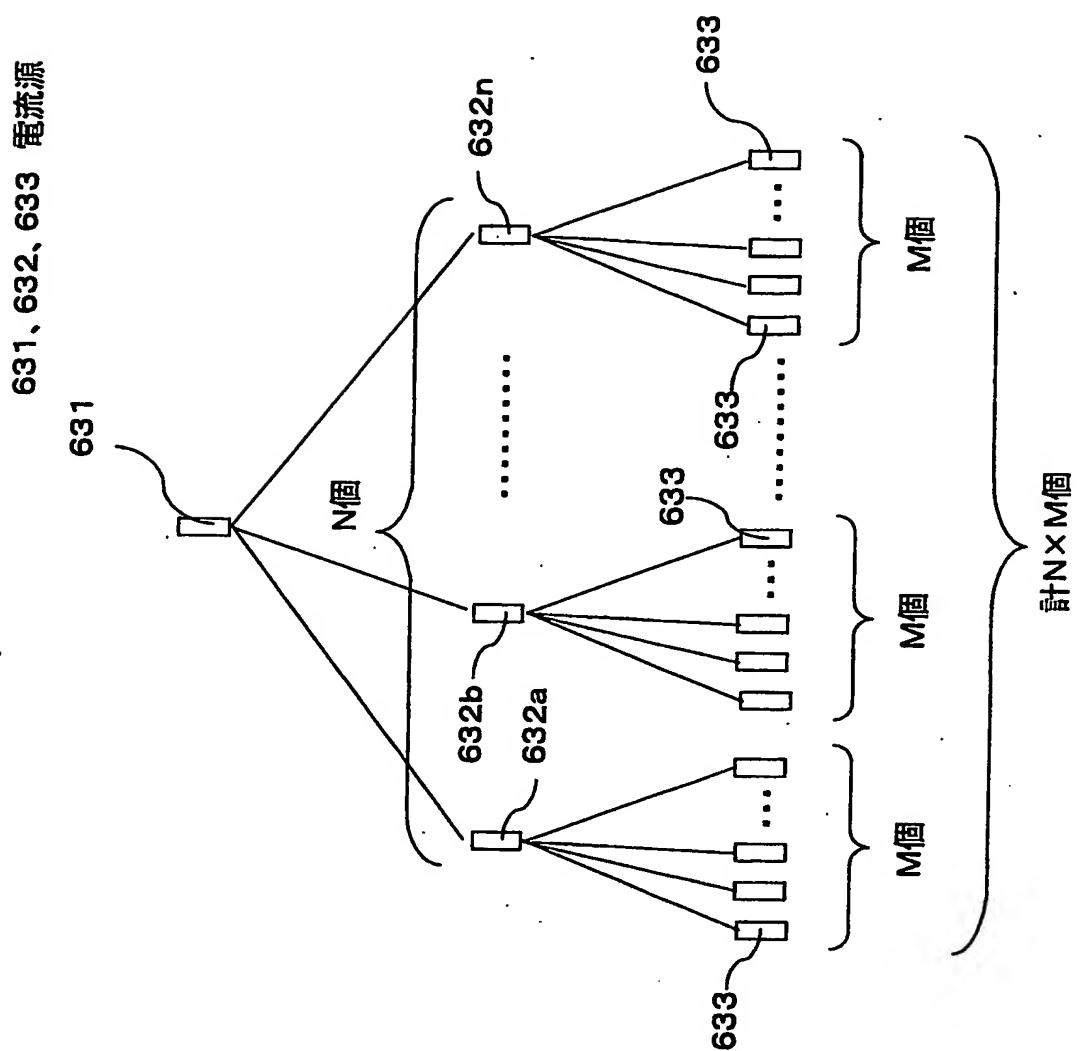
【図 6 0】



【図 6 1】

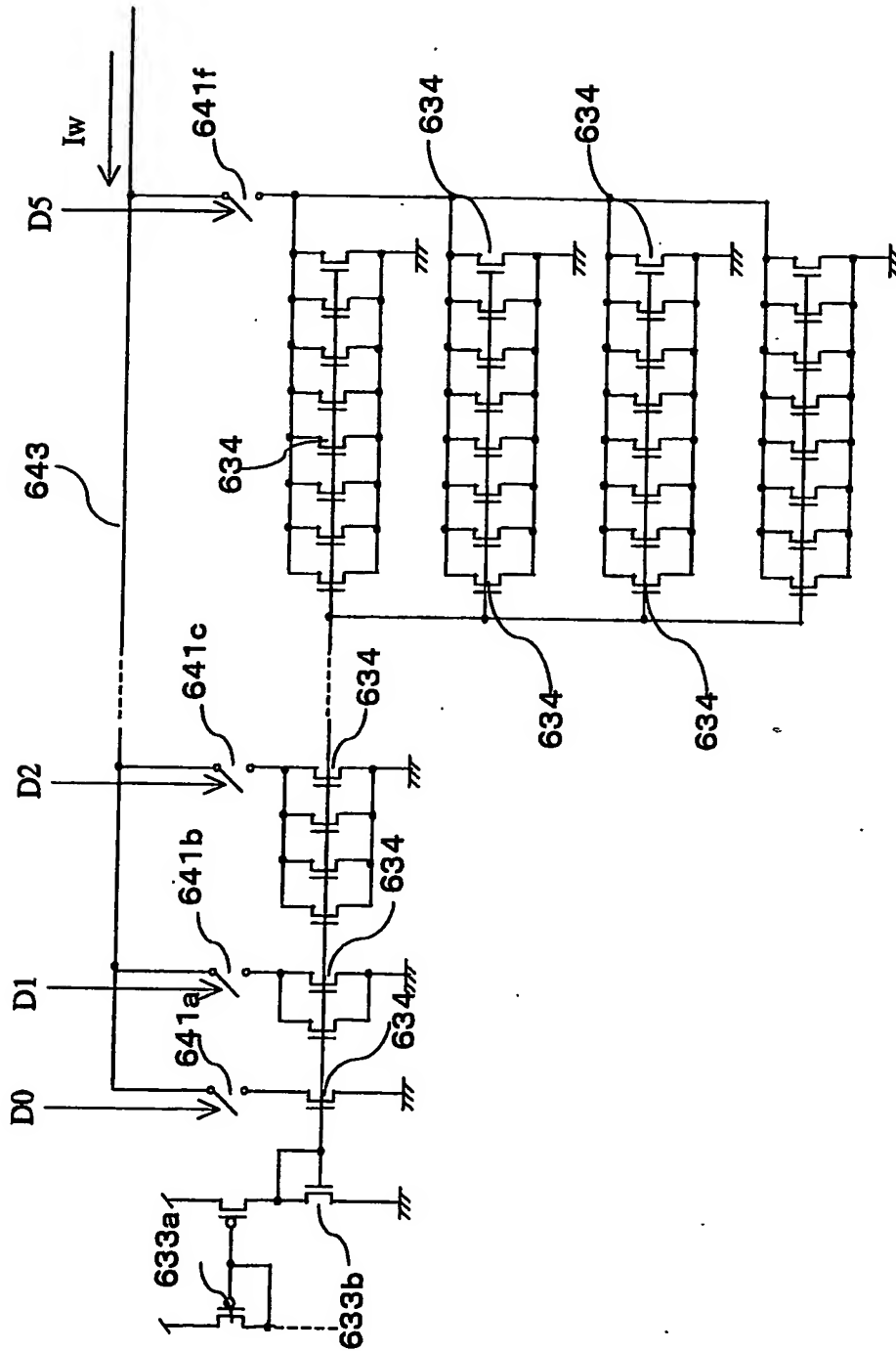


【圖 6 3】



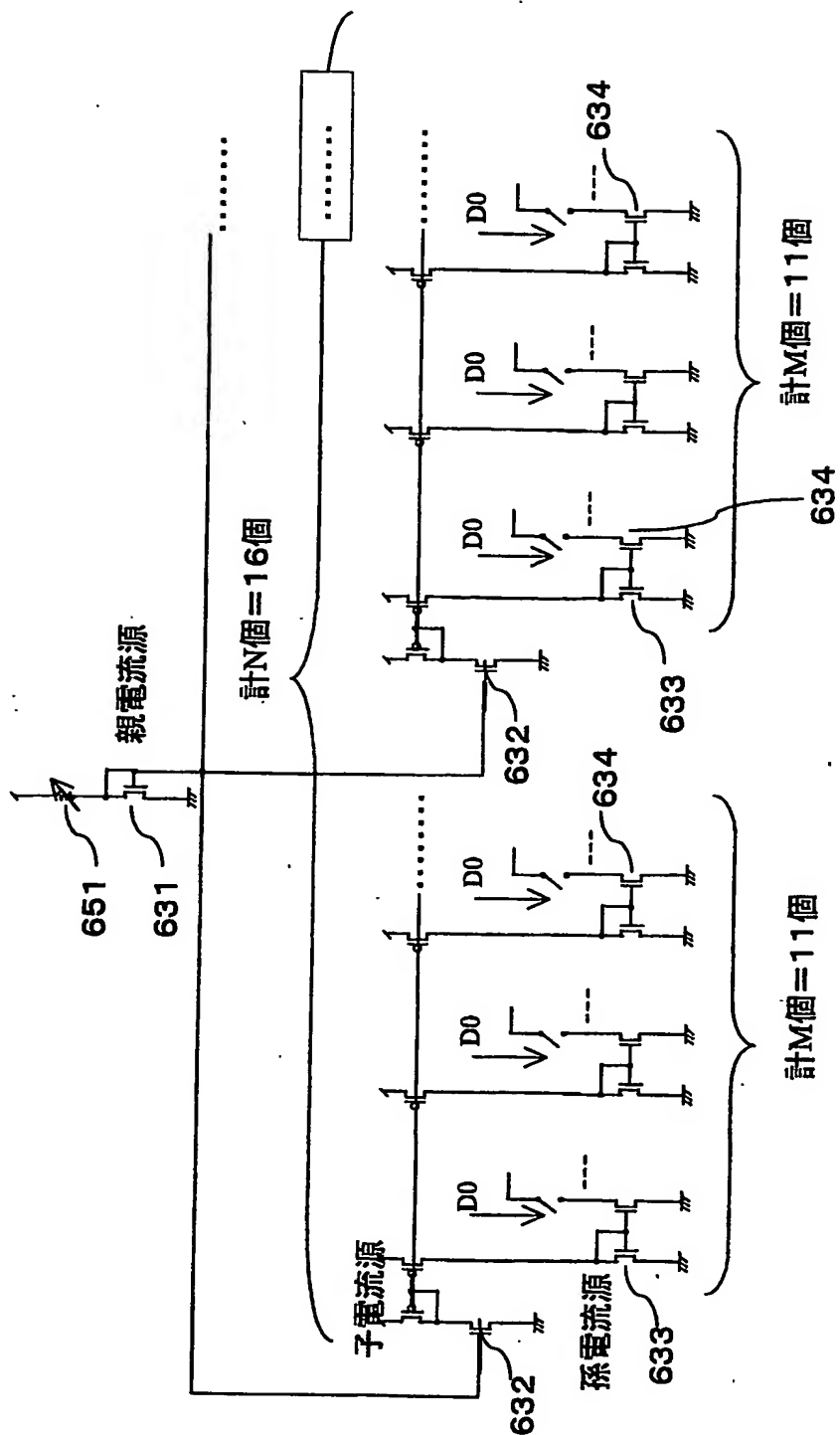
【図 64】

641 スイッチ(オンオフ手段)
634 電流源(1単位)
643 内部配線

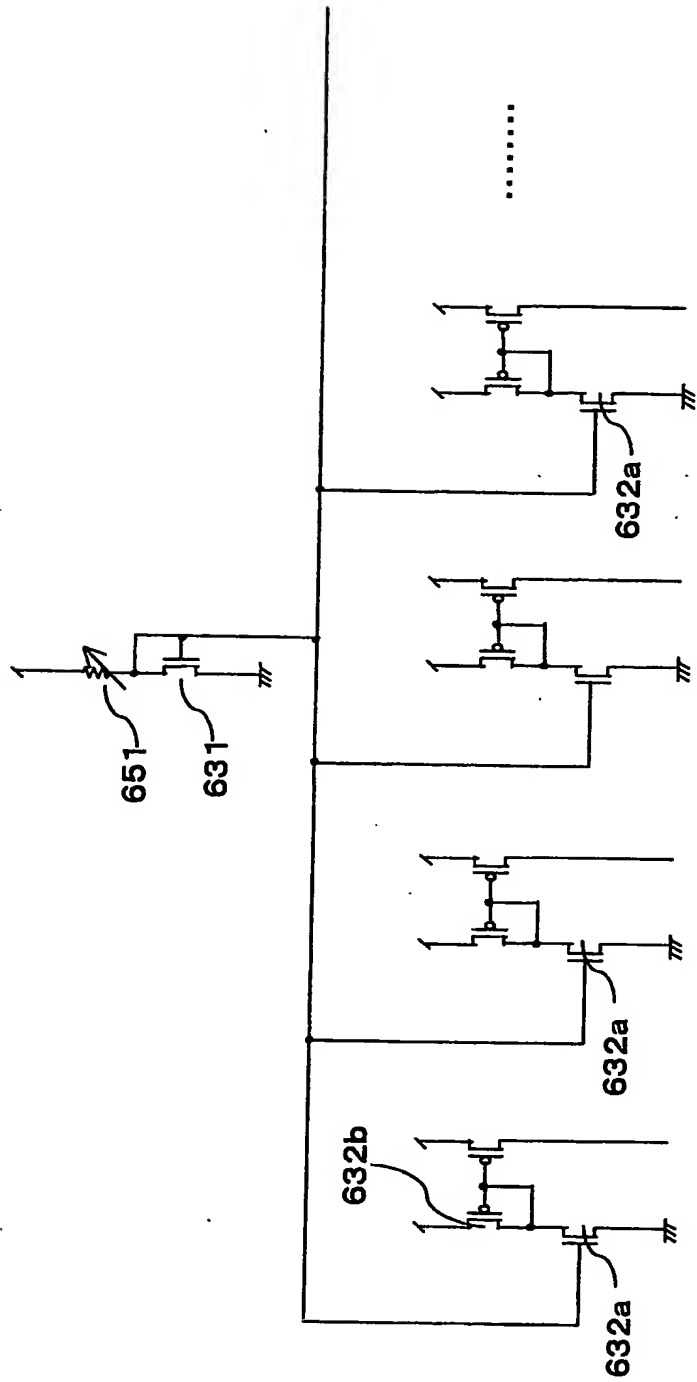


【図 65】

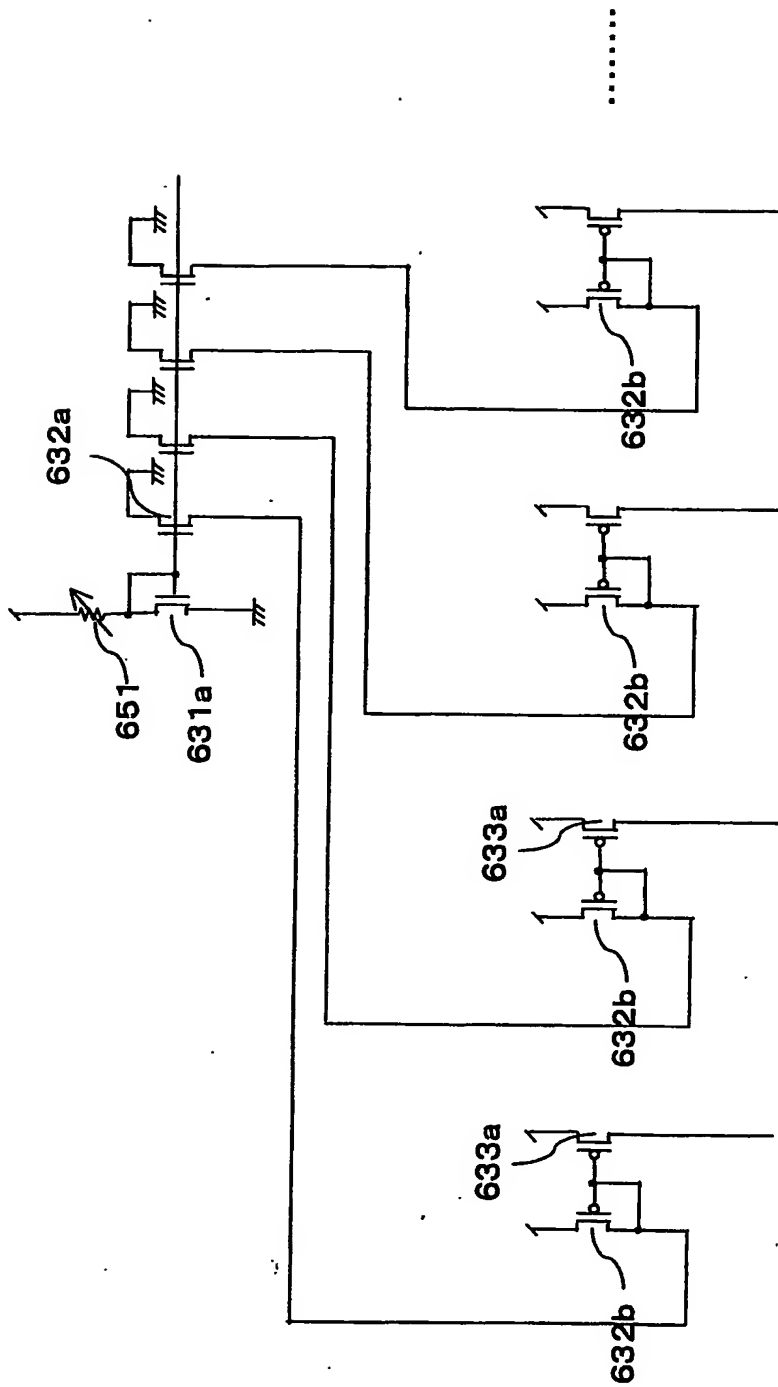
651 ポリウム(電流調節手段)



【図 6 6】

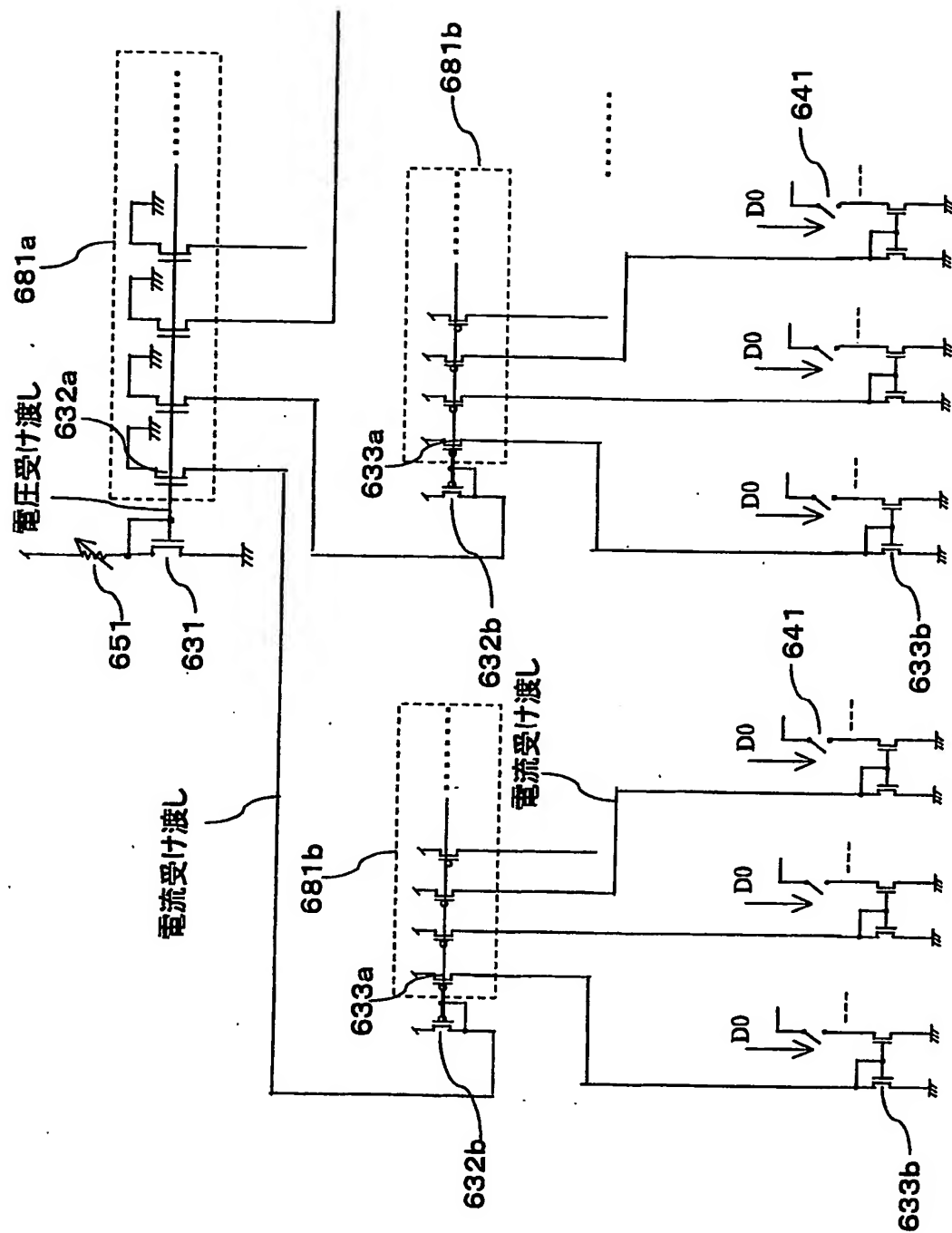


【図 6 7】

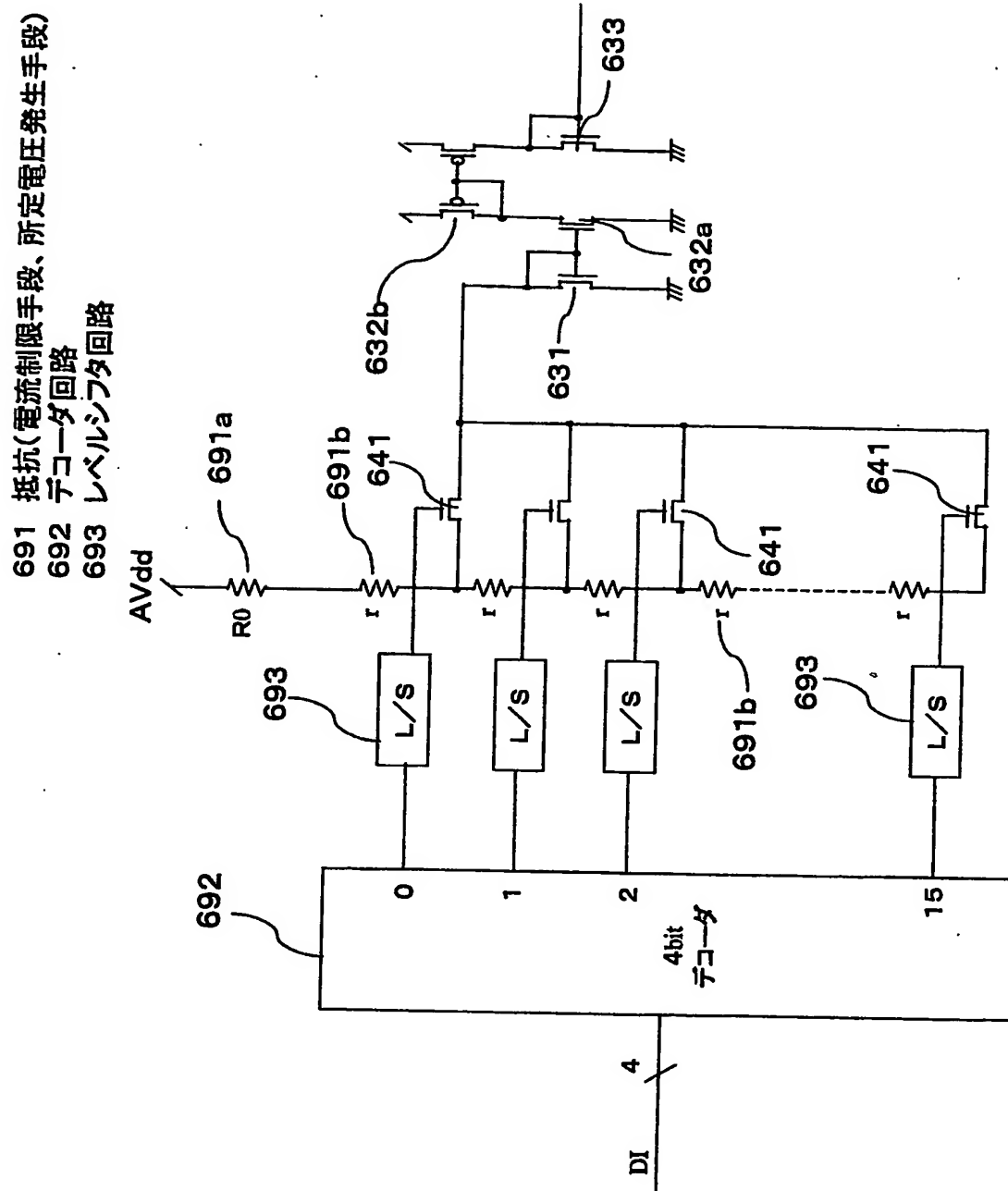


【図68】

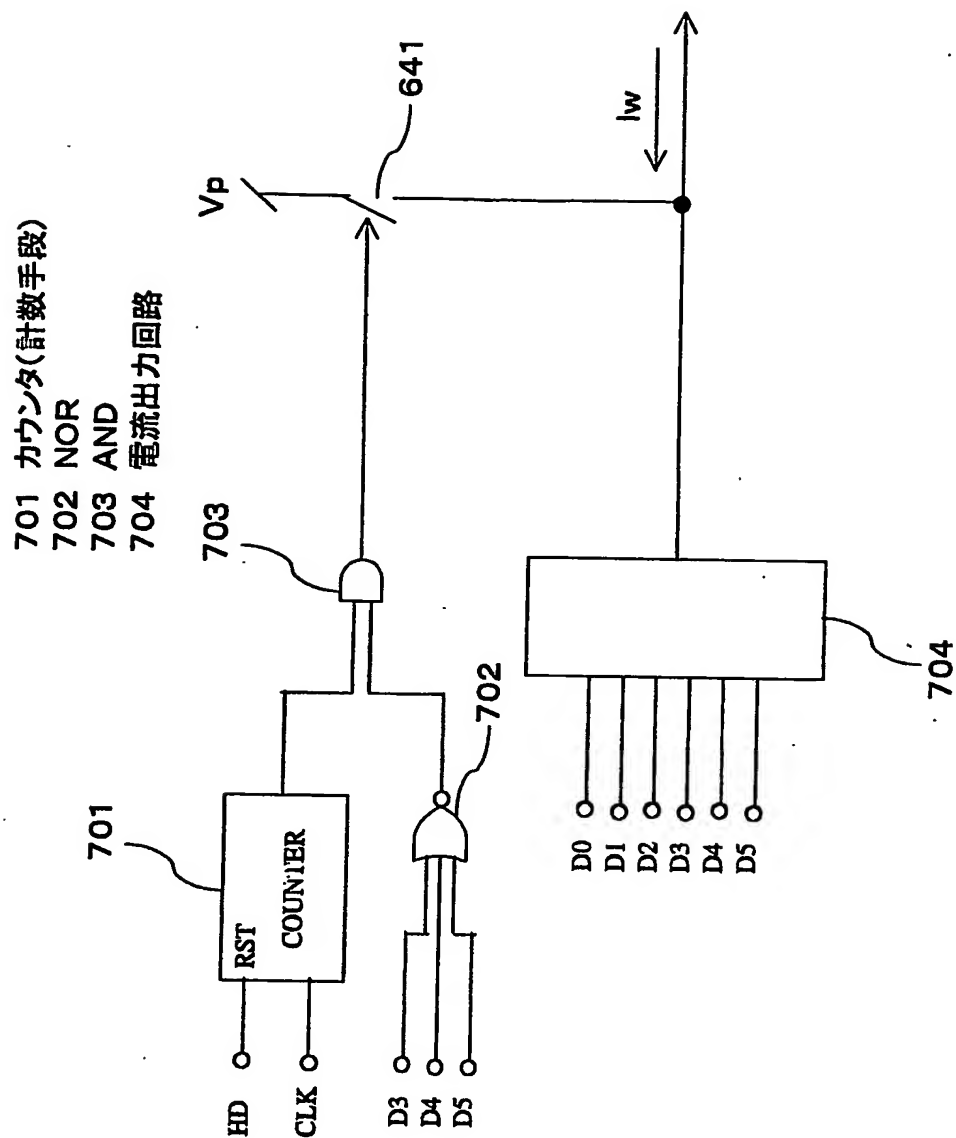
681 トランジスタ群



【图 6 9】

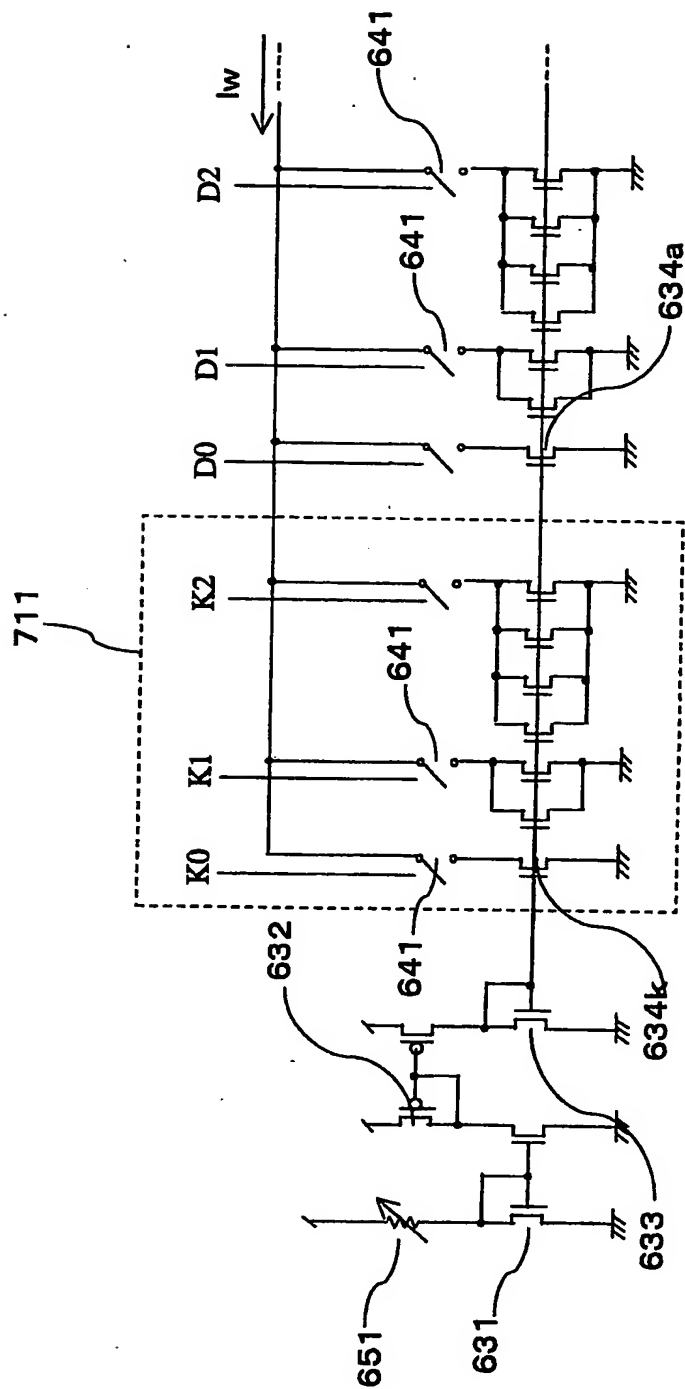


【図 70】



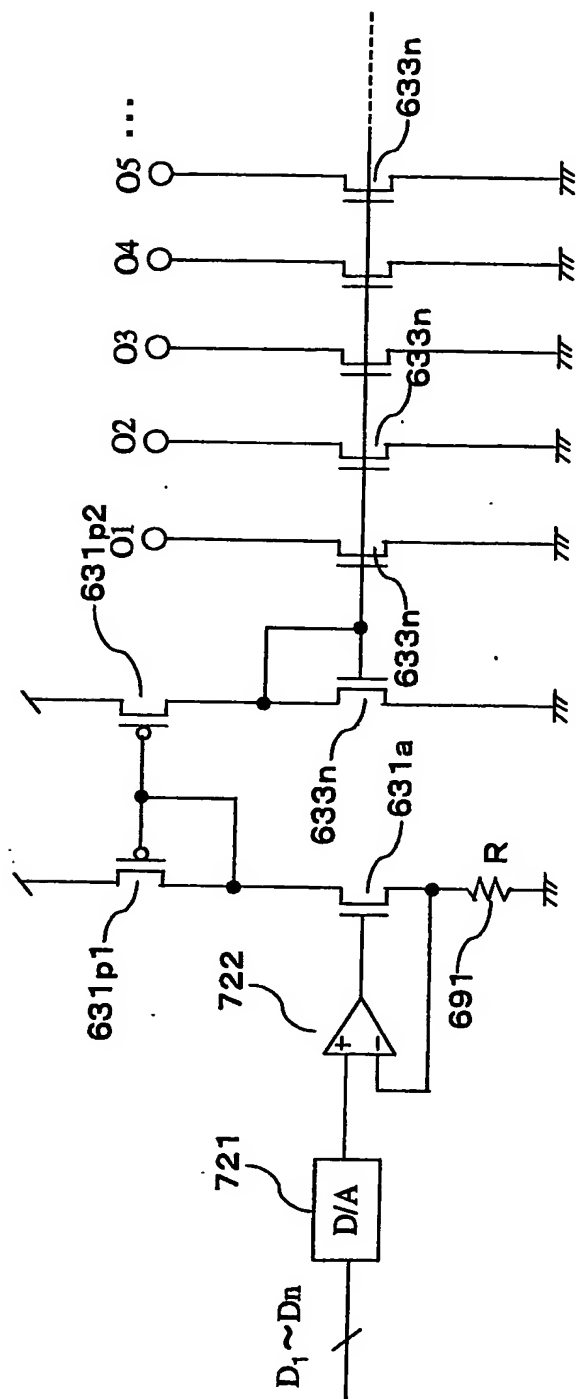
【図 7 1】

711 横上げ回路



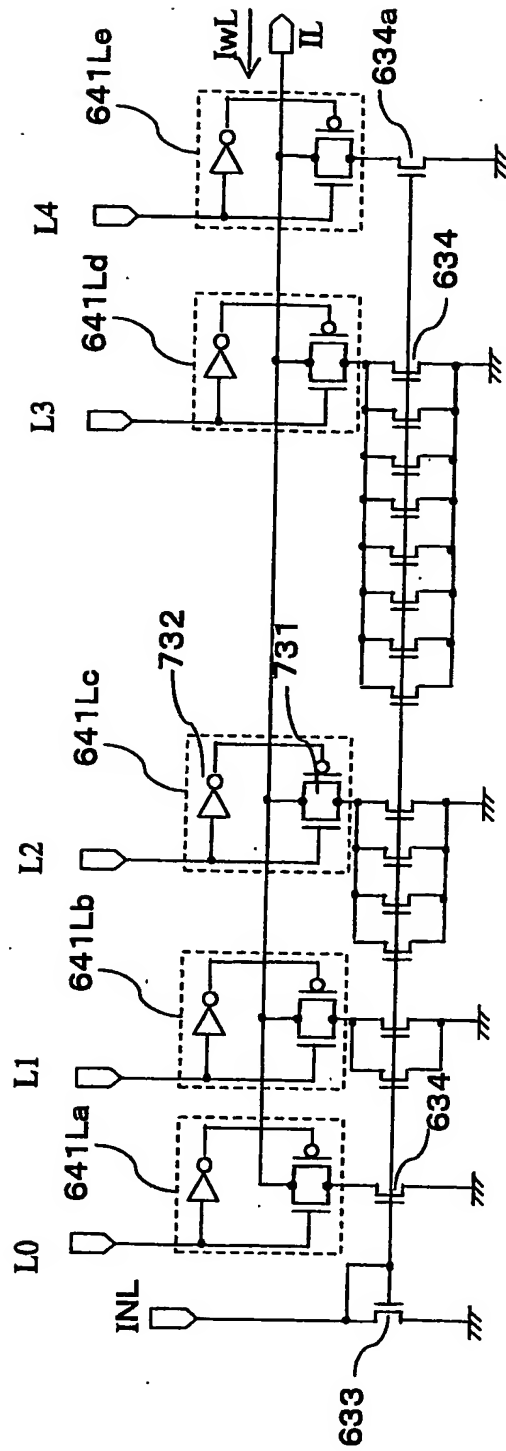
【図 7 2】

721 D/A変換器
722 オペアンプ

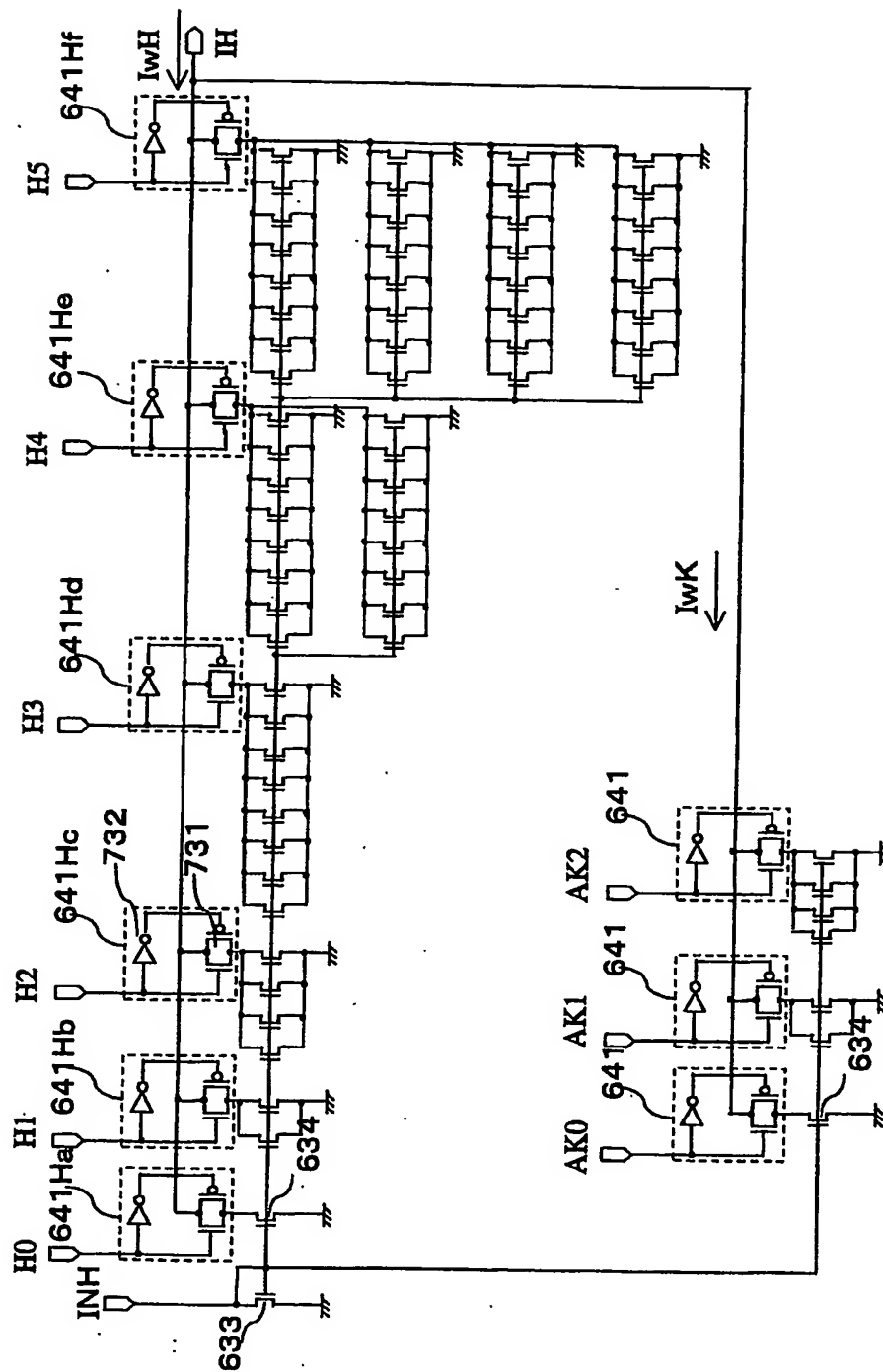


【図 73】

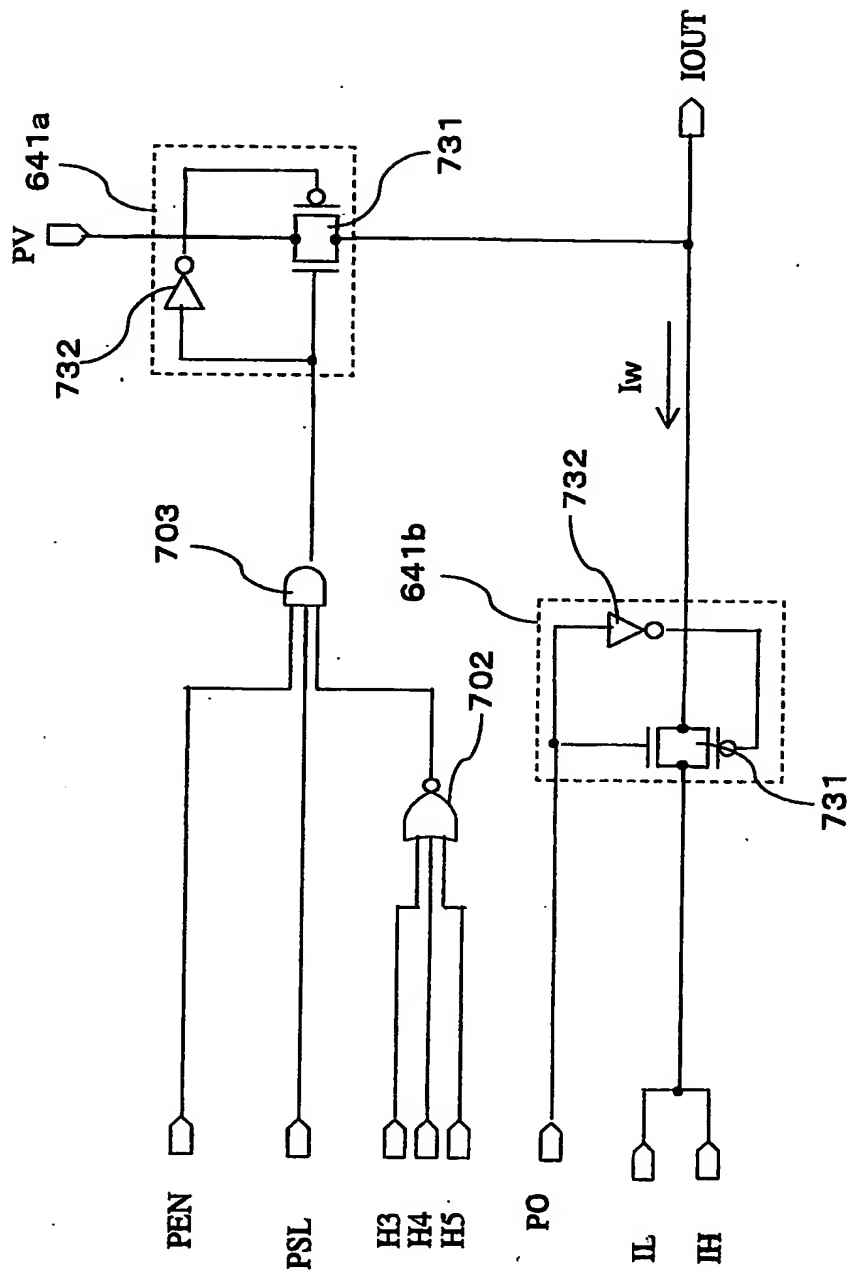
731 アナログスイッチ
732 インバータ



【図74】

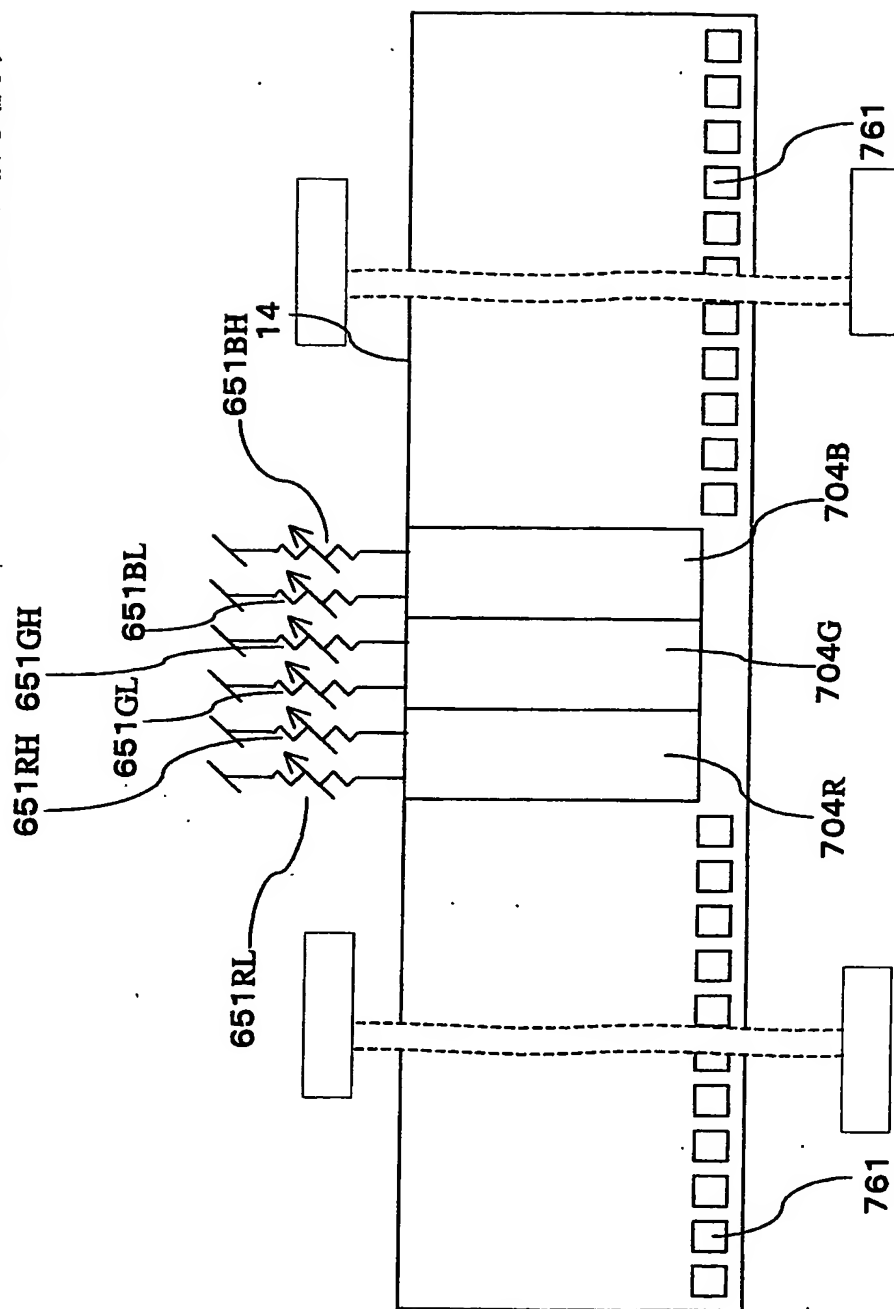


【图 7 5】

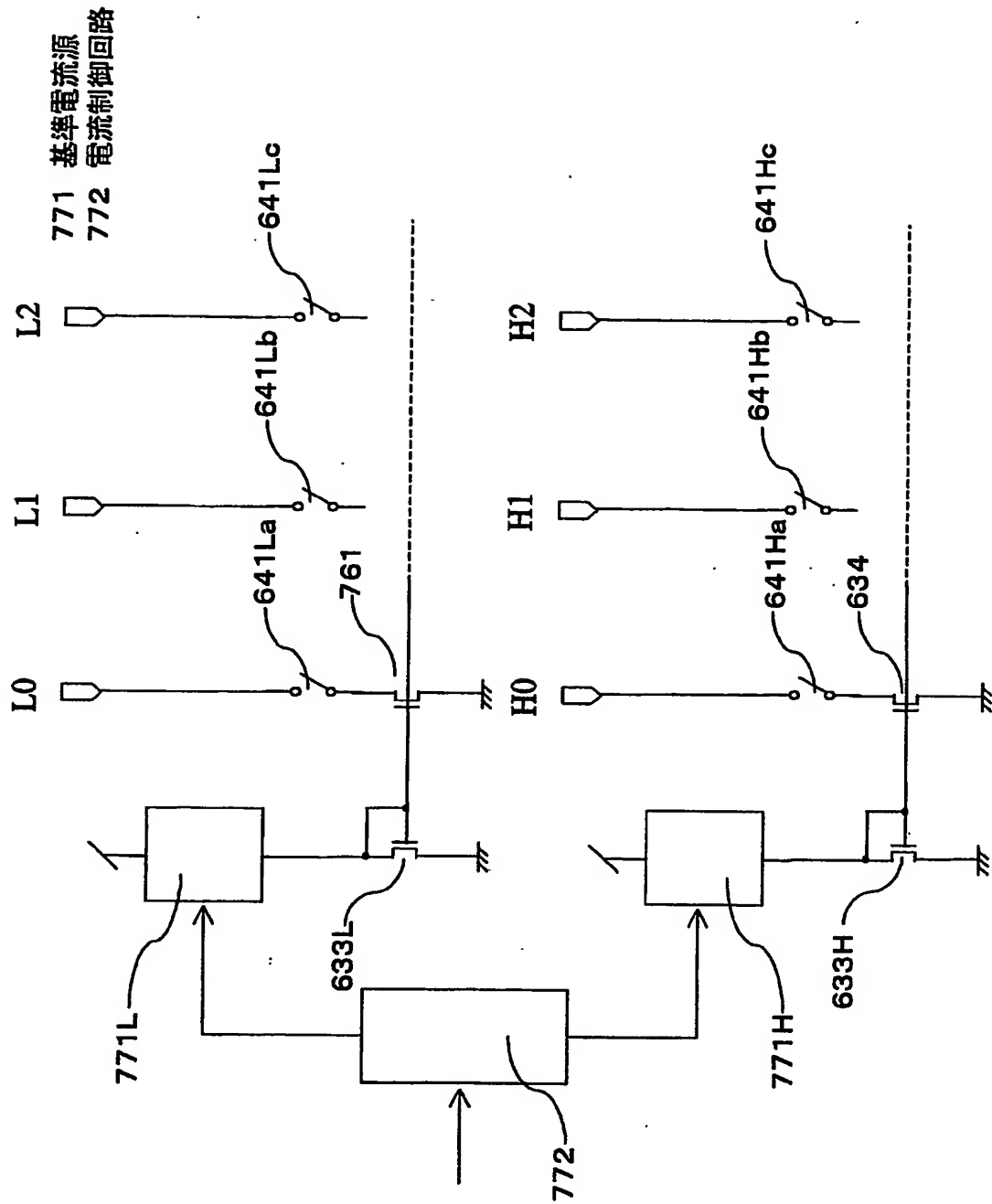


【図 76】

761 出力パッド(出力信号端子)

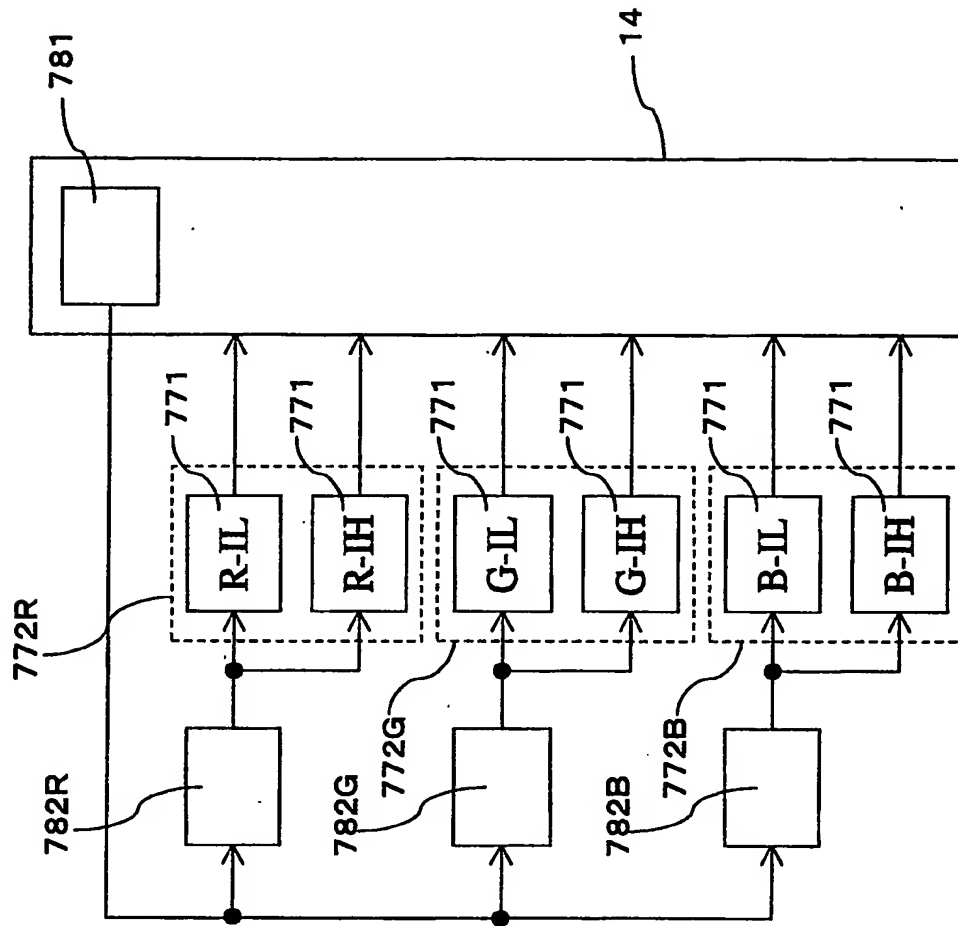


【図 77】

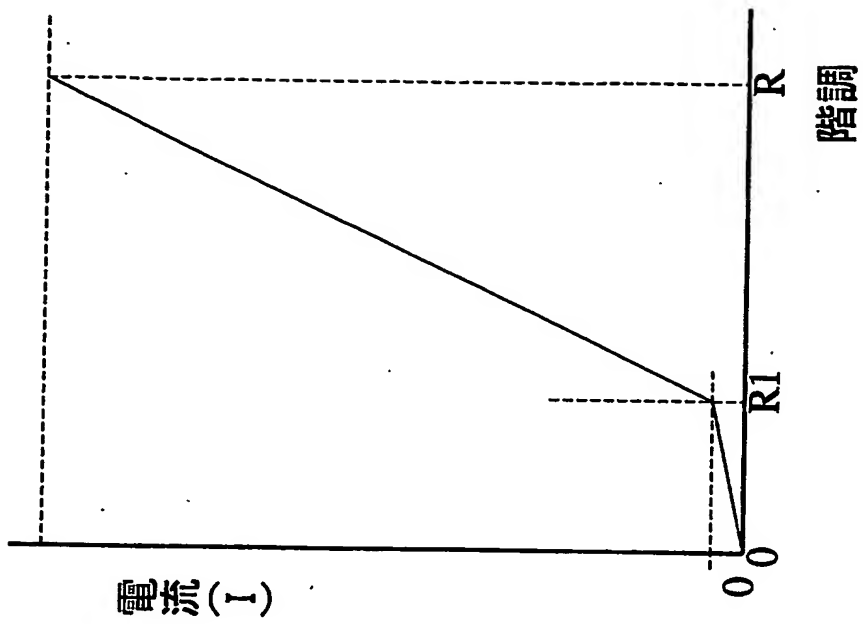


【図 78】

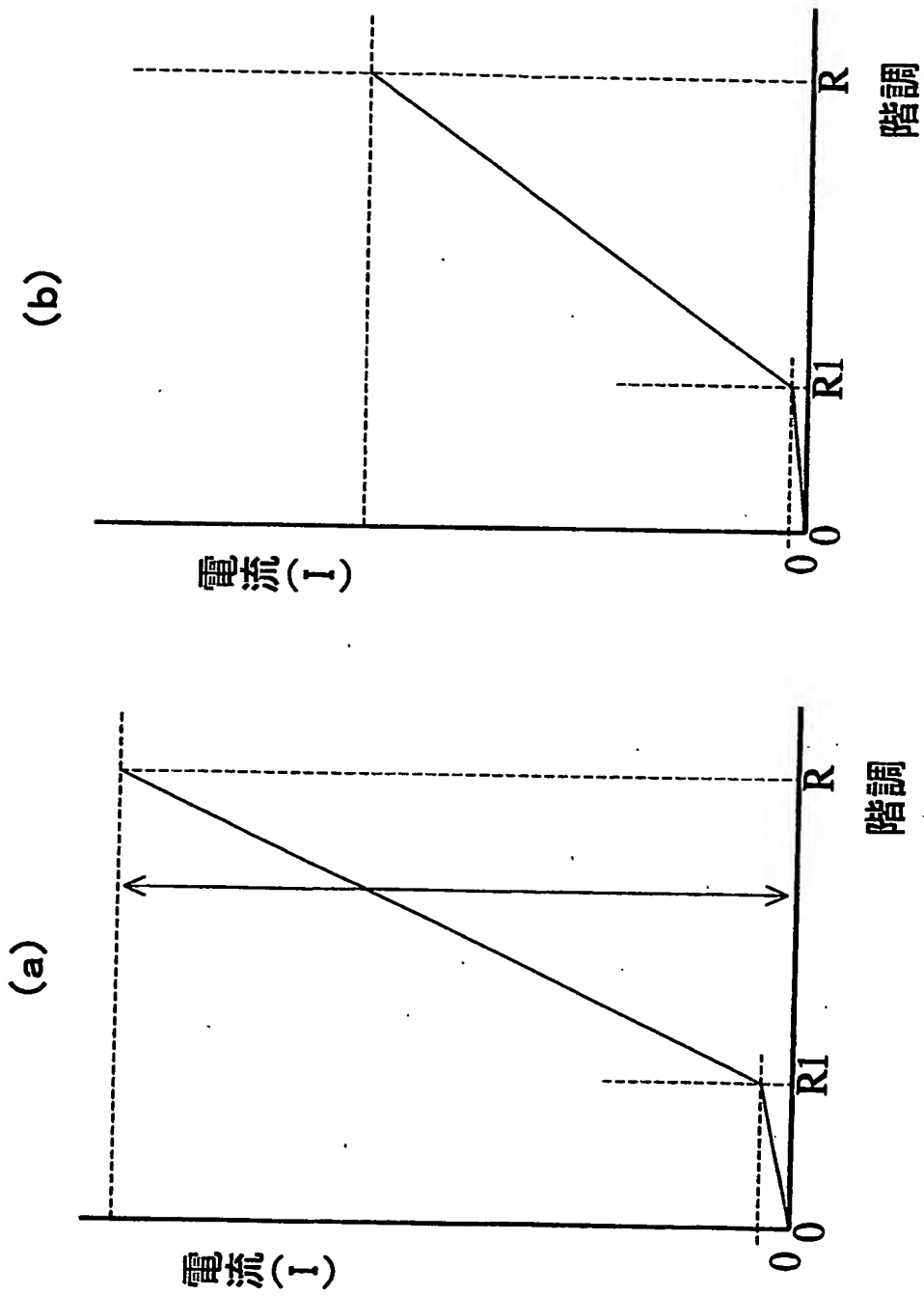
781 温度検出回路
782 温度制御回路



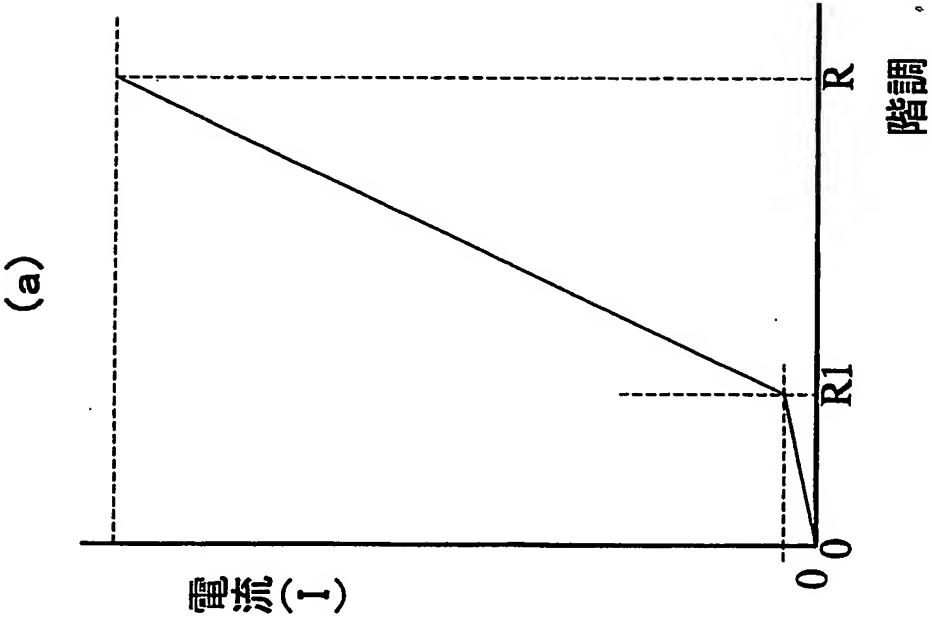
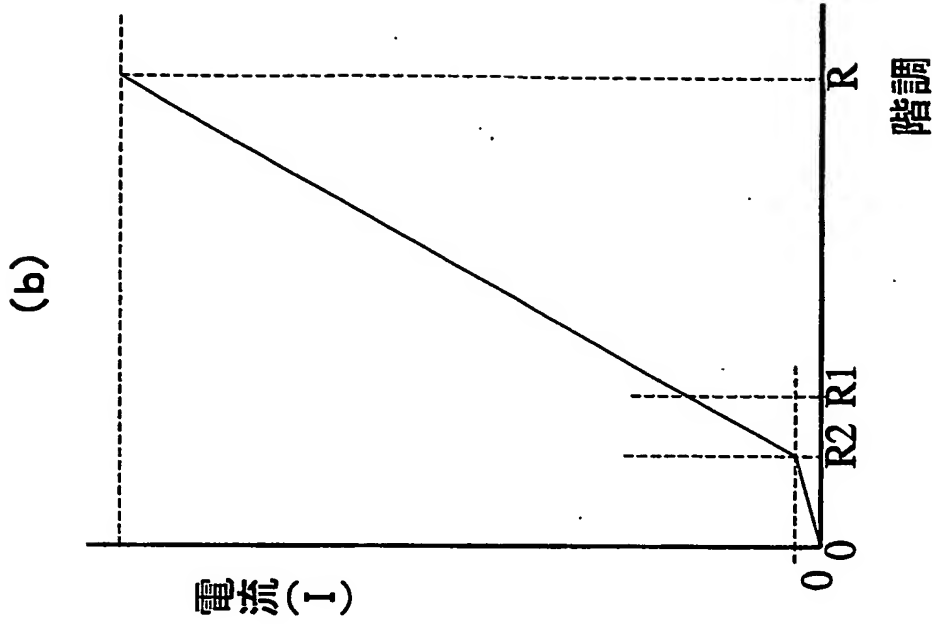
【図 7 9】



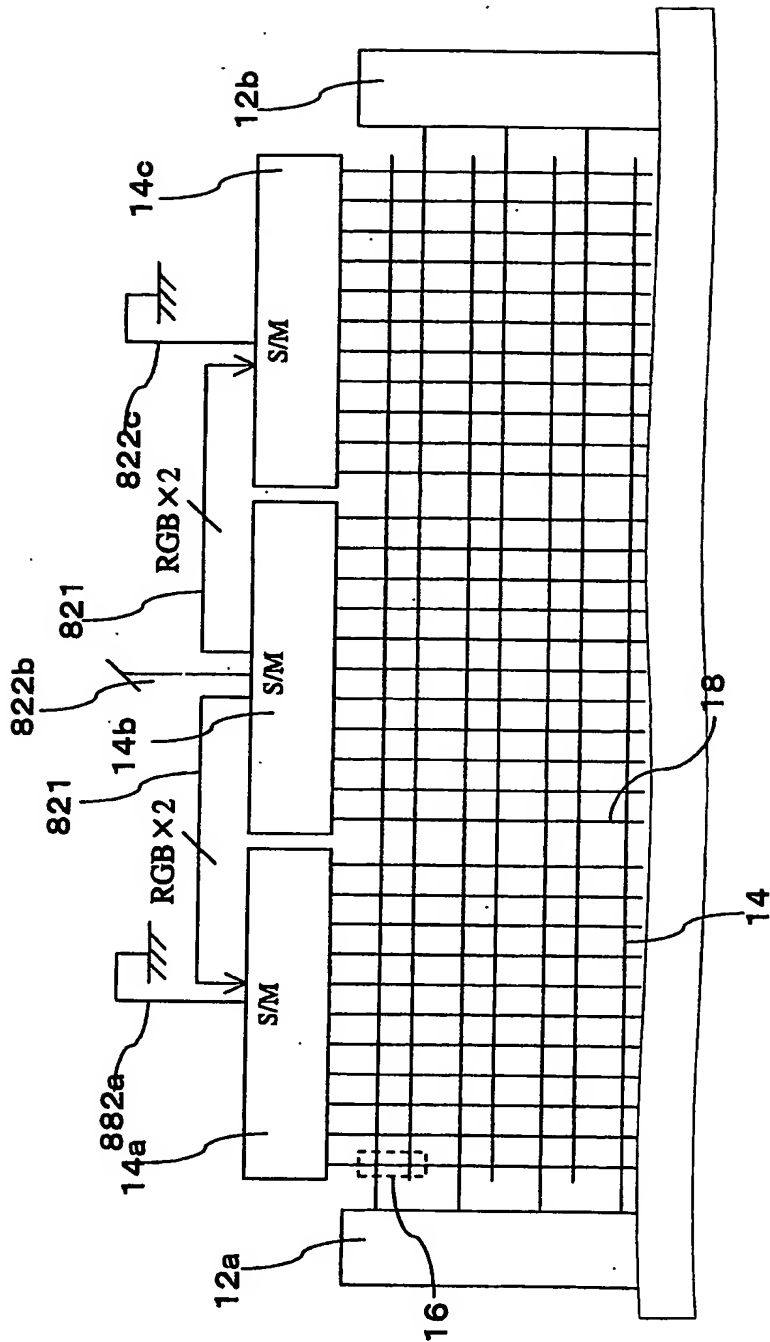
【図 80】



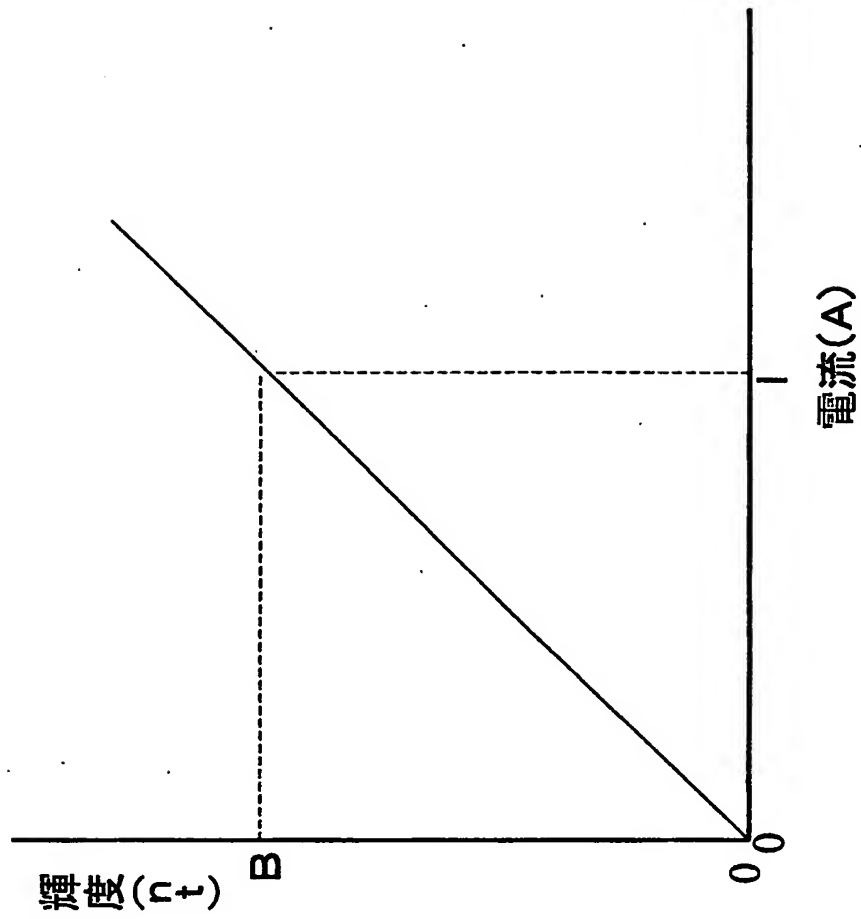
【図 8 1】



【圖 8 2】



【図 83】



【図84】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	0	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	0	0	1	0
17	1	1	0	0	1	1	0	0	0	1	0
18	1	1	0	0	1	0	1	0	0	1	0
.											

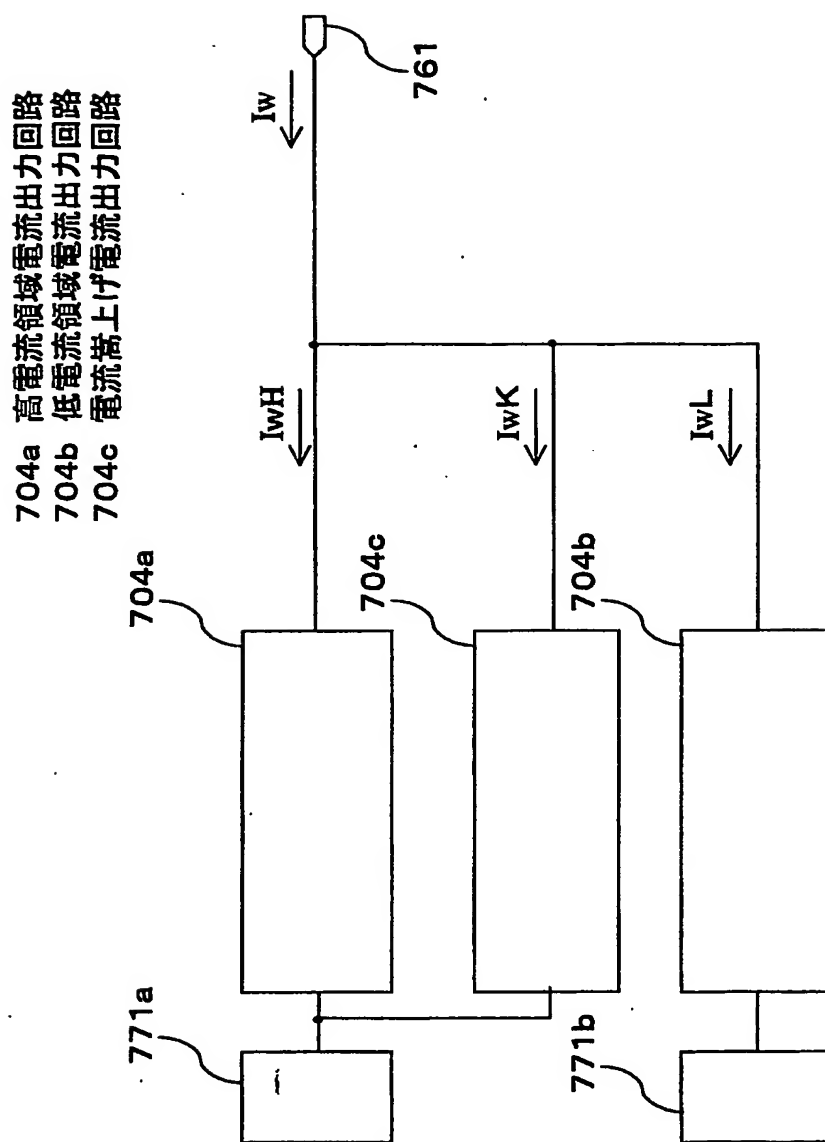
【図 85】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	1	0	0	0	0	0	0
9	1	1	1	0	1	1	0	0	0	0	0
10	1	1	1	0	1	0	1	0	0	0	0
11	1	1	1	0	1	1	1	0	0	0	0
12	1	1	1	0	1	0	0	1	0	0	0
13	1	1	1	0	1	1	0	1	0	0	0
14	1	1	1	0	1	0	1	1	0	0	0
15	1	1	1	0	1	1	1	1	0	0	0
16	1	1	1	0	1	0	0	0	1	0	0
17	1	1	1	0	1	1	0	0	1	0	0
18	1	1	1	0	1	0	1	0	1	0	0
：											

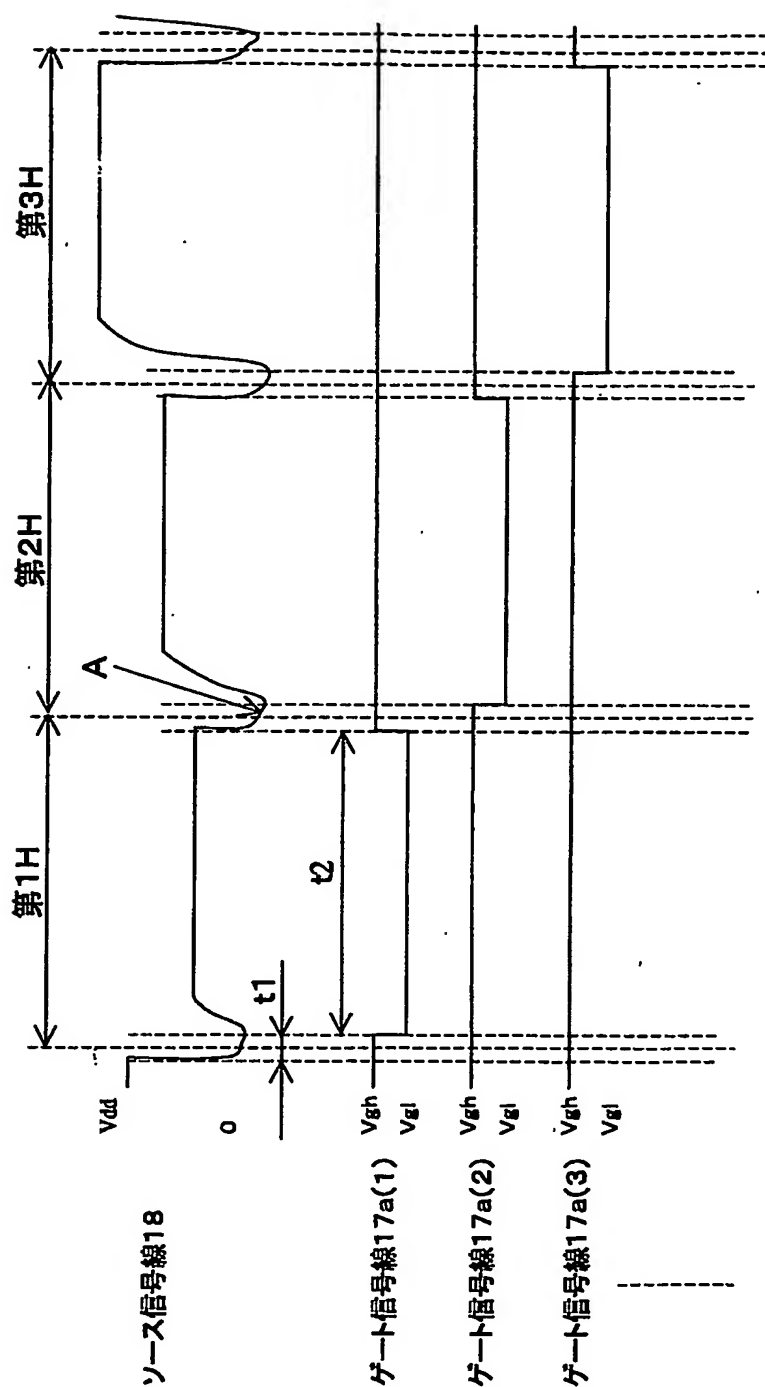
【図86】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
:											

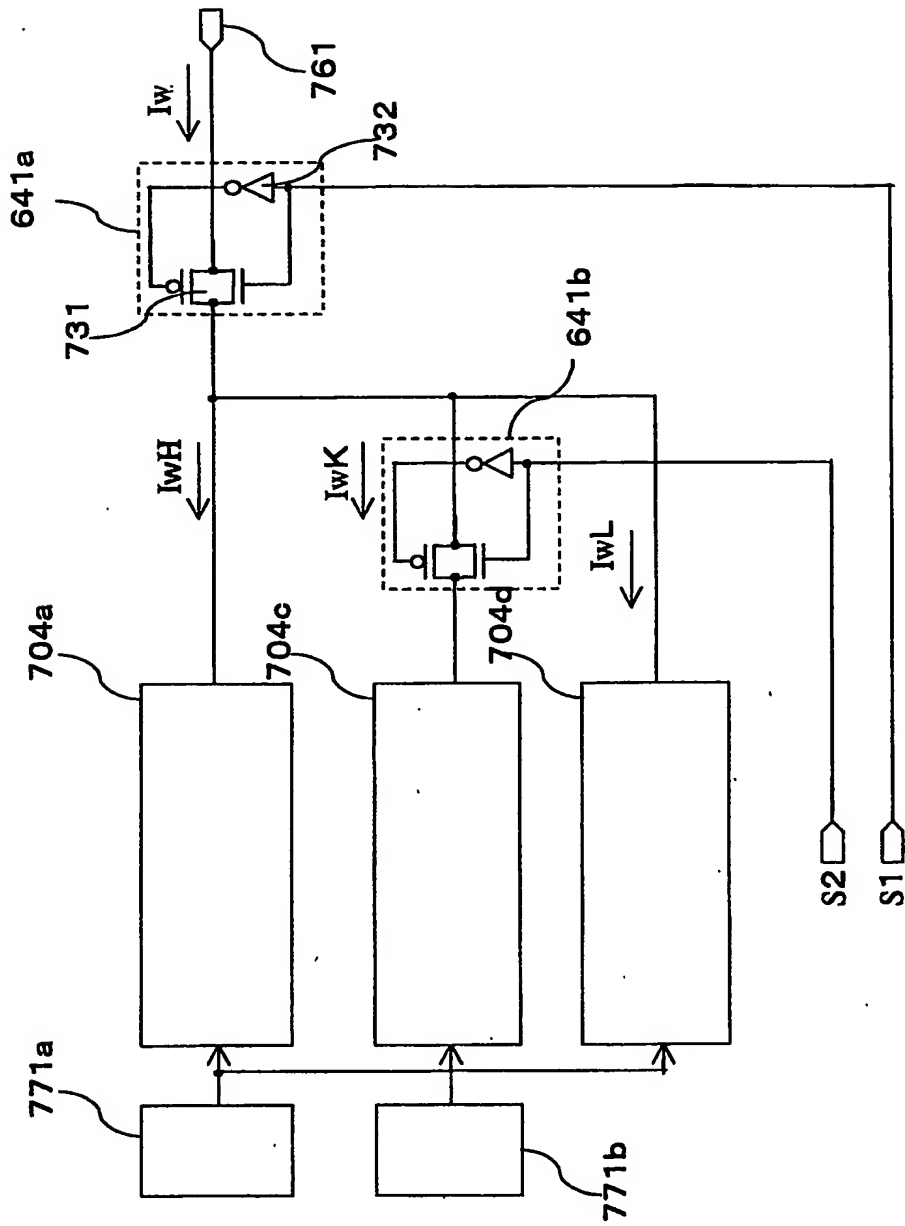
【図 87】



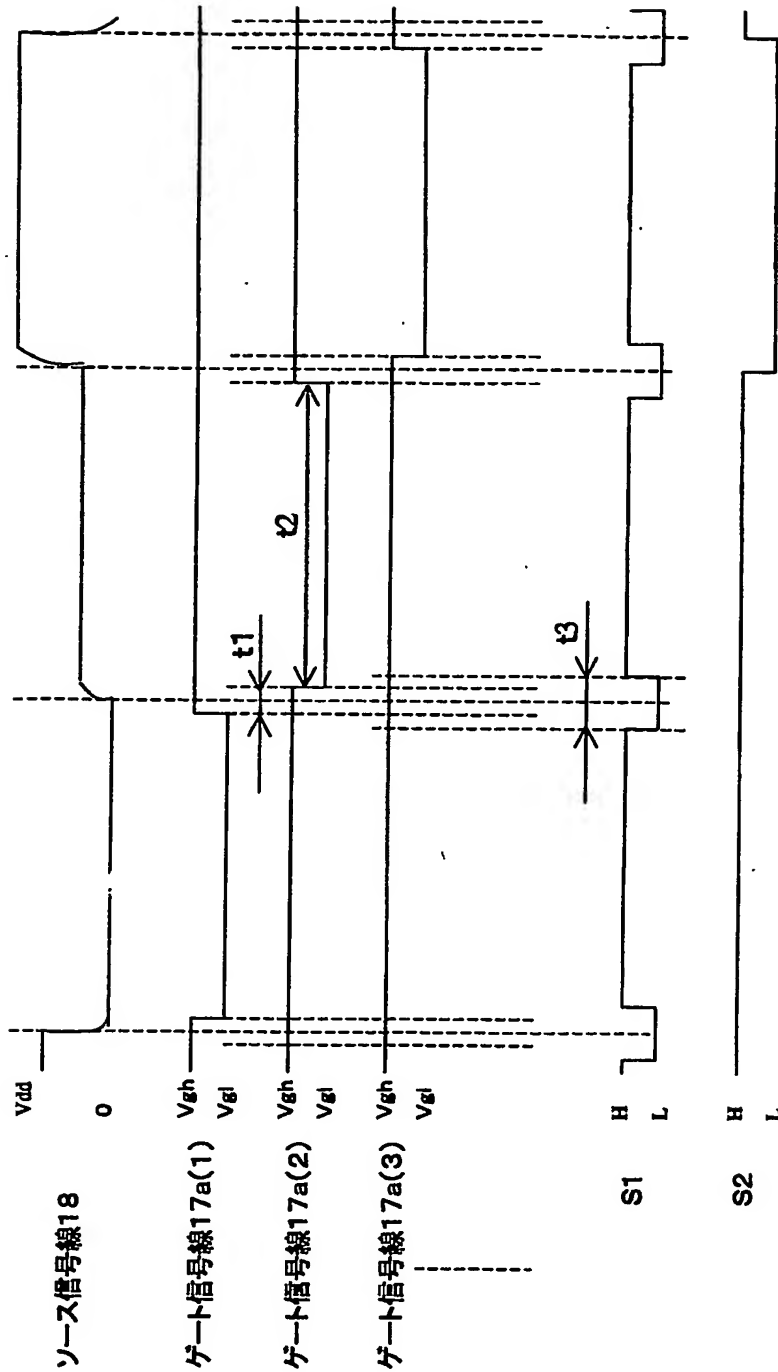
【図 88】



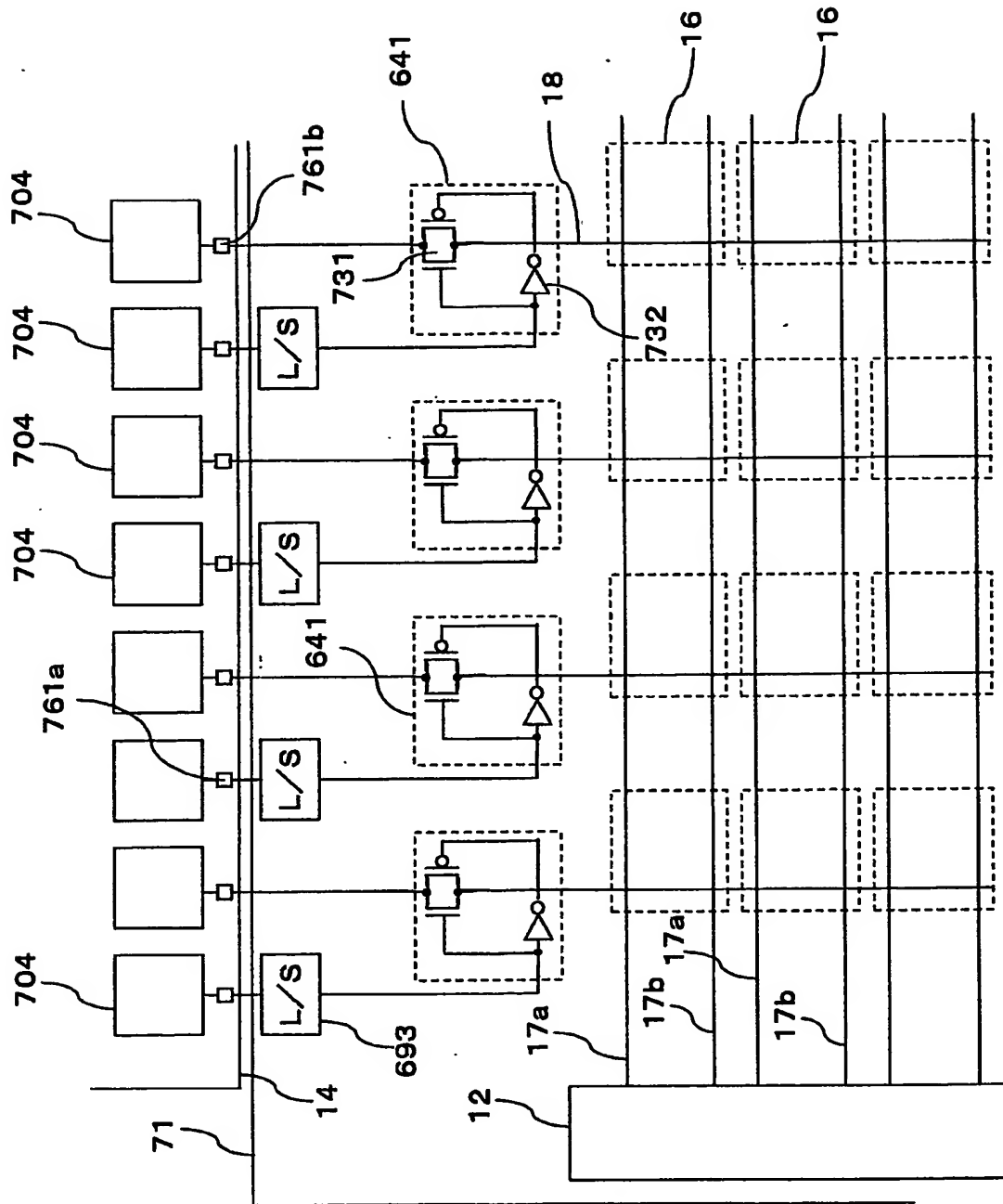
【図 89】



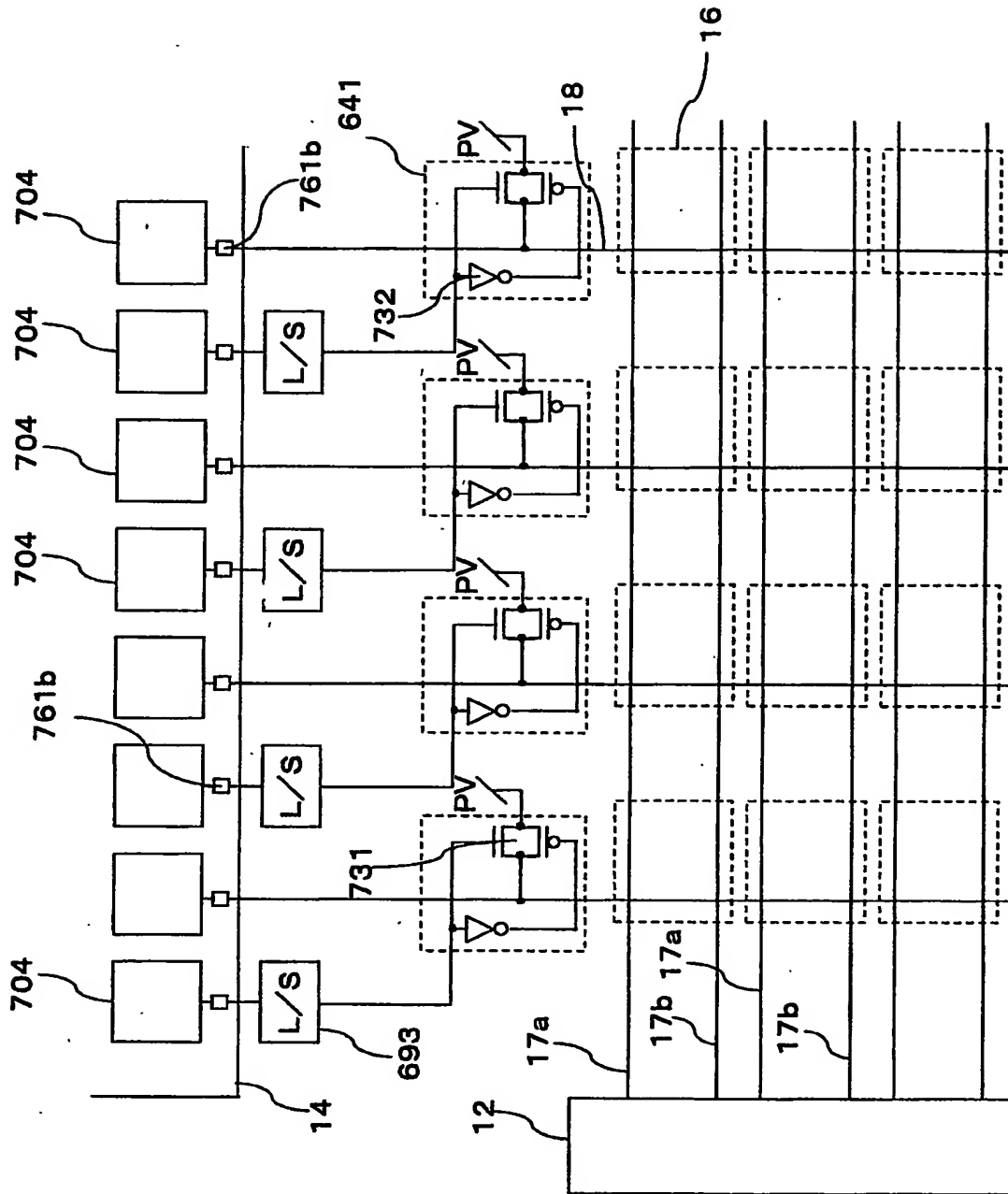
【図90】



【図 9 1】

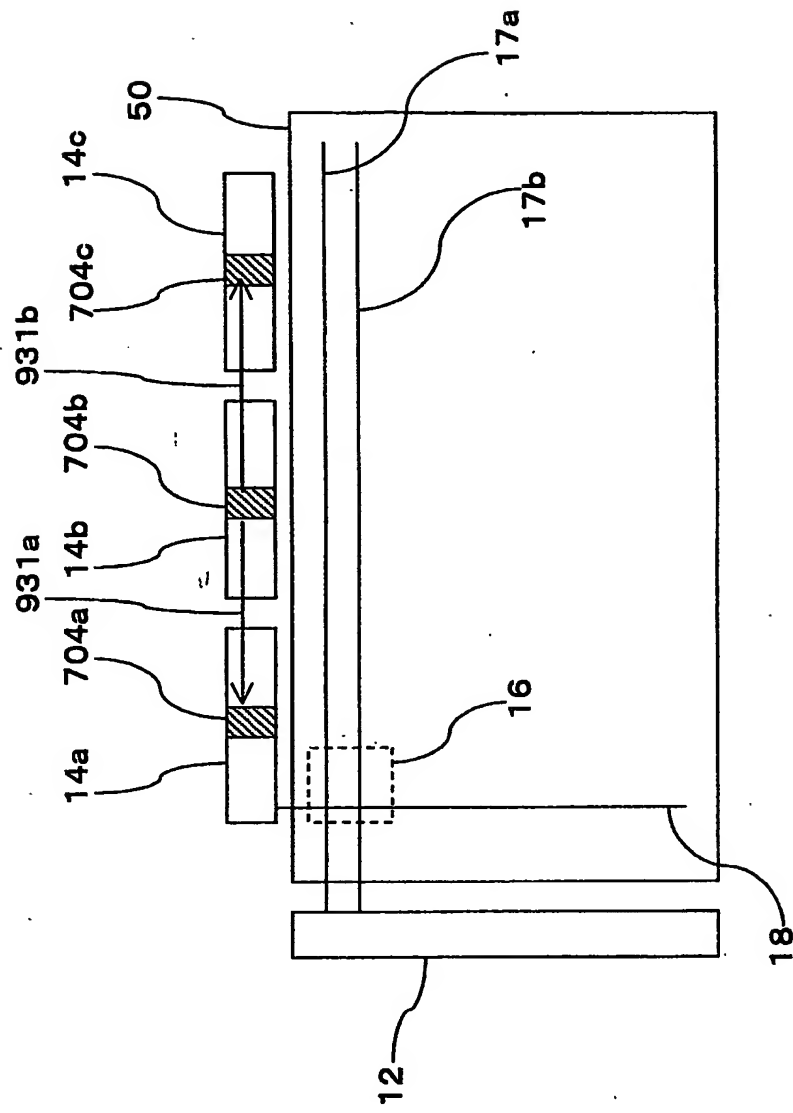


【図 9 2】



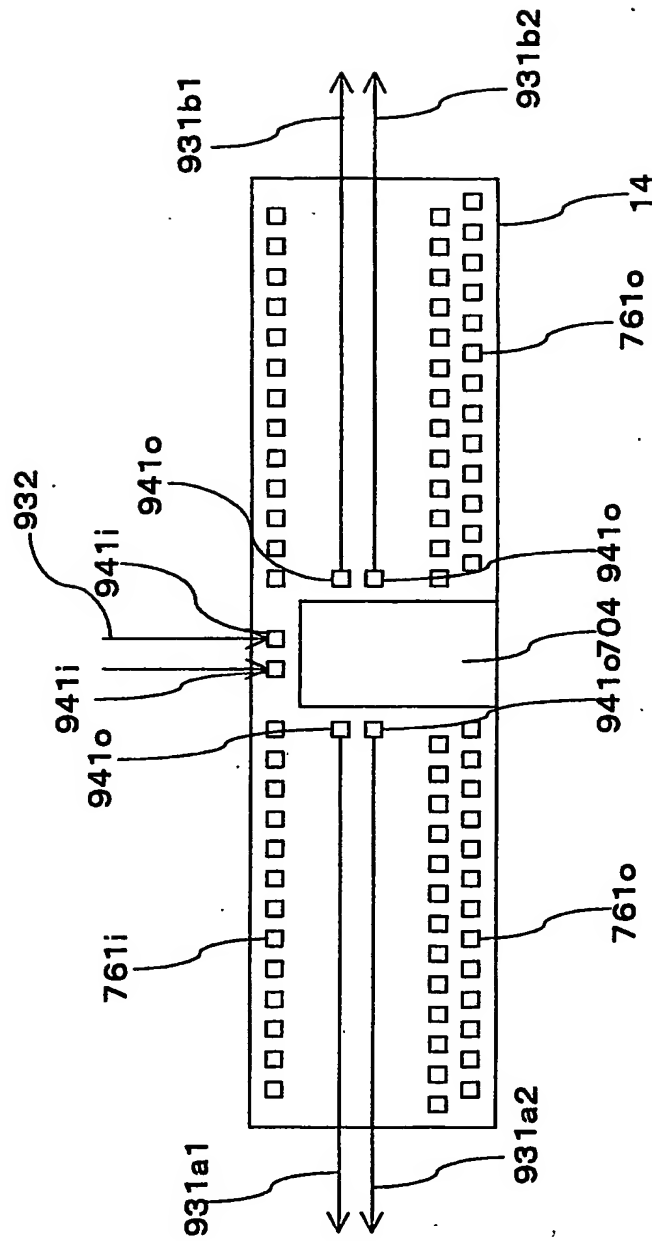
【図 9 3】

931 カスケード電流接続線



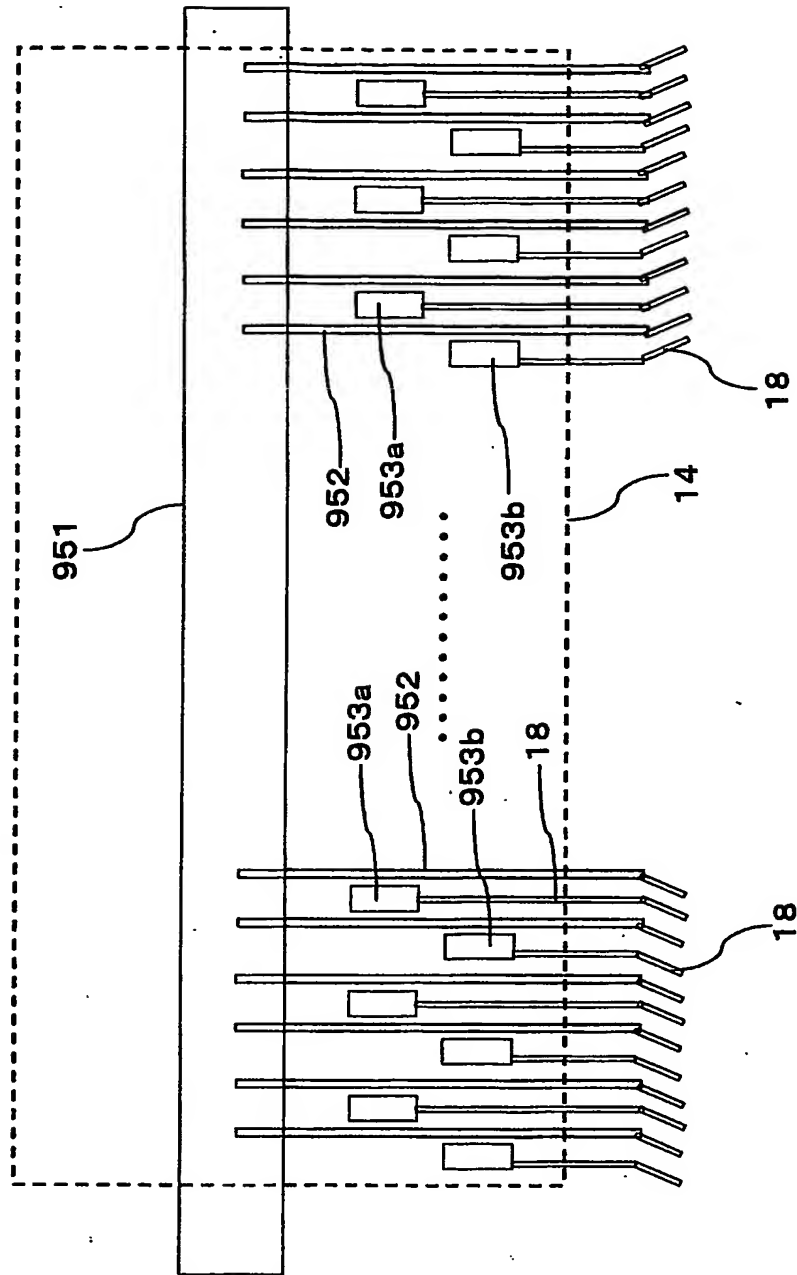
【図 94】

932 基準電流信号線
941i 電流入力端子
941o 電流出力端子

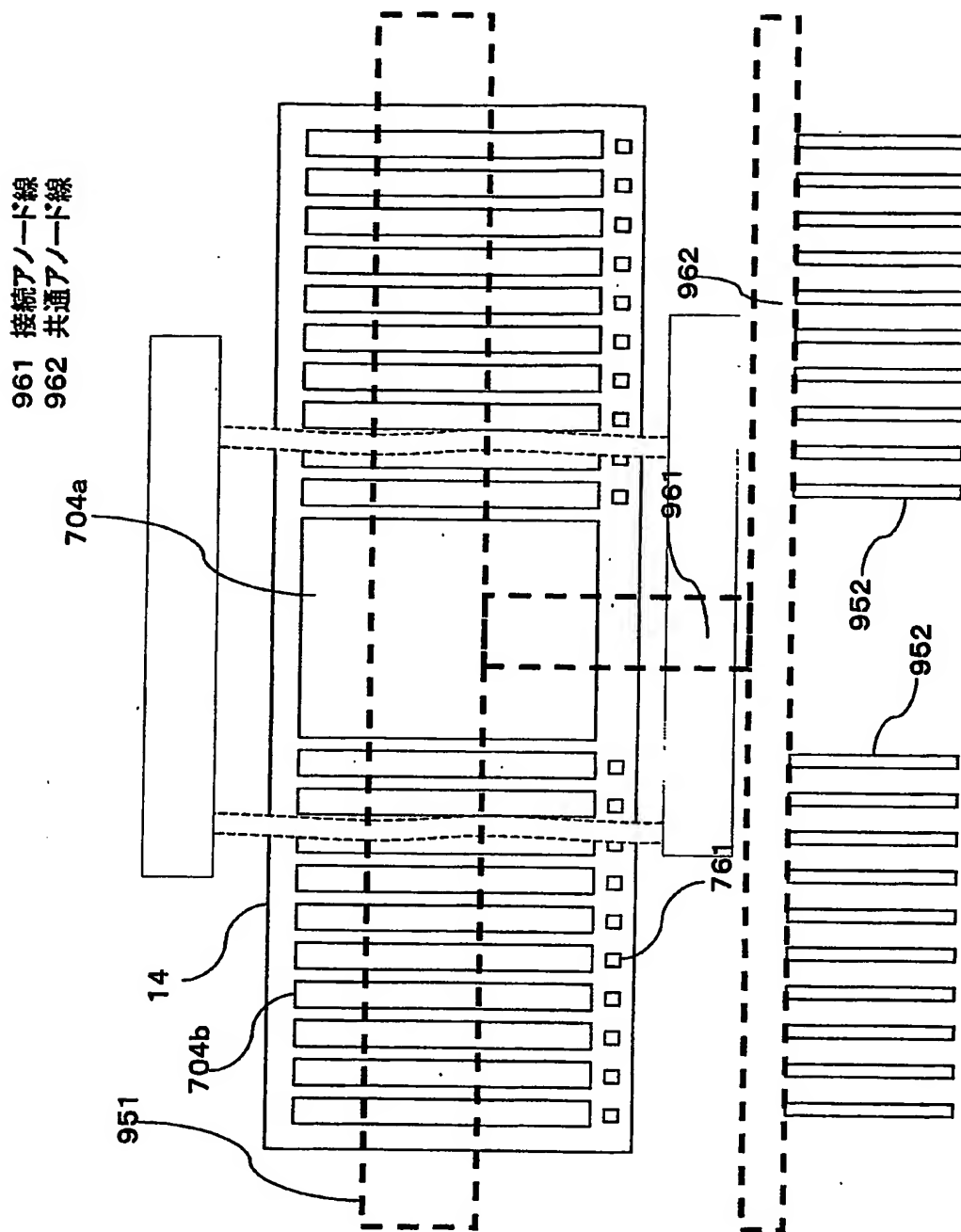


【図 95】

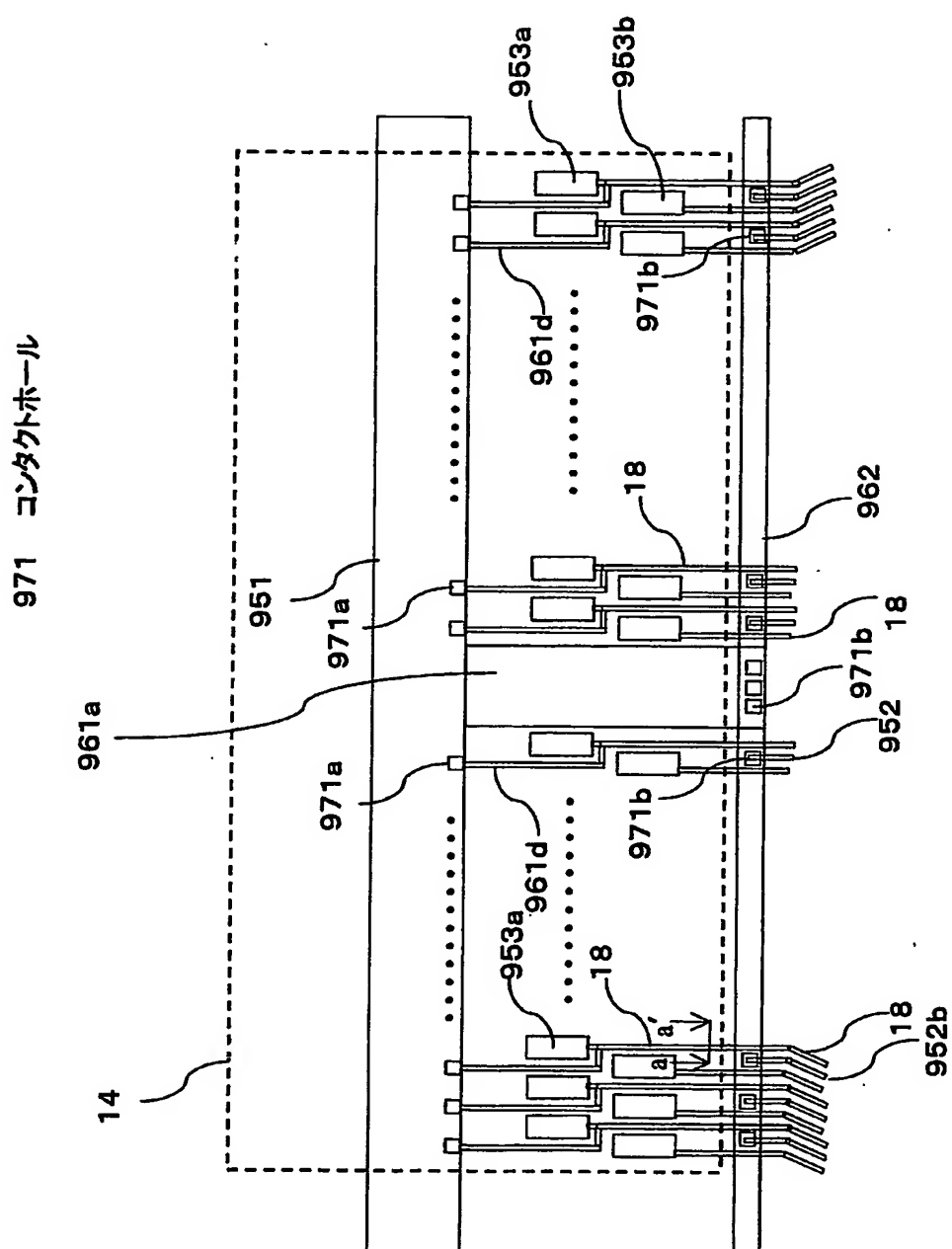
951 ベースアノード線(アノード電圧線、基幹アノード線)
 952 アノード配線
 953 接続端子



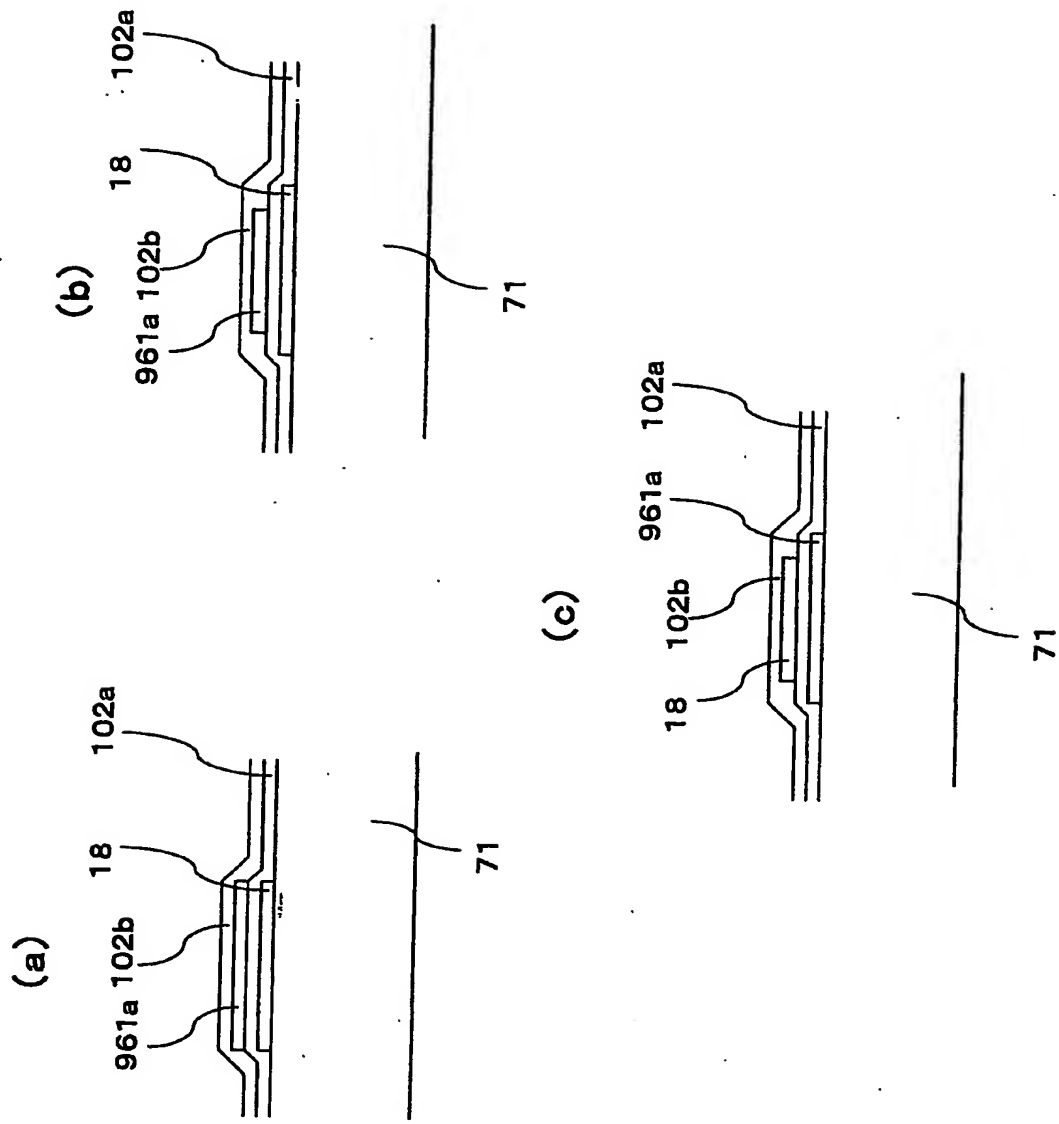
【図 96】



【图 9 7】

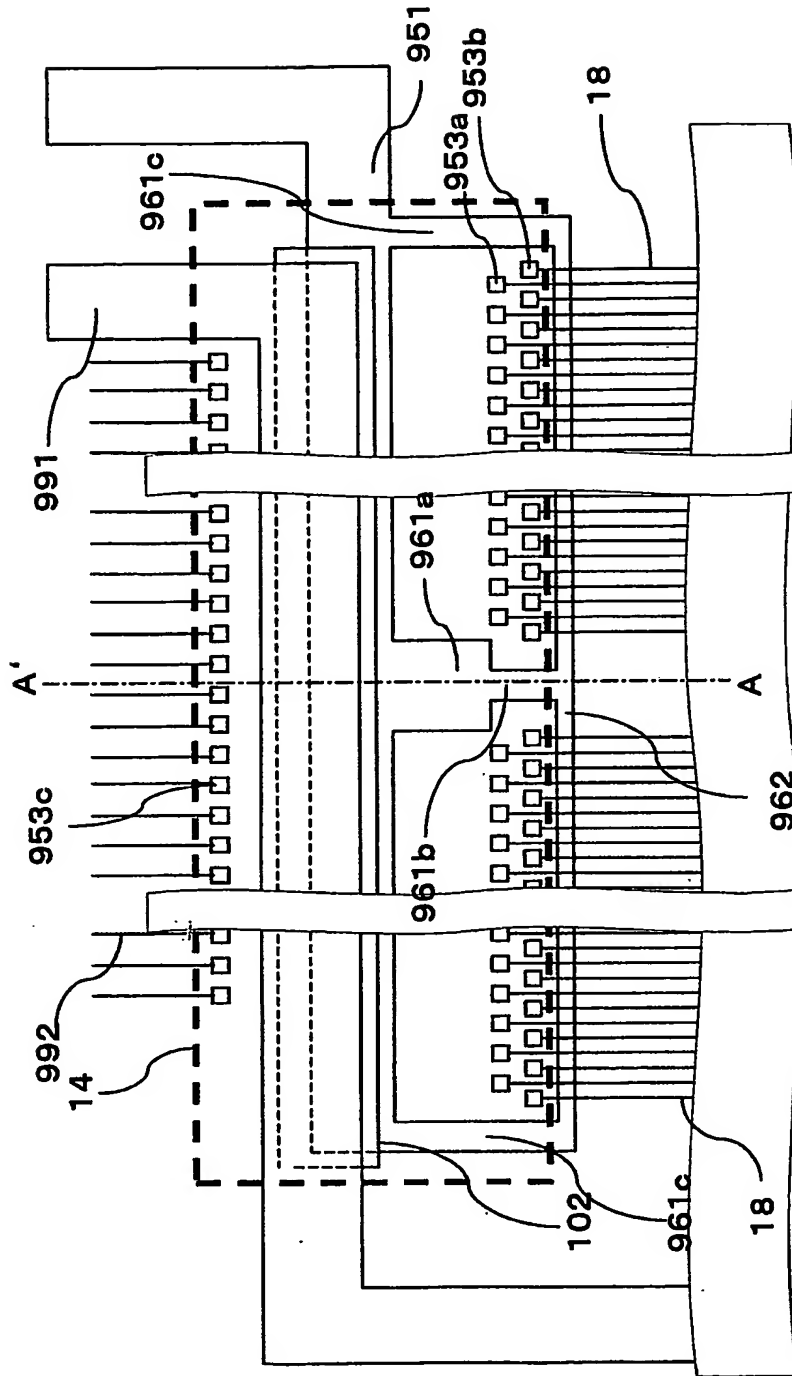


【 図 9 8 】

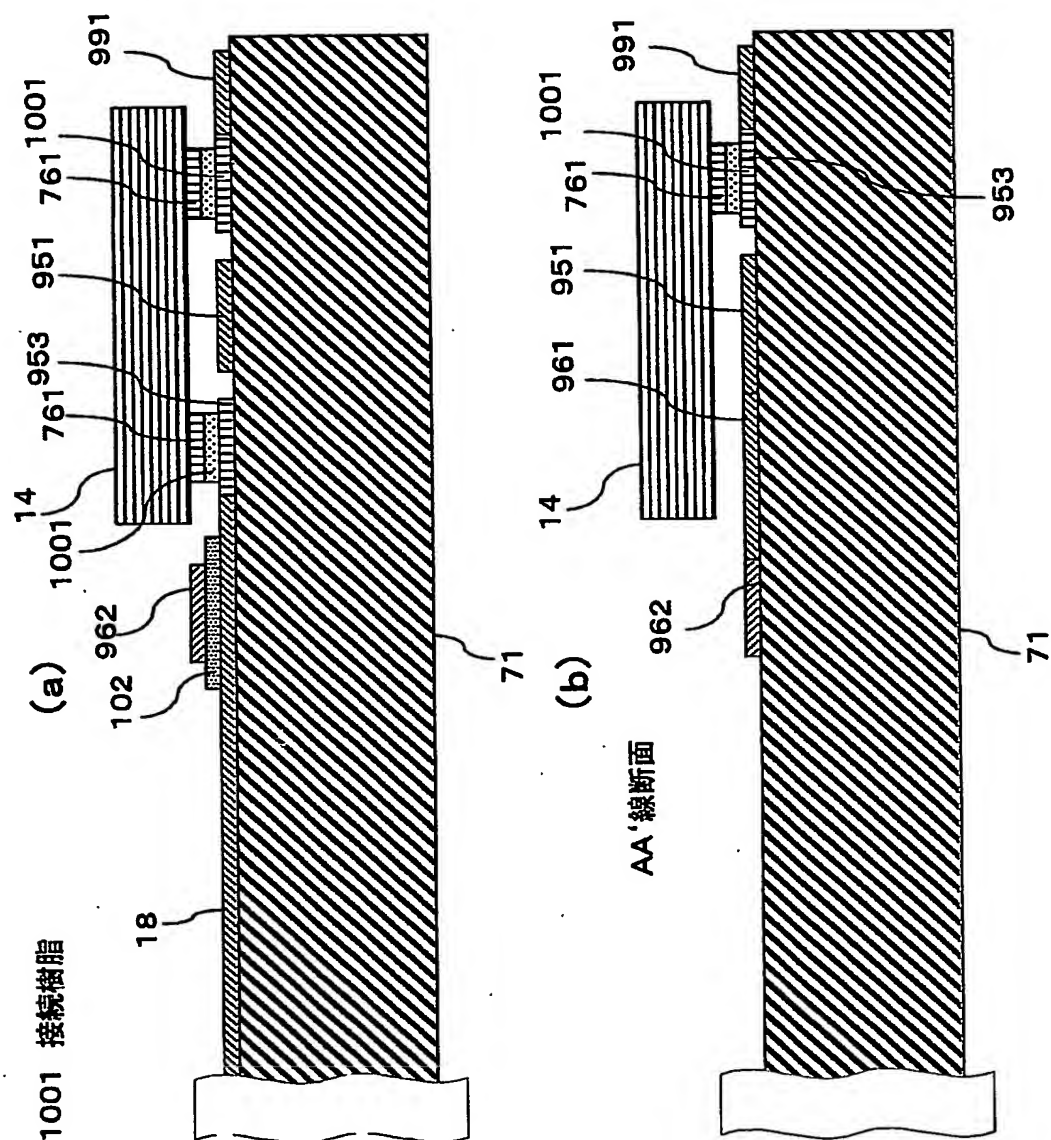


【図99】

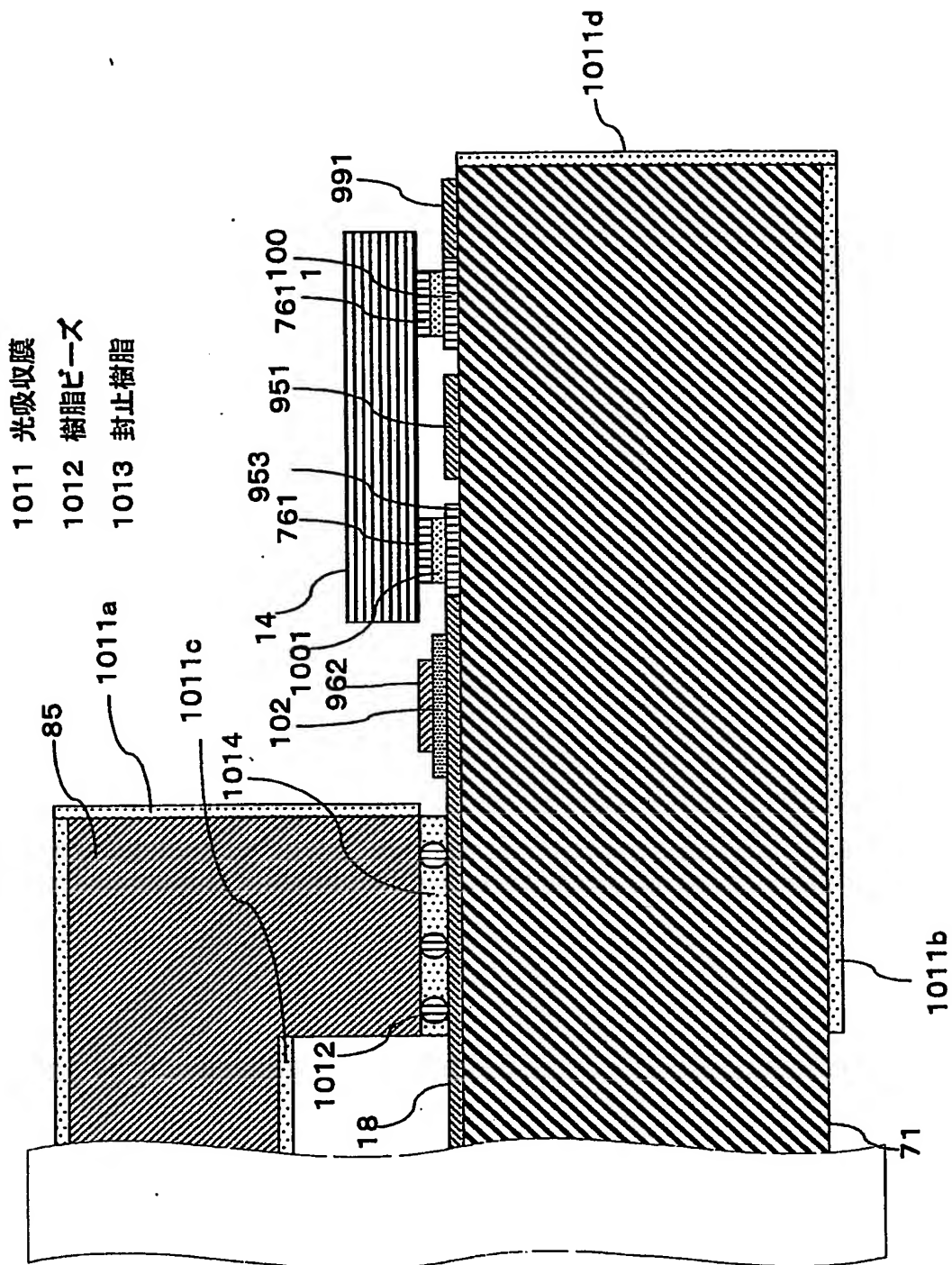
991 ベースカソード線
992 入力信号線



【図100】

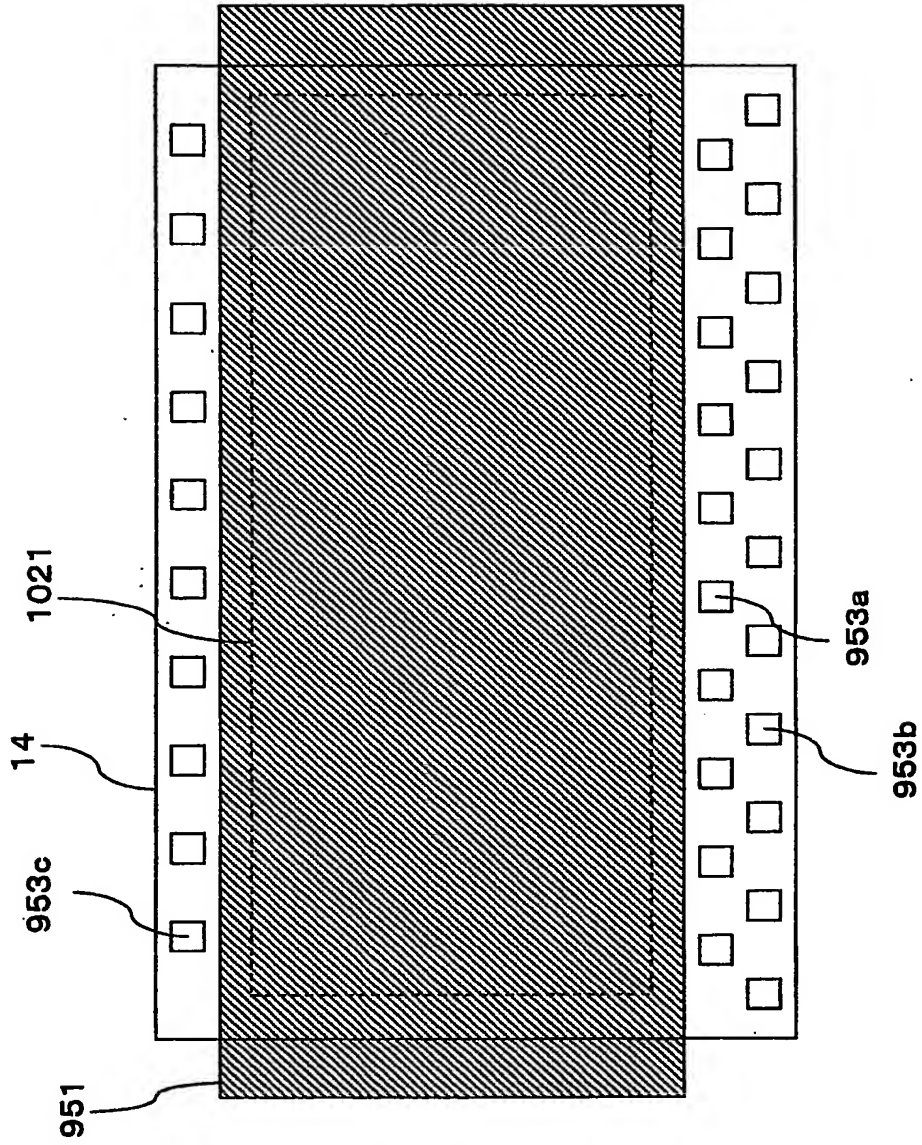


【図101】

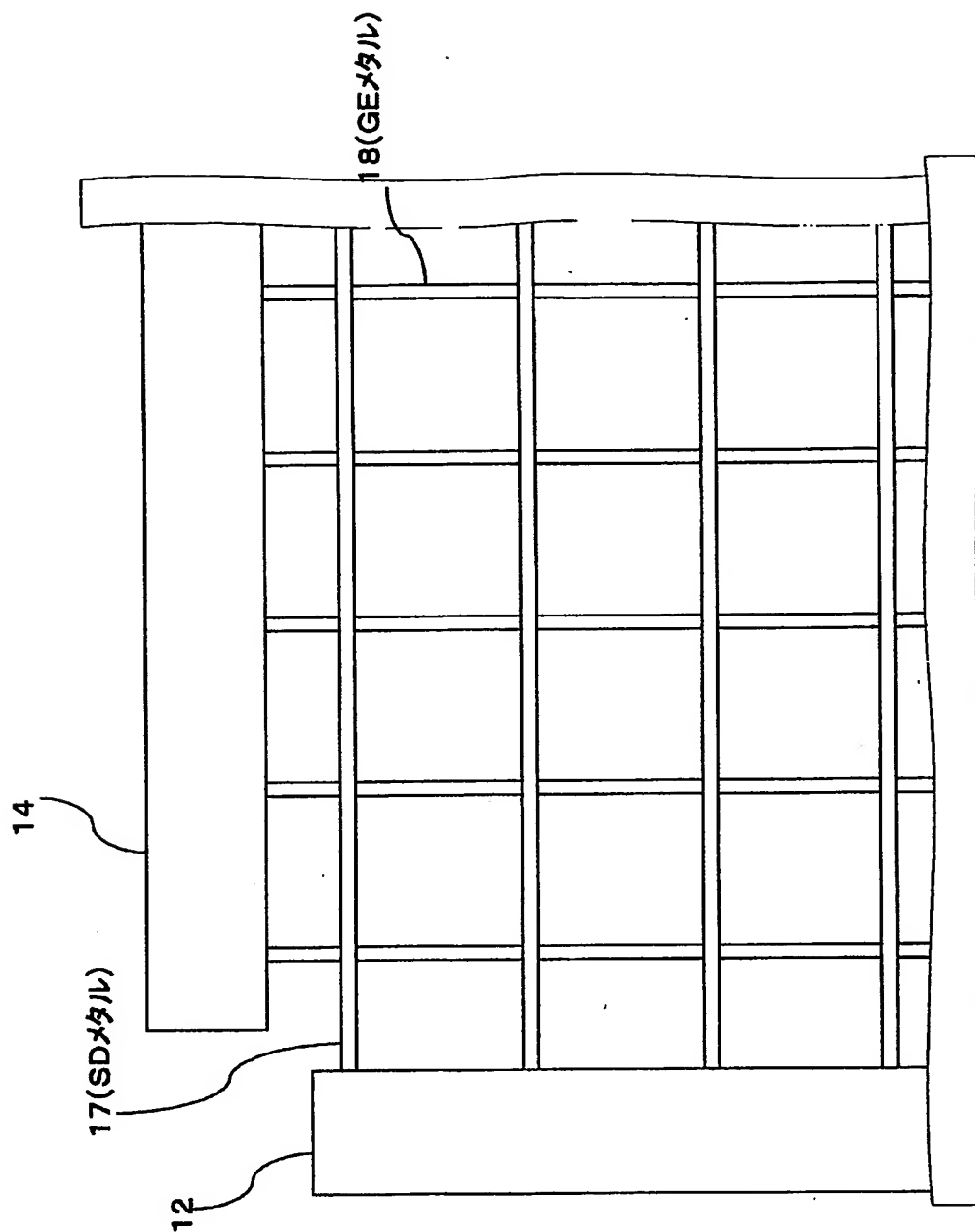


【図 1 0 2】

1021 回路形成部



【図104】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.